

COGNOME : ..... NOME : .....

<p>1. ADC a gradinata con <math>N=8</math> bit, <math>V_{FS} = -10</math> [ V ], <math>V_{in} = 5,35</math> [V] il codice in Out è :</p> <p><input type="checkbox"/> 10001000</p> <p><input type="checkbox"/> 10000000</p> <p><input type="checkbox"/> 01001001</p> <p><input checked="" type="checkbox"/> 10001001</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>2. DAC a resistori pesati : un valore di <math>R_f = R_{min}</math> provoca :</p> <p><input checked="" type="checkbox"/> errore di guadagno , con <math>V_{max}</math> reale = <math>2 * V_{max,nominale}</math> [ <math>V_{FS} - q</math> ]</p> <p><input type="checkbox"/> errore di guadagno , con <math>V_{max}</math> reale = <math>\frac{1}{2} * V_{max,nominale}</math></p> <p><input type="checkbox"/> errore di offset</p> <p><input type="checkbox"/> errore di non linearità</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>3. D/A a resistori pesati (valori nominali) con <math>N = 6</math> bit , <math>V_{FS} = - 10</math> [V] , codice di IN = 101101 :</p> <p><input type="checkbox"/> <math>V_{out} = 3,515625</math> [ V ]</p> <p><input type="checkbox"/> <math>V_{out} = -3,515625</math> «</p> <p><input checked="" type="checkbox"/> <math>V_{out} = 7,03125</math> «</p> <p><input type="checkbox"/> <math>V_{out} = - 7,03125</math> «</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>4. A/D a successive approssimazioni : se <math>V_{in} &gt; V_{D/A}</math> , il SAR deve:</p> <p><input checked="" type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx</p> <p><input type="checkbox"/> azzerare MSB e shiftare 1 a dx</p> <p><input type="checkbox"/> azzerare MSB</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a sx</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>5. Nello schema del Sample &amp; Hold, i 2 buffer servono a :</p> <p><input checked="" type="checkbox"/> rendere piccola la <math>\tau</math> di carica e grande la <math>\tau</math> di scarica del Condensatore</p> <p><input type="checkbox"/> rendere piccola la <math>\tau</math> di scarica e grande la <math>\tau</math> di carica del C.</p> <p><input checked="" type="checkbox"/> disaccoppiare il Condensatore dal Generatore e dal carico</p> <p><input type="checkbox"/> far sì che il C si carichi lentamente e si scarichi velocemente</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>6. A/D a gradinata con <math>N = 8</math> bit , <math>V_{FS} = - 10</math> [ V ], <math>V_{in} = 6</math> [ V ] , <math>f_{CK} = 1</math> [MHz] ; il Tempo di conversione ( per questa <math>V_{in}</math> ) è :</p> <p><input checked="" type="checkbox"/> 154 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> 153 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> 77 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> 256 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>7. A/D flash a 4 bit con <math>V_{FS} = 10</math> [ V ] e <math>V_{in} = 3,2</math> [V] ; il codice di OUT è:</p> <p><input type="checkbox"/> 1111</p> <p><input type="checkbox"/> 1000</p> <p><input type="checkbox"/> 0011</p> <p><input checked="" type="checkbox"/> 0101</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>8. Quale di queste affermazioni è vera ?</p> <p><input checked="" type="checkbox"/> I DAC integrati usano lo schema con la rete a scala</p> <p><input checked="" type="checkbox"/> L' ADC + veloce è quello Flash</p> <p><input type="checkbox"/> L' ADC + veloce è quello a successive approssimazioni</p> <p><input checked="" type="checkbox"/> L' aliasing è provocato da una <math>f_{camp} &lt; 2 f_{max}</math></p> <p><input type="checkbox"/> Nessuna delle precedenti</p>

Valutazione : BASE : 20 pt

r. esatta : 5pt

r. incompleta : 2÷3pt

nessuna r. / r. contradd. : 0pt

r. errata : - 1 pt

R. esatte : .... Pt...

R. incompl. : .... Pt...

R. errate : .... Pt....

TOT pt :

9. Comparare il funzionamento dell'ADC a successive approssimazioni con quello dell'ADC a rampa digitale : schemi a blocchi, grafici IN/OUT, analogie/differenze nella strategia di conversione A/D [ 40 pt max]

Punteggio totale : ..... pt

VOTO :

COGNOME : ..... NOME : .....

<p>1. DAC a resistori pesati : un valore di <math>R_f = \frac{1}{4} * R_{min}</math> provoca :</p> <p><input type="checkbox"/> errore di guadagno , con <math>V_{max}reale = 2 * V_{max}nominale</math> [<math>V_{FS} - q</math>]</p> <p><input checked="" type="checkbox"/> errore di guadagno , con <math>V_{max}reale = \frac{1}{2} * V_{max}nominale</math></p> <p><input type="checkbox"/> errore di offset</p> <p><input type="checkbox"/> errore di non linearità</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>2. D/A a resistori pesati (valori nominali) con <math>N = 8</math> bit , <math>V_{FS} = -10</math> [V] , codice di IN = 10110111 :</p> <p><input type="checkbox"/> <math>V_{out} = 3,57421875</math> [V]</p> <p><input type="checkbox"/> <math>V_{out} = -3,57421875</math> «</p> <p><input checked="" type="checkbox"/> <math>V_{out} = 7,1484375</math> «</p> <p><input type="checkbox"/> <math>V_{out} = -7,1484375</math> «</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>3. Nello schema del Sample &amp; Hold, i 2 buffer servono a :</p> <p><input checked="" type="checkbox"/> rendere piccola la <math>\tau</math> di carica e grande la <math>\tau</math> di scarica del Condensatore</p> <p><input type="checkbox"/> rendere piccola la <math>\tau</math> di scarica e grande la <math>\tau</math> di carica del C.</p> <p><input checked="" type="checkbox"/> il 1° ad adattare in tensione il Generatore, il 2° a disaccoppiare il Condensatore dal carico</p> <p><input type="checkbox"/> far sì che il C si carichi lentamente e si scarichi velocemente</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>4. A/D a successive approssimazioni : se <math>V_{in} &lt; V_{D/A}</math> , il SAR deve:</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx</p> <p><input checked="" type="checkbox"/> azzerare MSB e shiftare 1 a dx</p> <p><input type="checkbox"/> azzerare MSB</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx di 2 posizioni</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>5. ADC a gradinata con <math>N=8</math> bit, <math>V_{FS} = -10</math> [V] , <math>V_{in} = 2,70</math> [V] il codice in Out è :</p> <p><input type="checkbox"/> 10001000</p> <p><input type="checkbox"/> 10000000</p> <p><input type="checkbox"/> 01000101</p> <p><input type="checkbox"/> 01000110</p> <p><input checked="" type="checkbox"/> Nessuna delle precedenti</p>	<p>6. A/D a gradinata con <math>N = 8</math> bit , <math>V_{FS} = -10</math> [V] , <math>V_{in} = 4</math> [V] , <math>f_{CK} = 1</math> [MHz] ; il Tempo di conversione ( per questa <math>V_{in}</math> ) è :</p> <p><input type="checkbox"/> 102 [ <math>\mu s</math> ]</p> <p><input checked="" type="checkbox"/> 103 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> 205 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> 256 [ <math>\mu s</math> ]</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>7. Quale di queste affermazioni è vera ?</p> <p><input checked="" type="checkbox"/> L'errore di offset dei DAC è recuperabile</p> <p><input type="checkbox"/> L'errore di non linearità dei DAC dipende da <math>R_f</math></p> <p><input checked="" type="checkbox"/> L'ADC + veloce è quello flash</p> <p><input checked="" type="checkbox"/> Il filtro anti-alias deve avere <math>f_t &lt; \frac{1}{2} * f_c</math> e grande pendenza della curva di guadagno, oltre <math>f_t</math></p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>8. A/D flash a 4 bit con <math>V_{FS} = 10</math> [V] e <math>V_{in} = 6,2</math> [V] ; il codice di OUT è:</p> <p><input type="checkbox"/> 1111</p> <p><input checked="" type="checkbox"/> 1010</p> <p><input type="checkbox"/> 0011</p> <p><input type="checkbox"/> 0101</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>

Valutazione : BASE : 20 pt

r. esatta : 5pt

r. incompleta : 2÷3pt

nessuna r. / r. contradd. : 0pt

r. errata : - 1 pt

R. esatte : .... Pt...

R. incompl. : .... Pt...

R. errate : .... Pt ....

TOT pt :

9. Comparare il funzionamento dell'ADC a successive approssimazioni con quello dell'ADC a rampa digitale : schemi a blocchi, grafici IN/OUT, analogie/differenze nella strategia di conversione A/D [ 40 pt max]

Punteggio totale : ..... pt

VOTO :