

COGNOME : NOME :

<p>1. ADC a gradinata con $N=8$ bit, $V_{FS} = -10$ [V], $V_{in} = 5,35$ [V] il codice in Out è :</p> <p><input type="checkbox"/> 10001000 <input type="checkbox"/> 10000000 <input type="checkbox"/> 01001001 <input checked="" type="checkbox"/> 10001001 <input type="checkbox"/> Nessuna delle precedenti</p>	<p>2. DAC a resistori pesati : un valore di $R_f = R_{min}$ provoca :</p> <p><input checked="" type="checkbox"/> errore di guadagno , con V_{max} reale = $2 * V_{max,nominale}$ [$V_{FS} - q$] <input type="checkbox"/> errore di guadagno , con V_{max} reale = $\frac{1}{2} * V_{max,nominale}$ <input type="checkbox"/> errore di offset <input type="checkbox"/> errore di non linearità <input type="checkbox"/> Nessuna delle precedenti</p>
<p>3. D/A a resistori pesati (valori nominali) con $N = 6$ bit , $V_{FS} = -10$ [V] , codice di IN = 101101 :</p> <p><input type="checkbox"/> $V_{out} = 3,515625$ [V] <input type="checkbox"/> $V_{out} = -3,515625$ « <input checked="" type="checkbox"/> $V_{out} = 7,03125$ « <input type="checkbox"/> $V_{out} = -7,03125$ « <input type="checkbox"/> Nessuna delle precedenti</p>	<p>4. A/D a successive approssimazioni : se $V_{in} > V_{D/A}$, il SAR deve:</p> <p><input checked="" type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx <input type="checkbox"/> azzerare MSB e shiftare 1 a dx <input type="checkbox"/> azzerare MSB <input type="checkbox"/> mantenere 1 del MSB e shiftarlo a sx <input type="checkbox"/> Nessuna delle precedenti</p>
<p>5. Nello schema del Sample & Hold, i 2 buffer servono a :</p> <p><input checked="" type="checkbox"/> rendere piccola la τ di carica e grande la τ di scarica del Condensatore <input type="checkbox"/> rendere piccola la τ di scarica e grande la τ di carica del C. <input checked="" type="checkbox"/> disaccoppiare il Condensatore dal Generatore e dal carico <input type="checkbox"/> far sì che il C si carichi lentamente e si scarichi velocemente <input type="checkbox"/> Nessuna delle precedenti</p>	<p>6. A/D a gradinata con $N = 8$ bit , $V_{FS} = -10$ [V] , $V_{in} = 6$ [V] , $f_{CK} = 1$ [MHz] ; il Tempo di conversione (per questa V_{in}) è :</p> <p><input checked="" type="checkbox"/> 154 [μs] <input type="checkbox"/> 153 [μs] <input type="checkbox"/> 77 [μs] <input type="checkbox"/> 256 [μs] <input type="checkbox"/> Nessuna delle precedenti</p>
<p>7. A/D flash a 4 bit con $V_{FS} = 10$ [V] e $V_{in} = 3,2$ [V] ; il codice di OUT è:</p> <p><input type="checkbox"/> 1111 <input type="checkbox"/> 1000 <input type="checkbox"/> 0011 <input checked="" type="checkbox"/> 0101 <input type="checkbox"/> Nessuna delle precedenti</p>	<p>8. Quale di queste affermazioni è vera ?</p> <p><input checked="" type="checkbox"/> I DAC integrati usano lo schema con la rete a scala <input checked="" type="checkbox"/> L' ADC + veloce è quello Flash <input type="checkbox"/> L' ADC + veloce è quello a successive approssimazioni <input checked="" type="checkbox"/> L' aliasing è provocato da una $f_{camp} < 2 f_{max}$ <input type="checkbox"/> Nessuna delle precedenti</p>

Valutazione : BASE : 20 pt

r. esatta : 5pt

r. incompleta : 2÷3pt

nessuna r. / r. contradd. : 0pt

r. errata : - 1 pt

R. esatte : Pt...

R. incompl. : Pt...

R. errate : Pt....

TOT pt :

9. Comparare il funzionamento dell'ADC a successive approssimazioni con quello dell'ADC a rampa digitale : schemi a blocchi, grafici IN/OUT, analogie/differenze nella strategia di conversione A/D [40 pt max]

Punteggio totale : pt

VOTO :

COGNOME : NOME :

<p>1. DAC a resistori pesati : un valore di $R_f = \frac{1}{4} * R_{min}$ provoca :</p> <p><input type="checkbox"/> errore di guadagno , con $V_{max}reale = 2 * V_{max}nominale$ [$V_{FS} - q$]</p> <p><input checked="" type="checkbox"/> errore di guadagno , con $V_{max}reale = \frac{1}{2} * V_{max}nominale$</p> <p><input type="checkbox"/> errore di offset</p> <p><input type="checkbox"/> errore di non linearità</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>2. D/A a resistori pesati (valori nominali) con $N = 8$ bit , $V_{FS} = -10$ [V] , codice di IN = 10110111 :</p> <p><input type="checkbox"/> $V_{out} = 3,57421875$ [V]</p> <p><input type="checkbox"/> $V_{out} = -3,57421875$ «</p> <p><input checked="" type="checkbox"/> $V_{out} = 7,1484375$ «</p> <p><input type="checkbox"/> $V_{out} = -7,1484375$ «</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>3. Nello schema del Sample & Hold, i 2 buffer servono a :</p> <p><input checked="" type="checkbox"/> rendere piccola la τ di carica e grande la τ di scarica del Condensatore</p> <p><input type="checkbox"/> rendere piccola la τ di scarica e grande la τ di carica del C.</p> <p><input checked="" type="checkbox"/> il 1° ad adattare in tensione il Generatore, il 2° a disaccoppiare il Condensatore dal carico</p> <p><input type="checkbox"/> far sì che il C si carichi lentamente e si scarichi velocemente</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>4. A/D a successive approssimazioni : se $V_{in} < V_{D/A}$, il SAR deve:</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx</p> <p><input checked="" type="checkbox"/> azzerare MSB e shiftare 1 a dx</p> <p><input type="checkbox"/> azzerare MSB</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx di 2 posizioni</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>5. ADC a gradinata con $N=8$ bit, $V_{FS} = -10$ [V] , $V_{in} = 2,70$ [V] il codice in Out è :</p> <p><input type="checkbox"/> 10001000</p> <p><input type="checkbox"/> 10000000</p> <p><input type="checkbox"/> 01000101</p> <p><input type="checkbox"/> 01000110</p> <p><input checked="" type="checkbox"/> Nessuna delle precedenti</p>	<p>6. A/D a gradinata con $N = 8$ bit , $V_{FS} = -10$ [V] , $V_{in} = 4$ [V] , $f_{CK} = 1$ [MHz] ; il Tempo di conversione (per questa V_{in}) è :</p> <p><input type="checkbox"/> 102 [μs]</p> <p><input checked="" type="checkbox"/> 103 [μs]</p> <p><input type="checkbox"/> 205 [μs]</p> <p><input type="checkbox"/> 256 [μs]</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>
<p>7. Quale di queste affermazioni è vera ?</p> <p><input checked="" type="checkbox"/> L'errore di offset dei DAC è recuperabile</p> <p><input type="checkbox"/> L'errore di non linearità dei DAC dipende da R_f</p> <p><input checked="" type="checkbox"/> L'ADC + veloce è quello flash</p> <p><input checked="" type="checkbox"/> Il filtro anti-alias deve avere $f_t < \frac{1}{2} * f_c$ e grande pendenza della curva di guadagno, oltre f_t</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>	<p>8. A/D flash a 4 bit con $V_{FS} = 10$ [V] e $V_{in} = 6,2$ [V] ; il codice di OUT è:</p> <p><input type="checkbox"/> 1111</p> <p><input checked="" type="checkbox"/> 1010</p> <p><input type="checkbox"/> 0011</p> <p><input type="checkbox"/> 0101</p> <p><input type="checkbox"/> Nessuna delle precedenti</p>

Valutazione : BASE : 20 pt

r. esatta : 5pt

r. incompleta : 2÷3pt

nessuna r. / r. contradd. : 0pt

r. errata : - 1 pt

R. esatte : Pt...

R. incompl. : Pt...

R. errate : Pt

TOT pt :

9. Comparare il funzionamento dell'ADC a successive approssimazioni con quello dell'ADC a rampa digitale : schemi a blocchi, grafici IN/OUT, analogie/differenze nella strategia di conversione A/D [40 pt max]

Punteggio totale : pt

VOTO :