III B EA Prof. R. STORACE TPSEE 2° test – Fila 1 04 / 12 / 2019

Cognome…….. Nome……

1. Per utilizzare una NAND a 2 IN come NOT bisogna : □ collegare insieme i 2 IN □ collegare un IN a 0 ≡ GND □ collegare un IN a 1 ≡ V_{cc} = +5[V] □ collegare insieme i 2 IN e portarli a GND □ nessuna delle precedenti	**4. Il Teorema di De Morgan dice che il complemento del prodotto di n variabili è uguale:** □ alla somma delle n variabili negate □ al prodotto delle n variabili negate □ alla somma negata delle n variabili □ al prodotto negato delle n variabili □ nessuna delle precedenti
2. In una mappa K a 16 caselle , sono adiacenti : □ le 4 caselle sui 4 angoli □ tutte le caselle della stessa riga □ tutte le caselle della stessa colonna □ le 4 caselle al centro della Mappa □ tutte le precedenti	**5. Sulle Mappe K, quando si raggruppano le Caselle adiacenti per ottenere una semplificazione, si sfrutta il :** □ Teorema di De Morgan □ Teorema dell'annullamento □ Teorema di Pitagora □ Teorema dei Complementi □ nessuna delle precedenti
3. Il minterm BnDn corrisponde al raggruppamento delle: □ 4 caselle sui 4 angoli □ 4 caselle della 2° riga □ 4 caselle della 1° colonna □ caselle 5-7 □ nessuna delle precedenti	**6. A + A = A e A*A = A è il Teorema** : □ di identità □ di idempotenza □ dei complementi □ dell' assorbimento □ nessuna delle precedenti

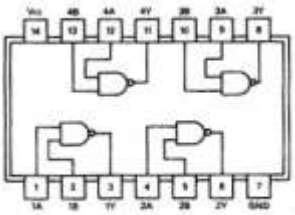
R. esatte: 5pt R. incomplete: 2 ÷3,5 pt ness. r. o r. contradd. : 0 pt R. sbagliate: -1pt

7. Data la seguente Tavola di Verità :

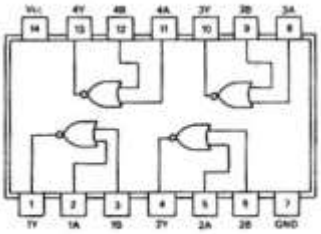
A	B	C	D	Y
0	0	0	0	**1**
0	0	0	1	**1**
0	0	1	0	**1**
0	0	1	1	**1**
0	1	0	0	**1**
0	1	0	1	**1**
0	1	1	0	
0	1	1	1	
1	0	0	0	**1**
1	0	0	1	**1**
1	0	1	0	**1**
1	0	1	1	**1**
1	1	0	0	
1	1	0	1	**1**
1	1	1	0	
1	1	1	1	**1**

a) disegnare la Mappa K
b) semplificarla ottenendo la funzione Y_{SP} minima
c) disegnare il circuito in Logica AOI
d) ottenere la Funzione in Logica NAND e disegnare il circuito utilizzando il C.I. 74LS00
e) semplificare la Mappa ottenendo la funzione Y_{PS} minima
f) ottenere la Funzione in Logica NOR e disegnare il circuito utilizzando il C.I. 74LS02

Quadruple 2 - input positive NAND gates **00**



Quadruple 2 - input positive - NOR gates **02**



8. Bisogna effettuare la somma negata tra i **4** termini $\overline{AB}$ **,** $\overline{BC}$ **,** $\overline{CD}$ **,** $\overline{AD}$ **,** ma non si dispone di una **NOR** a **4** Ingressi.
Come si risolve il problema, utilizzando delle **NOR** a **2** Ingressi ?

VALUTAZIONE

	BASE	1	2	3	4	5	6	7a	7b	7c	7d	7e	7f	8	TOT	VOTO
Pt max	**20**	**5**	**5**	**5**	**5**	**5**	**5**	**4**	**10**	**4**	**8**	**10**	**8**	**6**	**100**	**10**
Ptottenuti	**20**															

III B EA **Prof. R. STORACE** **TPSEE** **2° test – Fila 2** **04 / 12 / 2019**

Cognome…….. Nome……

1. Per utilizzare una NOR a 2 IN come NOT bisogna : □ collegare insieme i 2 IN □ collegare un IN a 0 ≡ GND □ collegare un IN a 1 ≡ V_{cc} = +5[V] □ collegare insieme i 2 IN e portarli a GND □ nessuna delle precedenti	**4. Il Teorema di De Morgan dice che il complemento della somma di n variabili è uguale:** □ alla somma delle n variabili negate □ al prodotto delle n variabili negate □ alla somma negata delle n variabili □ al prodotto negato delle n variabili □ nessuna delle precedenti
2. In una mappa K a 16 caselle , sono adiacenti : □ le 4 caselle sui 4 angoli □ tutte le caselle sulle 2 diagonali □ tutte le caselle della stessa colonna □ le 4 caselle al centro della Mappa □ tutte le precedenti	**5. Sulle Mappe K, quando si raggruppano le Caselle adiacenti per ottenere una semplificazione, si sfrutta il :** □ Teorema di De Morgan □ Teorema dell'annullamento □ Teorema di Pitagora □ Teorema di Idempotenza □ nessuna delle precedenti
3. Il minterm AnCn corrisponde al raggruppamento delle : □ 4 caselle sui 4 angoli □ 4 caselle della 2° riga □ 4 caselle nell'angolo in alto a sinistra della mappa □ 4 caselle al centro della mappa □ nessuna delle precedenti	**6. A + AB = A e A*(A+B) = A è il Teorema** : □ di identità □ di idempotenza □ dei complementi □ dell'assorbimento □ nessuna delle precedenti

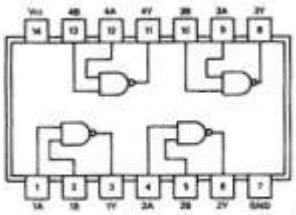
R. esatte: 5pt **R. incomplete: 2 ÷3,5 pt** **ness. r. o r. contradd. : 0 pt** **R. sbagliate: -1pt**

4. Data la seguente Tavola di Verità :

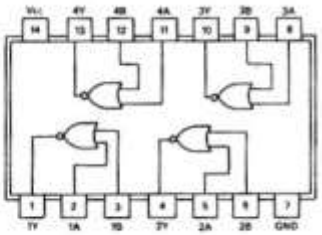
A	B	C	D	Y
0	0	0	0	**1**
0	0	0	1	**1**
0	0	1	0	**1**
0	0	1	1	
0	1	0	0	**1**
0	1	0	1	**1**
0	1	1	0	**1**
0	1	1	1	**1**
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	**1**
1	1	0	1	**1**
1	1	1	0	**1**
1	1	1	1	**1**

g) disegnare la Mappa K
h) semplificarla ottenendo la funzione Y_{SP} minima
i) disegnare il circuito in Logica AOI
j) ottenere la Funzione in Logica NAND e disegnare il circuito utilizzando il C.I. 74LS00
k) semplificare la Mappa ottenendo la funzione Y_{PS} minima
l) ottenere la Funzione in Logica NOR e disegnare il circuito utilizzando il

Quadruple 2 - input positive NAND gates **00**



Quadruple 2 - input positive - NOR gates **02**



C.I. 74LS02

5. Bisogna effettuare il prodotto negato tra i **4** termini **AB , $\overline{BC}$, $\overline{CD}$, $\overline{AD}$,** ma non si dispone di una **NAND** a **4** Ingressi.
Come si risolve il problema, utilizzando delle **NAND** a **2** Ingressi ?

VALUTAZIONE

	BASE	1	2	3	4	5	6	7a	7b	7c	7d	7e	7f	8	TOT	VOTO
Pt max	**20**	**5**	**5**	**5**	**5**	**5**	**5**	**4**	**10**	**4**	**8**	**10**	**8**	**6**	**100**	**10**
Ptottenuti	**20**															