

## FLIP FLOP

I Flip Flop sono dotati anche dei Comandi Asincroni di **Preset** e di **Clear**, **ATTIVI BASSI**, che agiscono “istantaneamente”, a prescindere dal fronte attivo di Clock, a differenza dei Comandi Sincroni J e K, che appunto agiscono solo in presenza del fronte attivo di CK.

Nel momento in cui si attiva **Preset**, si forza l'uscita Q a 1, qualunque sia il comando sincrono in ingresso.

Nel momento in cui si attiva **Clear**, si forza l'uscita Q a 0, qualunque sia il comando sincrono in ingresso.

**NON** si possono ovviamente attivare entrambi, sia **PRE** che **CLR**.

Ciò che distingue il FF dal Latch con EN è un piccolo circuito, detto **CRT (Circuito Rilevatore delle Transizioni del CK)**, posizionato tra il CK e l'ingresso di EN del FF.

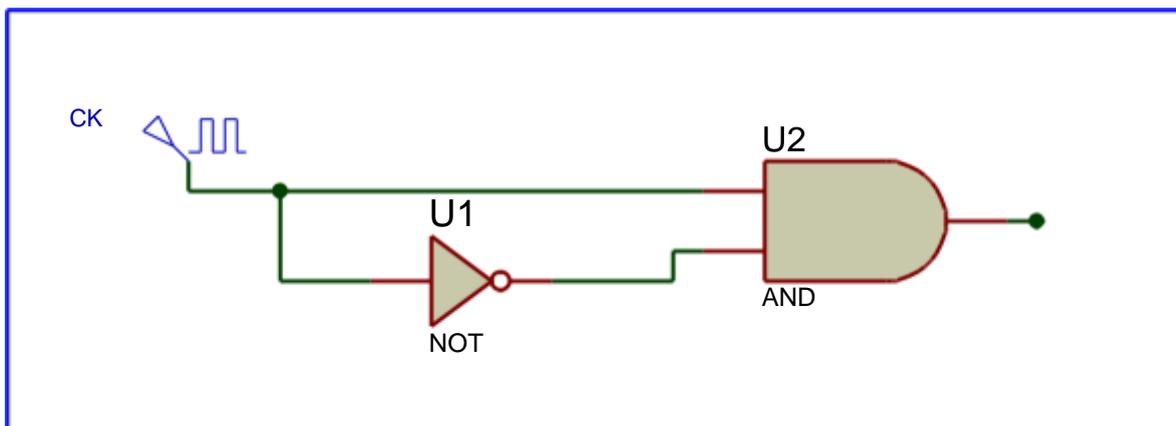
Il CRT trasforma il segnale a Onda Quadra del CK in un treno di impulsi positivi, sincronizzati con il fronte attivo del CK.

Questo treno ha lo stesso periodo del CK ma una durata brevissima  $T_H$  del Livello alto e una complementare larga durata  $T_L$  del Livello Basso ( $T_H + T_L = T$ ), cioè ha un Duty Cycle  $\ll 50\%$ .

**Il treno di impulsi è il segnale di ENABLE del FF, che risulta perciò disabilitato sempre, tranne che per pochi ns, in corrispondenza del fronte attivo del CK.**

L'uscita Q potrà cambiare stato, quindi, solo in sincronia col fronte attivo del CK.

### CIRCUITO CRT PER FF p.e.t.

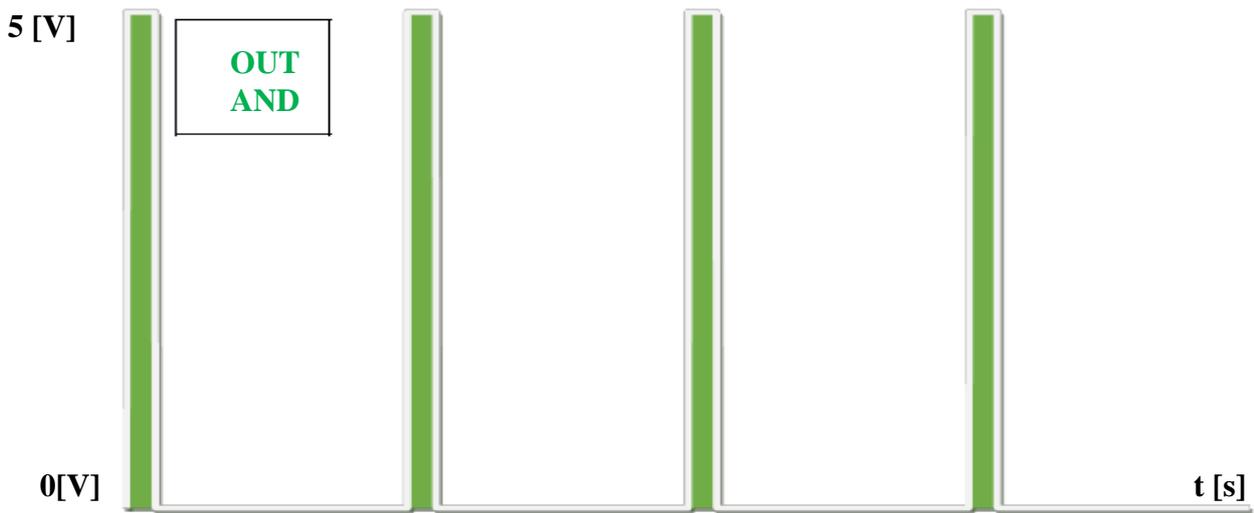
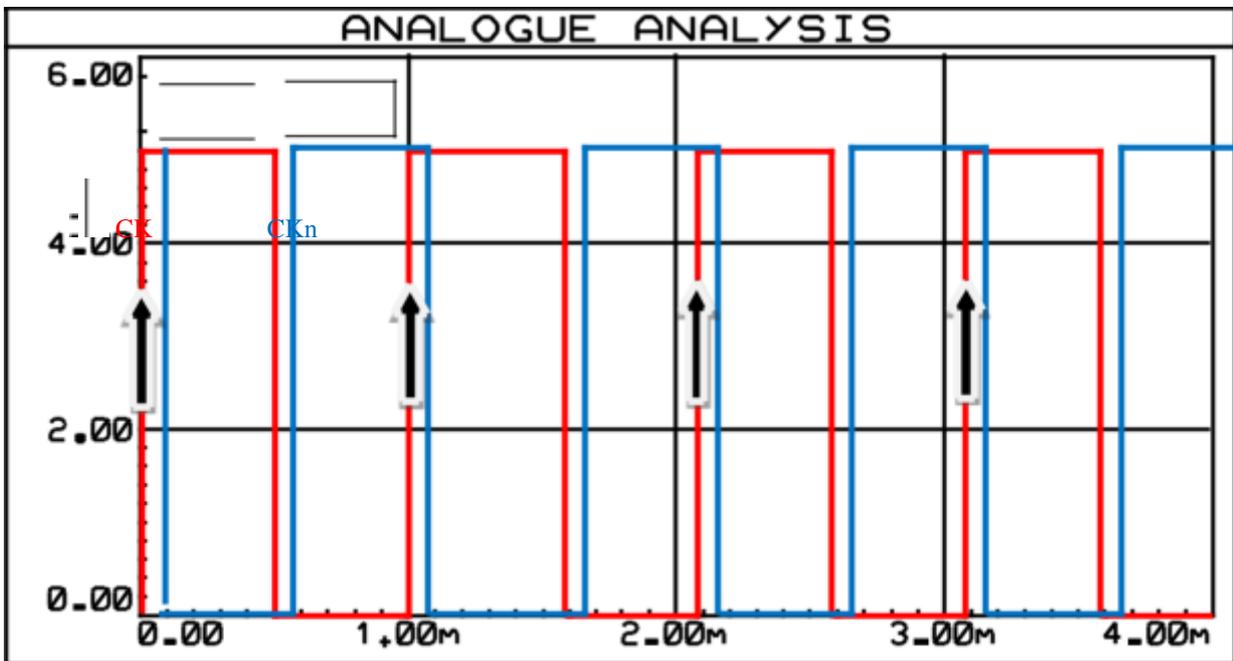


Per capire cosa succede, bisogna tenere conto del ritardo di poche decine di nanosecondi che ogni Porta Logica introduce, nel passaggio del segnale dall'ingresso all'uscita.

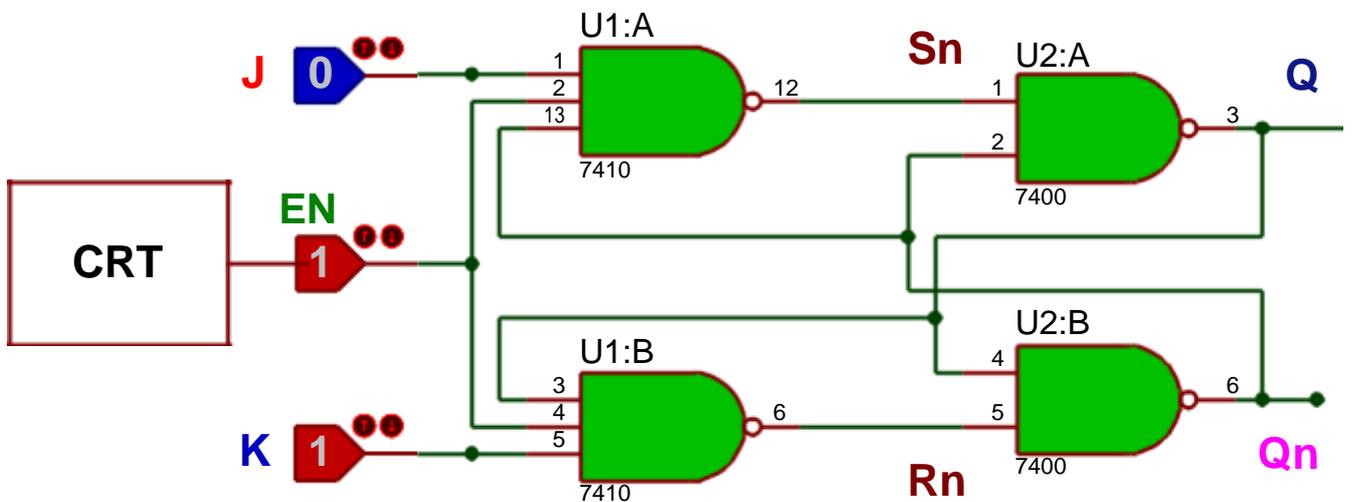
La Porta AND riceve in IN i segnali CK e CKnegato e questo risulta essere anche ritardato, cioè spostato verso destra, per cui soltanto in corrispondenza dei fronti di salita del CK si ha un breve intervallo di tempo in cui sia CK che CKneg sono entrambi alti e producono un'uscita della AND alta (1 Logico).

Altrove i segnali CK e CKneg sono uno alto e l'altro basso, per cui l'uscita della AND è bassa (0 Logico)

(Vedi il grafico)



Questo segnale, in uscita alla Porta AND, è l'effettivo segnale di Enable del FF. Vediamo lo schema completo:



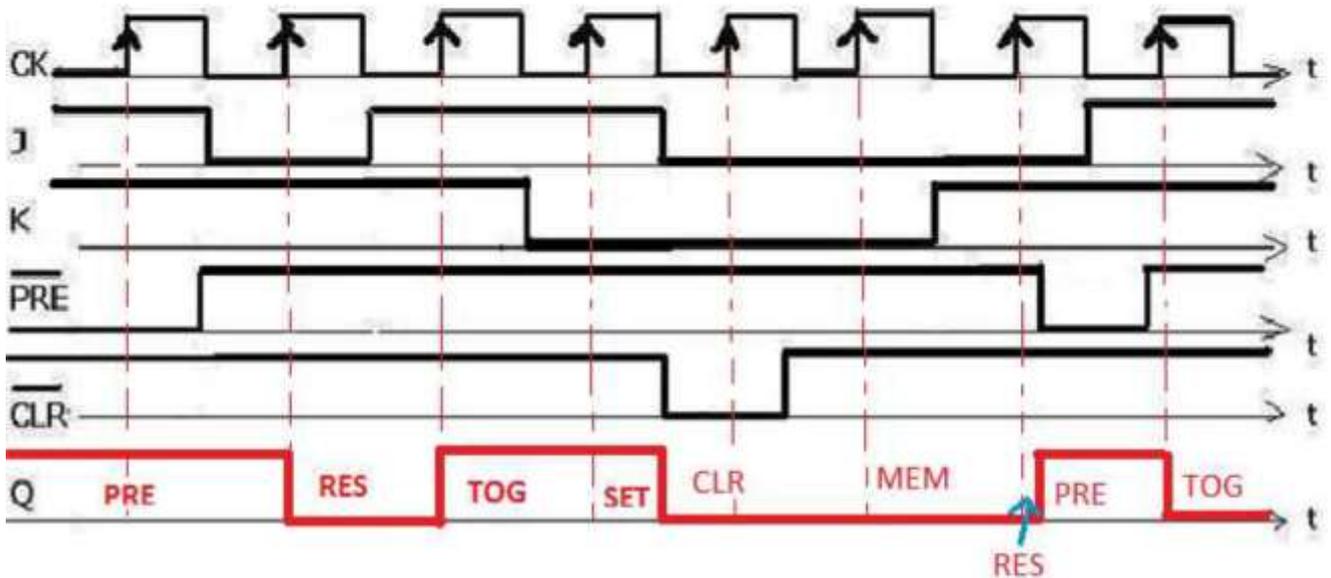
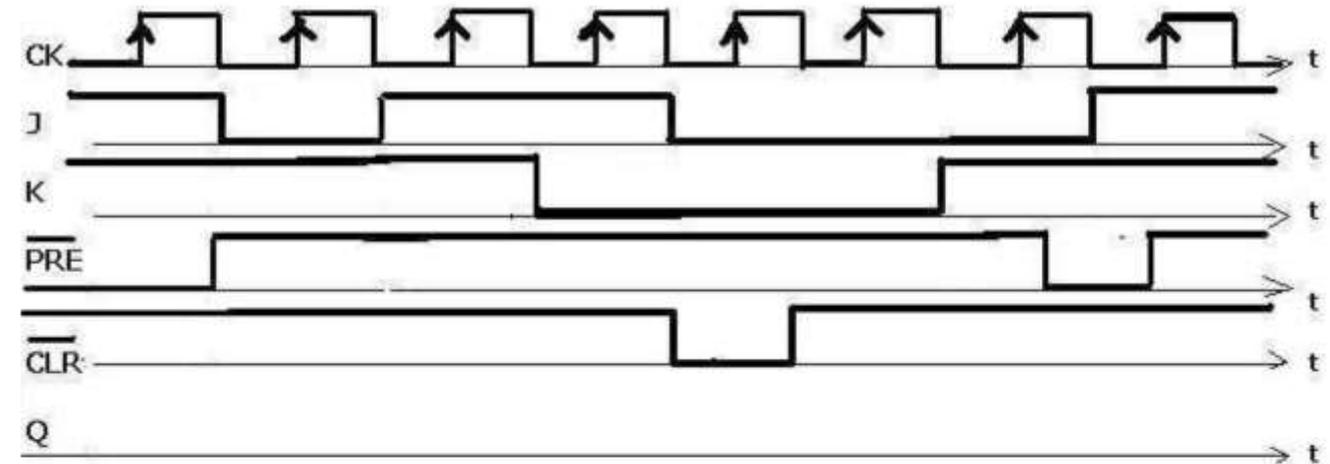
I comandi PRE e CLR vengono immessi nelle 2 Porte Nand del Latch SnRn, ( Pre in quella superiore, CLR in quella inferiore ) che devono quindi essere a 3 input.

### TdV FLIP FLOP JK

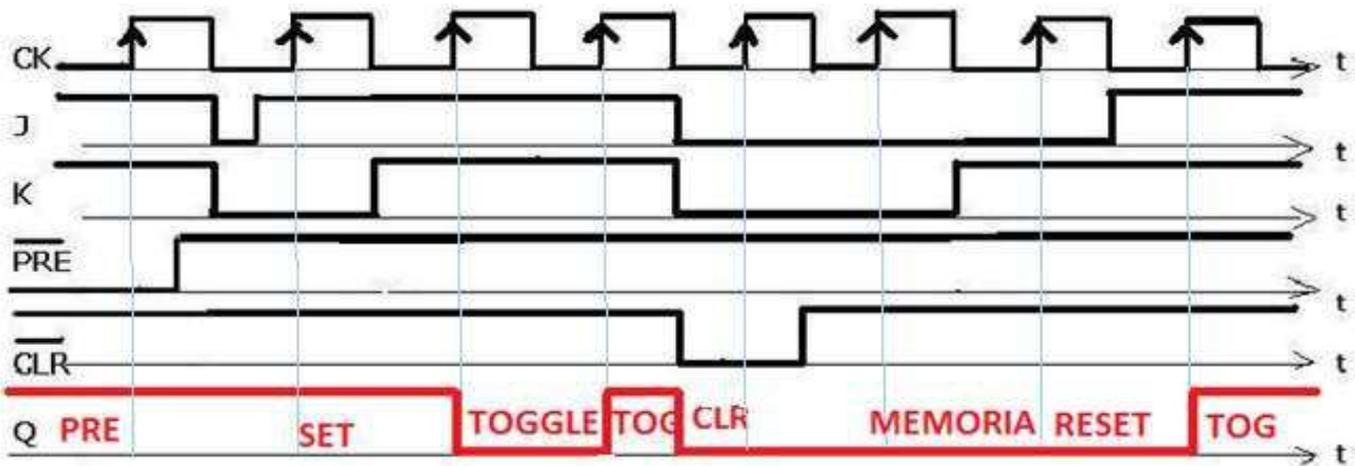
<b>FF</b> p.e.t.	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	J	K	$Q_i$	
	0	0	X	X	N.A.	
	0	1	X	X	1	PRE
	1	0	X	X	0	CLR
	1	1	0	0	$Q_{i-1}$	MEM
	1	1	0	1	0	RES
	1	1	1	0	1	SET
	1	1	1	1	$\overline{Q_{i-1}}$	TOG

Vediamo 2 esempi di cronogrammi :

1. Completa il cronogramma di Q , scrivendo nel grafico il nome dei vari comandi :

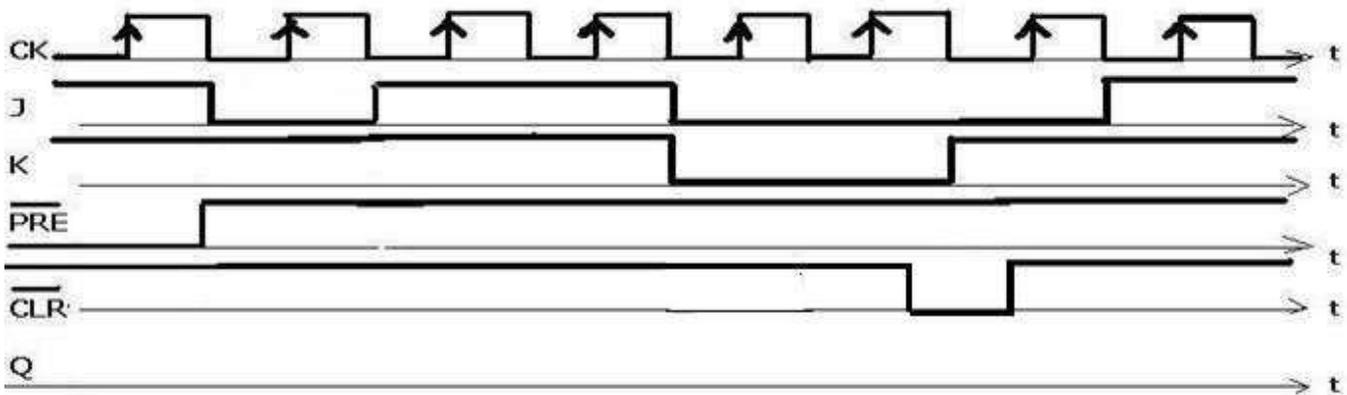


2. Completa il cronogramma di Q , scrivendo nel grafico il nome dei vari comandi :

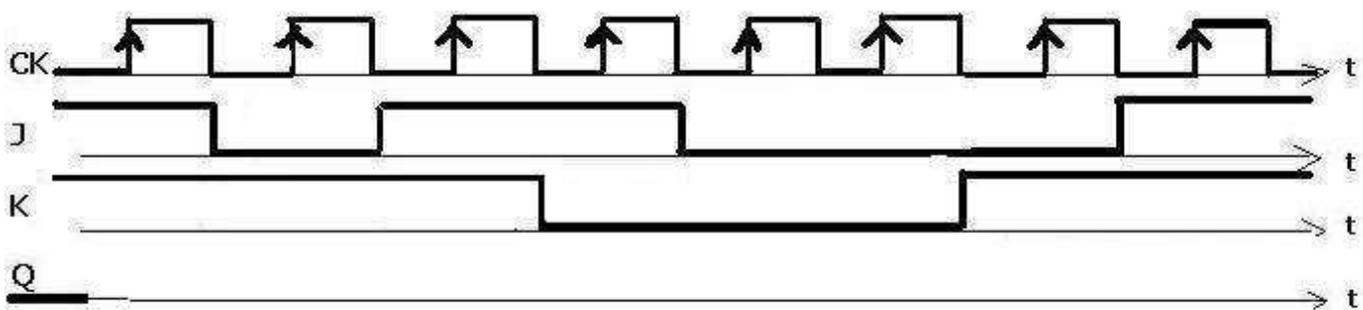


### ESERCIZI DA SVOLGERE

3. Disegna il cronogramma di Q , scrivendo nel grafico il nome dei vari comandi :



4. Disegna il cronogramma di Q , scrivendo nel grafico il nome dei vari comandi :



5. Disegna il cronogramma di Q , scrivendo nel grafico il nome dei vari comandi :

