

## ORGANIZZAZIONE INTERNA DELLE MEMORIE A SEMICONDUETTORE

Una RAM ( o ROM , PROM , EPROM ,etc. ) contiene al suo interno un certo numero di locazioni di memoria, ciascuna costituita , in genere , da 8 flip-flop . Il numero di locazioni è sempre una potenza di 2 (  $2^N$  ), in tal modo ciascuna locazione è univocamente identificata da una combinazione binaria di un corrispondente numero **N** di bit , cioè ha un **indirizzo** .

**1° esempio** : una Memoria da **1 Kbyte** , cioè da **1024** byte, necessita di **10** bit di indirizzo (  $2^{10} = 1024$  ) e la prima locazione avrà indirizzo **000000000** , l'ultima **111111111** . In **HEX** si avrà rispettivamente **000 H** e **3FF H** .

**2° es** : se invece la RAM è da **32 KB** , ci vorranno **15** bit , essendo  $2^{15} = 2^5 * 2^{10} = 32 \text{ KB}$  e gli indirizzi andranno da **000000000000000** a **111111111111111** , cioè da **0000 H** a **7FFF H** .

All'interno della Memoria le locazioni sono disposte secondo una matrice , quadrata o rettangolare , a seconda del n° di bit . Nel 1° caso , con 1024 locazioni e 10 bit di indirizzo , la matrice avrà 32 colonne e 32 righe , ( infatti  $32*32 = 1024$  ) . Queste 32 righe e 32 colonne sono le uscite di **2 decoder 5 x 32** ( **5 IN** e **32 OUT** ) . **Gli ingressi sono i bit di indirizzo . Le uscite sono attive basse . All'incrocio di ciascuna riga e di ciascuna colonna si trova una locazione : per potervi entrare bisogna che i bit presenti sulla riga e sulla colonna siano 0 .**

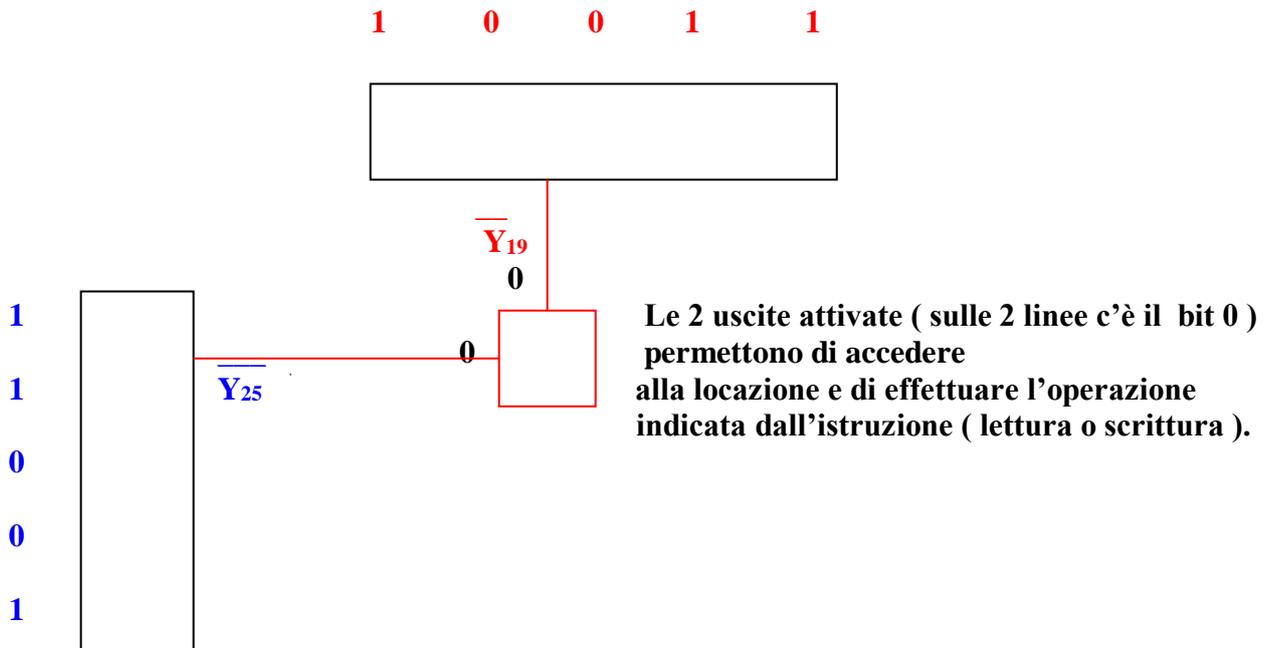
**Esempio** : RAM da 1 Kbyte :

vediamo a quale locazione corrisponde il seguente indirizzo : **A<sub>9</sub> A<sub>8</sub> A<sub>7</sub> A<sub>6</sub> A<sub>5</sub> A<sub>4</sub> A<sub>3</sub> A<sub>2</sub> A<sub>1</sub> A<sub>0</sub>**  
**1 0 0 1 1 1 1 0 0 1**

Supponiamo di usare i bit più significativi per le colonne e i meno significativi per le righe :

Il decoder per le colonne attiverà l'uscita  $\overline{Y}_{19}$  , essendo  $(10011)_2 = (19)_{10}$

mentre il decoder per le righe attiverà  $\overline{Y}_{25}$  , essendo  $(11001)_2 = (25)_{10}$



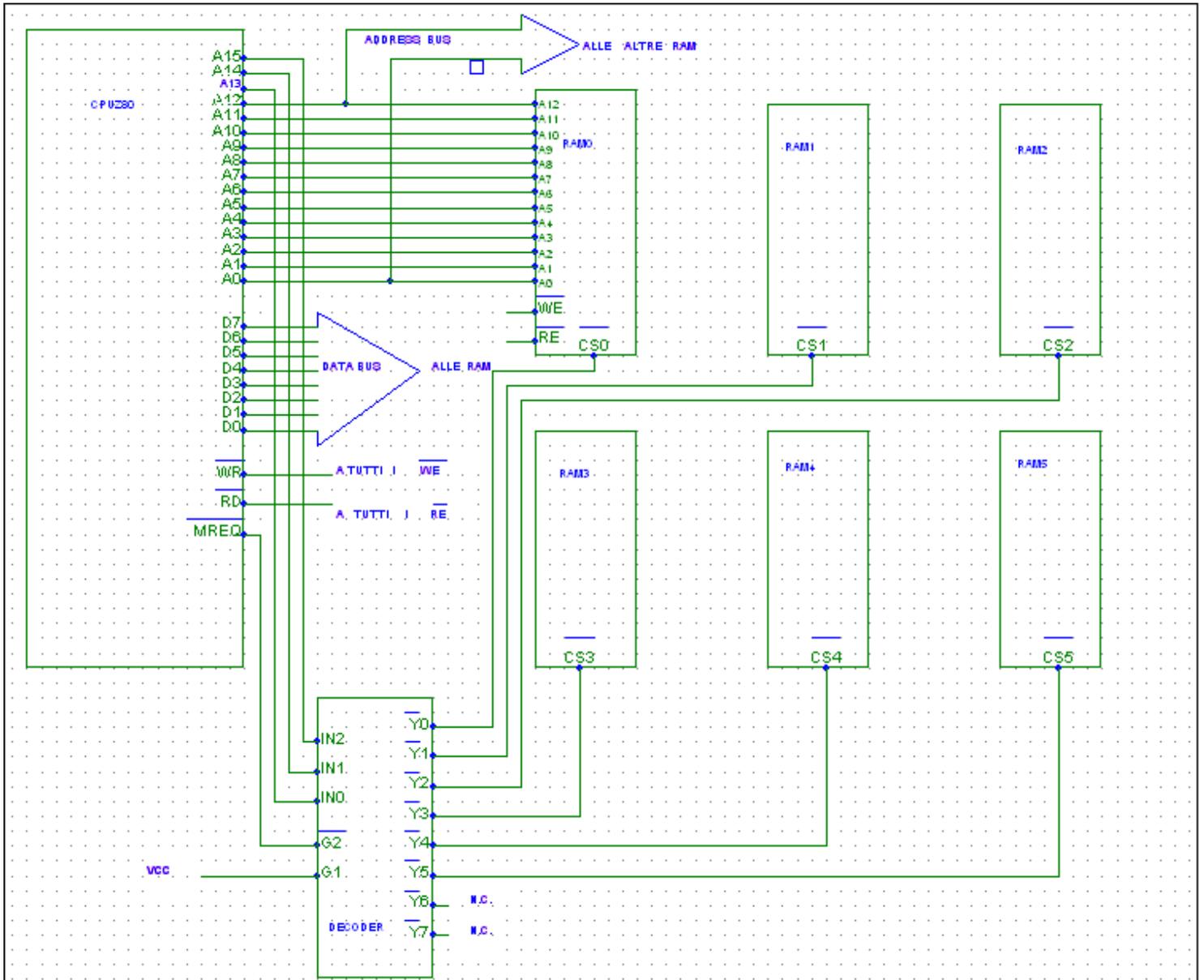
In una scheda di memoria per un microprocessore , però , ci sono più RAM e/o ROM , per cui l'indirizzo presente nell'istruzione deve indicare , oltre alla locazione prescelta dentro la Ram , anche di quale Ram si tratta .**Quante ce ne possono stare , sulla scheda ?**Dato che la capacità max di memoria di un  $\mu P$  a 8 bit ( di dati ) e 16 ( di indirizzo ) è di  $2^{16}$  locazioni , non ci potranno essere più di 8 RAM da 8 KBYTE ciascuna , per esempio , oppure 4 RAM da 16 KB o combinazioni il cui prodotto dia 64 KB .

**La capacità della scheda può essere inferiore alla max , mai ovviamente superiore .**

**Chi permette di effettuare la scelta fra le varie RAM ?**

**Un decoder esterno , 3x8 nel primo esempio ( 8 RAM da 8 KB ) , 2x4 nel secondo ( 4 RAM da 16 KB )**

Vediamo un altro esempio : SCHEDA DI MEMORIA per  $\mu P$  Z80 , composta da 6 RAM da 8 Kbyte e un decoder 3 x 8 con 2 enable , G<sub>1</sub> attivo alto e G<sub>2</sub> attivo basso.



**N.B. Si sono indicati i principali segnali e collegamenti solo sulla RAM 0 .**

**Analizziamo lo schema :** dato che le RAM contengono ciascuna 8 KB , dovranno ricevere 13 bit dall' address bus dello Z80 . I 3 bit + significativi dell'indirizzo ( A<sub>15</sub>, A<sub>14</sub> e A<sub>13</sub> ), invece , sono inviati ai 3 IN del decoder. In base al codice binario presente su tali IN , verrà attivata la corrispondente uscita del decoder e tale uscita attiverà la RAM ad essa collegata , ramite il pin CS .Anche il decoder

deve essere attivato : su G<sub>1</sub> viene fornito il livello alto , fisso , mentre G<sub>2</sub> è collegato al segnale  $\overline{MREQ}$  , che vale 0 solo quando il  $\mu P$  esegue un'istruzione di lavoro in memoria .Quando il  $\mu P$  esegue altre istruzioni , non in memoria,  $\overline{MREQ}$  è disattivato, cioè vale 1 , per cui il decoder è disattivato e così pure tutto il banco di memoria .

Tutte le RAM sono **fisicamente collegate** ai vari BUS ( ADDRESS , DATA , SUPPLY BUS ) e ricevono anche 2 segnali del CONTROL BUS : le abilitazioni alla lettura e alla scrittura ( RE e WE )

**Soltanto la RAM abilitata dal decoder , però , risulta elettricamente collegata .Tutte le altre sono in ALTA IMPEDENZA , cioè irraggiungibili dai segnali .**

**INDIRIZZI DELLE 6 RAM :**

		A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		
RAM 0	INIZIALE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0000	H
	FINALE	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1FFF	H
RAM 1 ( 2000 ÷ 3FFF )		RAM 2 (4000 ÷ 5FFF)			RAM 3 ( 6000 ÷ 7FFF )														
RAM 4 ( 8000 ÷ 9FFF )		RAM 5 ( A000 ÷ BFFF )																	