

# LOGICA SEQUENZIALE

## DEFINIZIONI : CIRCUITI ASTABILI , MONOSTABILI, BISTABILI

### ASTABILE

Circuito che dà in uscita una forma d'onda a 2 livelli (segnale DIGITALE BINARIO), nessuno dei quali è stabile.

La Vout rimane per un tempo prefissato (da una rete RC) al livello alto, dopodichè passa inevitabilmente nell'altro stato e così via.

Esempio elettroacustico : sirena bitonale

Esempio optoelettronico : luce LED a intermittenza

Esempio optoelettrico : semaforo giallo lampeggiante

### MONOSTABILE

Il circuito ha 1 solo stato stabile, in cui può rimanere INDEFINITAMENTE ; solo su comando, passa nell'altro stato, instabile, in cui rimane per un tempo prefissato, per poi tornare nello stato stabile.

Esempio optoelettrico : luce scale temporizzata

Esempio idraulico : sciacquone

### BISTABILE

Ha 2 stati, entrambi stabili. Solo su comando passa da uno stato all'altro.

Esempio elettronico : latch, flip-flop ( celle di memoria )

Esempio optoelettrico : interruttore luci, ... )

## LOGICA SEQUENZIALE

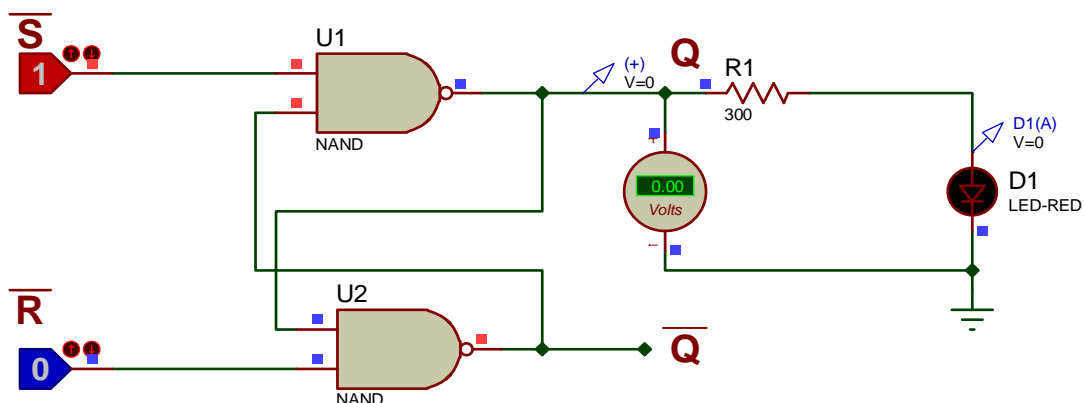
- Si prendono dapprima in esame i più semplici circuiti che operano secondo la logica sequenziale, ovvero i **circuiti bistabili**. Questi dispositivi si possono suddividere in:
  - **LATCH**: circuiti sequenziali che hanno la capacità di "agganciare" uno stato logico e mantenerlo memorizzato;
  - **FLIP-FLOP**: circuiti sequenziali che presentano caratteristiche di funzionamento SIMILI a quelle dei LATCH. Rispetto a questi ultimi hanno due caratteristiche distintive:
    - sono sincronizzabili con altri elementi logici del circuito mediante un segnale di clock (CK)
    - a causa della maggiore complessità circuitale rispetto ai LATCH la commutazione degli output non è simultanea alla variazione dello stato d'ingresso, presenta cioè un certo ritardo.
- Il segnale di clock è un segnale periodico (un'onda quadra), che viene utilizzato per sincronizzare uno o più circuiti sequenziali.
- I FLIP-FLOP *edge triggered* cambiano il loro stato soltanto in corrispondenza del fronte di salita (positive edge triggered, p.e.t.) o di discesa (negative edge triggered, n.e.t.) del segnale di clock.

In pratica i dispositivi edge triggered rispondono ai comandi soltanto **in sincronia** con la transizione del clock (positiva o negativa).

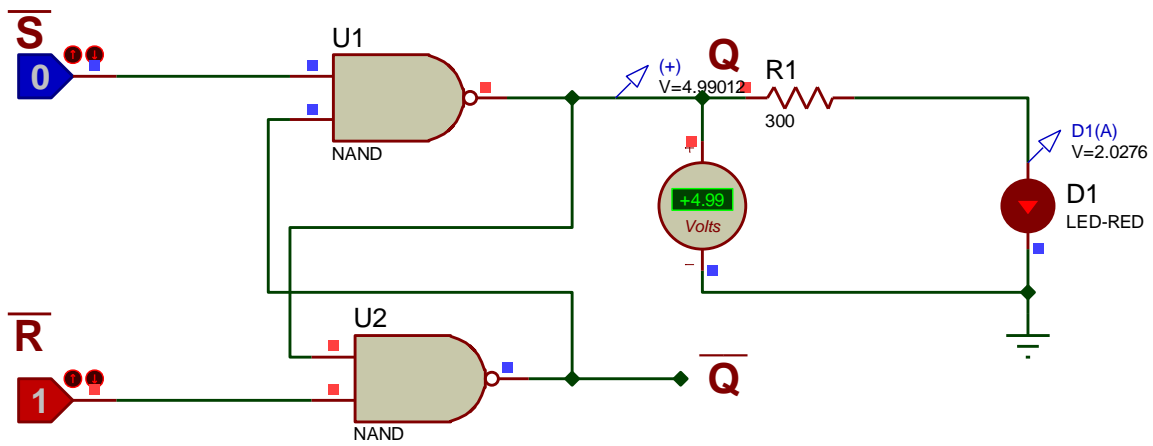
## TIPI DI LATCH

1)

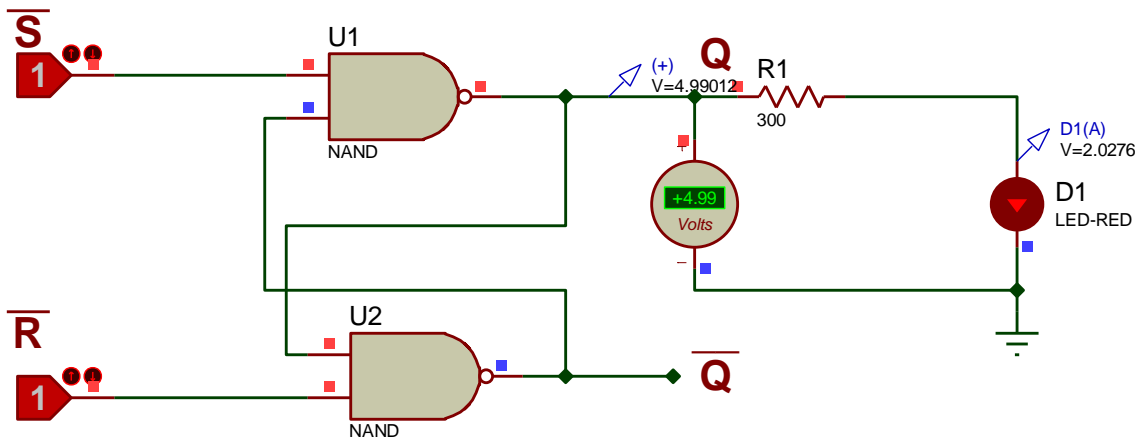
### LATCH $\overline{SR}$ (ATTIVO BASSO)



a) Attivazione del RESET :  $Q = 0$  >>>>  $V_Q = 0$  [V] >>>> LED SPENTO



**b) Attivazione del SET :  $Q = 1 \gggg V_Q = 5 [V] \gggg LED$  ACCESO**



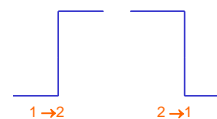
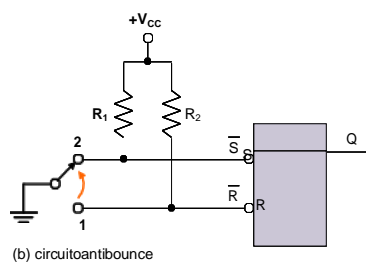
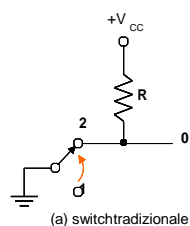
**c) Attivazione di MEM (dopo SET) :  $Q_i = Q_{i-1} = 1 \gggg V_Q = 5 [V] \gggg LED$  ACCESO**

**TAVOLA DI VERITA' LATCH SR attivo basso**

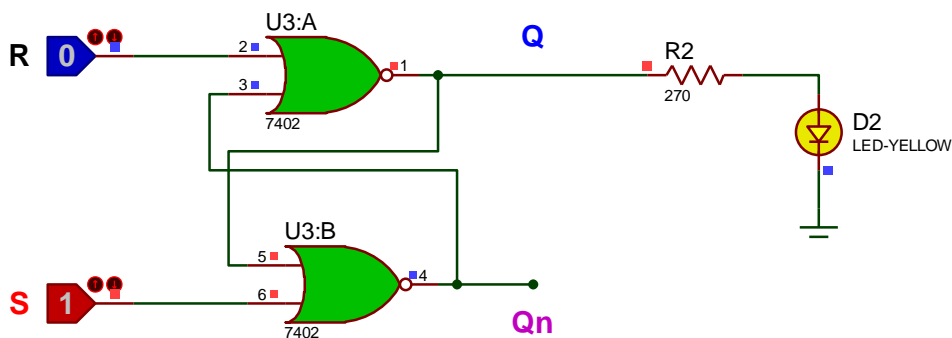
| $S_n$ | $R_n$ | $Q_i$           |
|-------|-------|-----------------|
| 0     | 0     | N.A.            |
| 0     | 1     | 1 ( SET)        |
| 1     | 0     | 0 ( RES)        |
| 1     | 1     | $Q_{i-1}$ (MEM) |

### CIRCUITO ANTI-RIMBALZO

- Si consideri un LATCH attivo basso, cioè con i valori della tabella della verità invertiti.
- L'interruttore inizialmente è in posizione 1, mantenendo R basso, resettando il LATCH. Quando l'interruttore viene spostato su 2, R diventa alto e rimane tale, mentre al primo contatto S si abbassa attivando il LATCH.
- Negli istanti successivi il valore di S subisce le oscillazioni di tensione causate dalle vibrazioni del contatto meccanico ma questo non si riflette sull'uscita Q del LATCH, che rimane attivo.



## 2) LATCH SR ATTIVO ALTO



Attivazione del comando di SET ( S=1, R=0) >>>> LED ACCESO

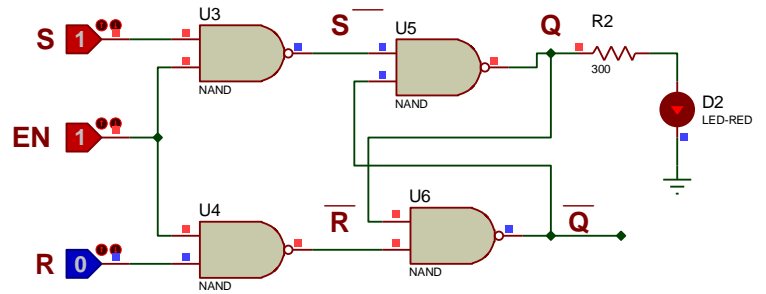
### TAVOLA DI VERITA' LATCH SR attivo alto

| S | R | Qi         |
|---|---|------------|
| 0 | 0 | Qi-1 (MEM) |
| 0 | 1 | 0 (RES)    |
| 1 | 0 | 1 (SET)    |
| 1 | 1 | N. A.      |

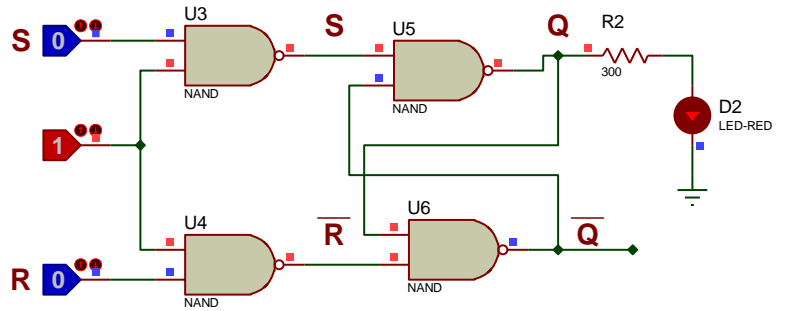
3)

LATCH SR CON ENABLE ( ATTIVO ALTO)

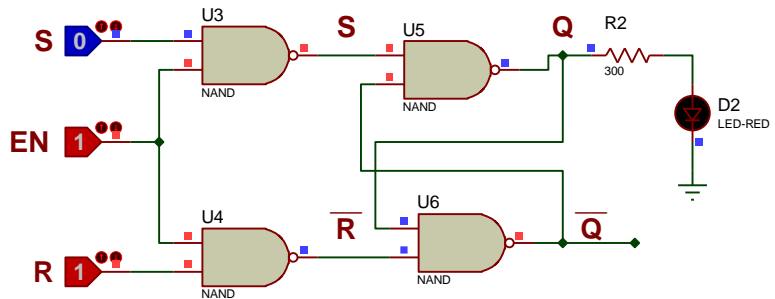
a) **ENABLE ATTIVO**  
**SET >>> Q = 1**  
**LED ACCESO**



b) **MEM (dopo SET) >>> Q = 1**  
**LED ACCESO**

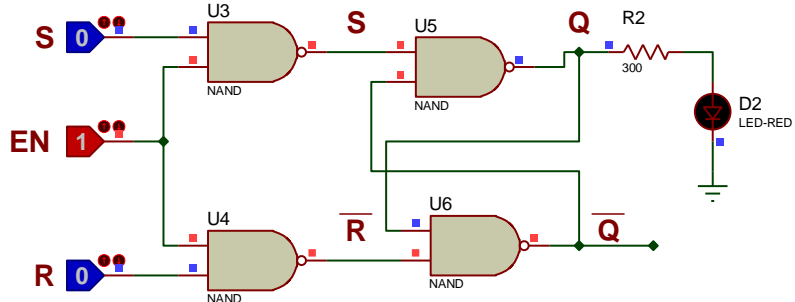


c) **RES >>> Q = 0**  
**LED SPENTO**



d) **MEM (dopo RESET) >>>**

**Q = 0**  
**LED SPENTO**



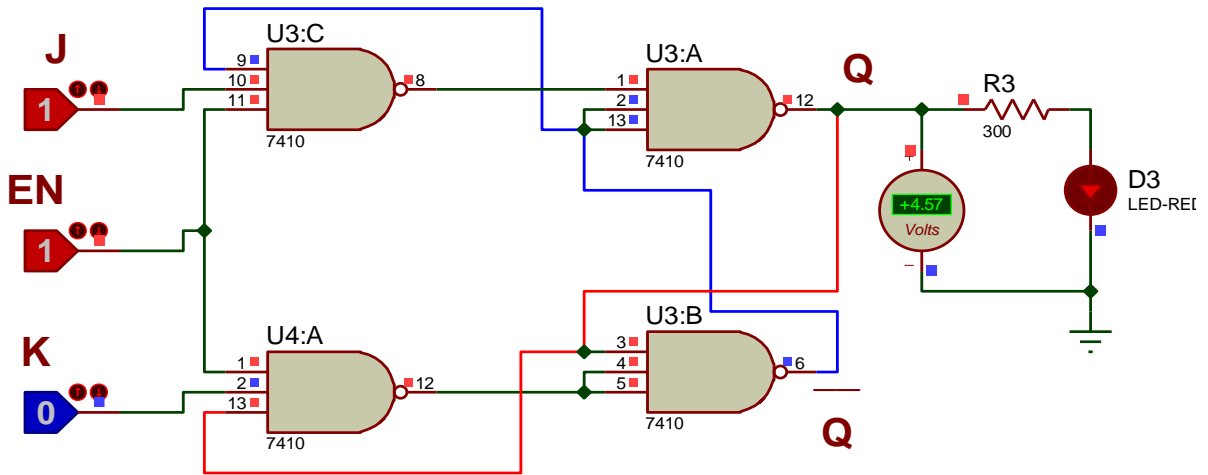
e) **ENABLE DISATTIVO** :NON VIENE ESEGUITO ALCUN COMANDO

TAVOLA DI VERITA' LATCH SR con EN

| ENABLE | S | R | Qi          |
|--------|---|---|-------------|
| 0      | X | X | Qi-1 ( DIS) |
| 1      | 0 | 0 | Qi-1 (MEM)  |
| 1      | 0 | 1 | 0 ( RESET)  |
| 1      | 1 | 0 | 1 ( SET)    |
| 1      | 1 | 1 | N.A.        |

4)

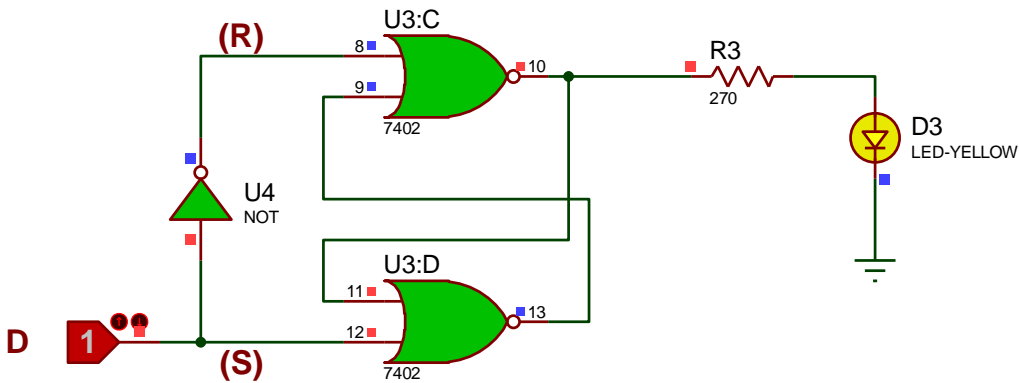
## LATCH JK CON ENABLE (ATTIVO ALTO)



### TAVOLA DI VERITA' LATCH JK con EN

| ENABLE | J | K | Qi                   |
|--------|---|---|----------------------|
| 0      | X | X | Qi-1 (DIS)           |
| 1      | 0 | 0 | Qi-1 (MEM)           |
| 1      | 0 | 1 | 0 (RESET)            |
| 1      | 1 | 0 | 1 (SET)              |
| 1      | 1 | 1 | Qi-1 negato (TOGGLE) |

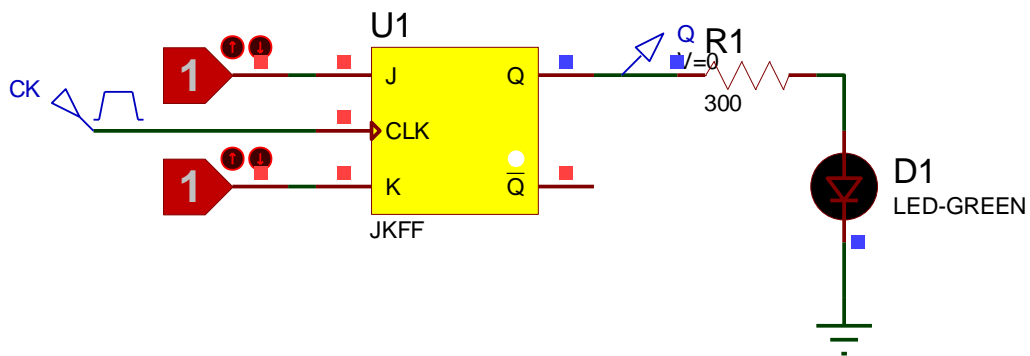
### 5) LATCH D



### TAVOLA DI VERITA' LATCH D

| D | Q       |
|---|---------|
| 0 | 0 (MEM) |
| 1 | 1 (TOG) |

## 6) FLIP FLOP JK



I COMANDI VENGONO ESEGUITI SOLO IN SINCRONIA CON IL FRONTE ATTIVO DI CLOCK, in questo caso quello di discesa. (vedi indicatore di CK >>> TRIANGOLO)

### FLIP-FLOP

- Come già sottolineato i flip-flop si differenziano dai latch per la possibilità di essere sincronizzati tramite un segnale di clock( da cui si ottiene con il circuito CRT un treno di impulsi molto stretti, in sincronia o col fronte di salita o con quello di discesa ) e per la maggior complessità circuitale che impedisce la simultanea variazione di ingresso e uscita, generando ritardi nella risposta.
- La prima caratteristica è legata alla funzionalità dei flip- flop stessi.
- Per quanto riguarda il ritardo nella risposta si faranno soltanto alcuni accenni, considerando ideale il comportamento dei componenti ed istantanea la trasmissione dei segnali.

## FLIP-FLOP J-K

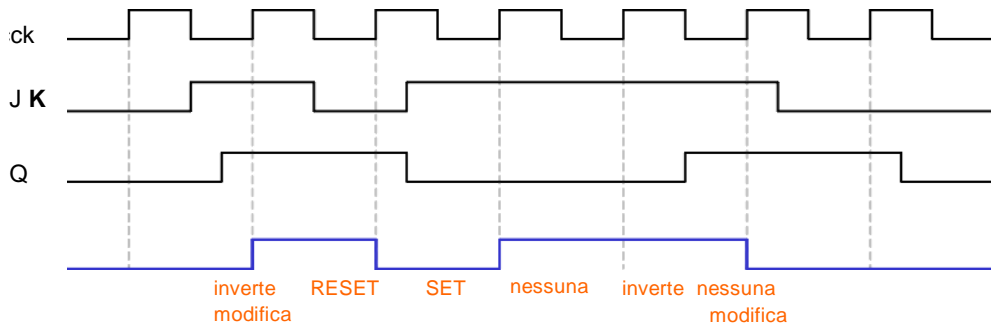
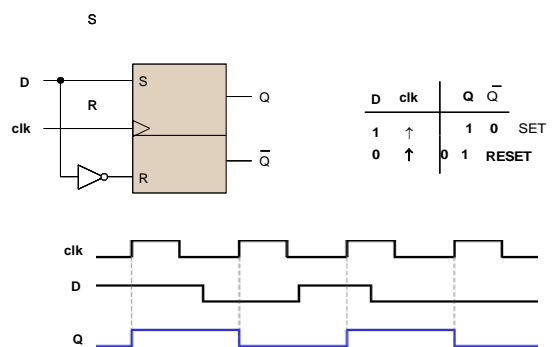


Diagramma temporale a forme d'onda per un FF JK *edgetriggered*.

170

## FLIP-FLOP D (edge triggered)

- Il flip-flop D è utile per *memorizzare* il valore di un singolo bit (1 o 0).
- Il flip-flop D si ottiene aggiungendo un inverter al flip-flop S-R e collegando a S il segnale non invertito e ad R lo stesso segnale invertito.
- Lo schema logico, la tabella della verità ed il diagramma temporale a forme d'onda sono mostrati in Figura.
- Se si sostituisce il segnale di clock con un segnale di abilitazione non temporizzato si ottiene il latch D, il cui funzionamento è ovviamente analogo al flip-flop ma la cui attivazione non è regolata periodicamente dall'impulso del clock ma da un segnale generato in altro modo.



171

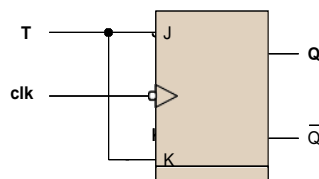
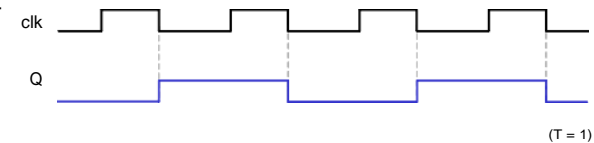


## FLIP-FLOP T

- Il flip-flop T è un dispositivo ad un ingresso (T = **Toggle**).
- Questo dispositivo non è altro che un flip-flop J-K con un solo segnale T collegato ad entrambi gli ingressi J e K.

Quando il segnale in ingresso vale

- **1** il flip-flop T cambia stato all'output, se T, al contrario, vale **0** lo stato dell'uscita non si modifica.
- Il flip-flop T può essere utilizzato per dimezzare la frequenza degli impulsi di clock, infatti se si mantiene il valore del segnale T sempre uguale a 1, ad ogni transizione di clock, positiva o negativa, l'uscita commuta.



| T | clk | Q                  |
|---|-----|--------------------|
| 1 | ↓   | $\bar{Q}$ invert   |
| 0 | ↓   | Q stato precedente |

172

## REGISTRI E CONTATORI

- Si vedono ora le applicazioni dei circuiti flip-flop. In particolare, tali applicazioni si configurano in due grandi categorie:
  - i **registri**: sono elementi di memoria che possono immagazzinare segnali binari di lunghezza n bit
  - i **contatori**: sono insiemi di dispositivi sequenziali, in grado di fornire, in codice binario, il numero degli impulsi di clock applicati al loro ingresso.

173

## SHIFT REGISTER

- I registri hanno un ruolo fondamentale nella memorizzazione e nel trasferimento dei dati nei sistemi digitali.

Sono circuiti costituiti da flip-flop e, in particolare, essendo ogni flip-flop capace di memorizzare un bit, per realizzare registri capaci di immagazzinare **parole di n bit**, occorre collegare tra loro **n flip-flop**.

In genere le parole binarie sono costituite da un numero di bit pari a potenze intere di due, pertanto anche il numero delle celle elementari di un registro è una potenza intera di **2**.

Ad esempio, vi sono registri di un semibyte formati da 4 flip-flop, registri da 1 byte, formati da 8 flip-flop e così via.

- I registri vengono anche chiamati **shiftregister** perché, come si vedrà in seguito, alla memorizzazione dei dati è collegata un'operazione di spostamento (shift) dei dati stessi.

- Classificazione che si basa sul modo di inserire e prelevare i bit dai registri stessi.

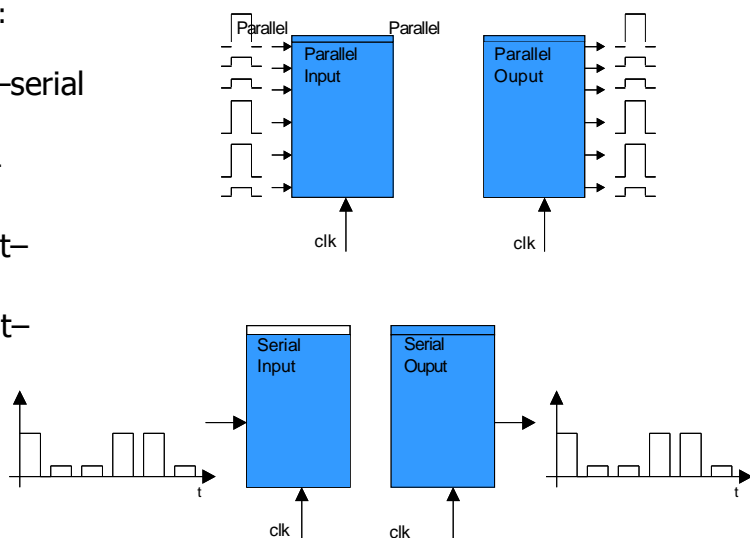
In base all'accesso in ingresso o in uscita ai registri, si distinguono due modalità:

- la **modalità seriale**: consiste nell'inserire o prelevare i bit della parola nel registro uno dopol'altro, secondo una scansione temporale determinata dalclock
- la **modalità parallela**: consiste nell'inserire o prelevare tutti i bit della parola simultaneamente, in corrispondenza del comando di clock.

## SHIFT REGISTER / 2

- Essendovi due modalità di input e due di output, le categorie di registri risulteranno quattro:

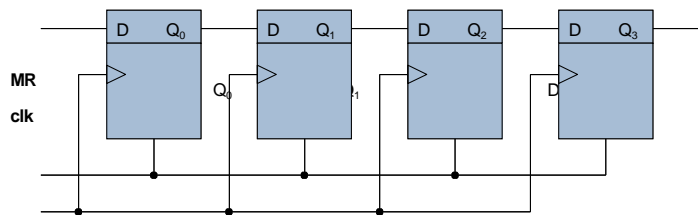
- **SISO**: serial input –serial output;
- **SIPO**: serial input–parallel output;
- **PISO**: parallel input–serial output;
- **PIPO**: parallel input–parallel output.



## REGISTRI SERIAL INPUT – SERIAL OUTPUT

- I registri SISO sono formati, in genere, da un insieme di tanti flip-flop D quanti sono i bit della parola binaria che immagazzinano.
- Tali flip-flop sono collegati tra loro in cascata, in modo che l'uscita Q di ciascuno vada all'ingresso D del successivo. L'ingresso D del primo flip-flop è l'ingresso generale del registro e l'uscita Q dell'ultimo è l'uscita generale. Gli ingressi di clock dei singoli flip-flop sono tutti collegati tra loro e vanno ad un 'master clock' esterno.
- Schema di un registro a 4 bit (semibyte). Dall'osservazione dello schema logico si nota che vi è anche un ingresso denominato MR (master reset) che collega i reset dei singoli flip-flop interni e quando viene attivato azzerata tutte le uscite.

DatoUscita



176

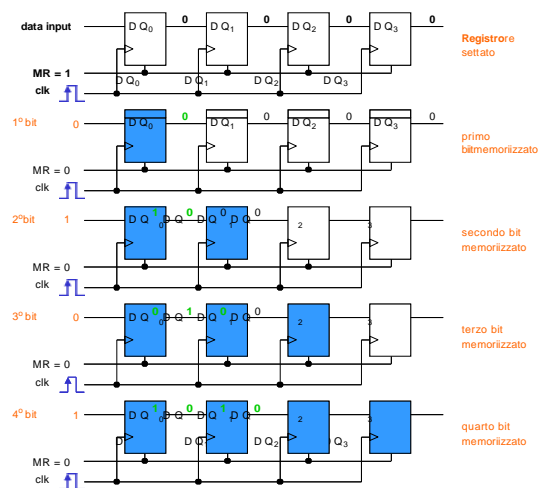
## REGISTRI SERIAL INPUT – SERIAL OUTPUT / 2

- Ingresso di un semibyte **1010** in un registro Serial Input – Serial Output formato da flip-flop D positive edgetriggered.

Il registro viene inizialmente resettato dal comando MR e dall'impulso di clock.

Quindi in ingresso al primo flip-flop compare il primo bit (quello più a destra) e, al fronte di salita dell'impulso di clock successivo, viene memorizzato in uscita al primo flip-flop.

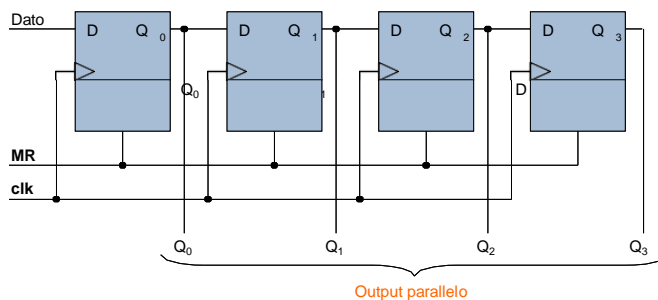
- Nell'istante successivo il secondo bit, in questo caso '1', si presenta in ingresso al primo flip-flop e, con il fronte di salita del clock viene memorizzato dal primo flip-flop.



177

## REGISTRI SERIAL INPUT – PARALLEL OUTPUT

- In questo tipo di registri i dati sono inseriti in sequenza esattamente come nel registro SISO visto nel paragrafo precedente.
- La differenza tra questi due dispositivi è nel modo in cui viene gestita l'estrazione del dato memorizzato nel registro.
- Nel registro con uscita parallela, l'output di ogni cella di memoria è collegato direttamente con l'esterno. Una volta che il dato è stato memorizzato, ogni bit compare nel rispettivo cavo di uscita.
- A differenza di quanto accade nel serial output, tutti i bit sono disponibili simultaneamente in uscita.



178

## CONTATORI

- I contatori sono sistemi sequenziali capaci di contare, in codice binario, il numero di impulsi di clock applicati al loro ingresso.
- In questa definizione sono comprese diverse possibili applicazioni:
  - contatori di eventi: qualora ogni evento sia riconducibile ad un fronte d'onda applicato all'ingresso di clock del contatore
  - misuratori di tempo: se si genera un clock di periodo noto, il risultato del conteggio può rappresentare una misura di tempo, definita dalla formula
$$t = n * T$$
dove **n** è il numero di periodi contati e **T** è la durata del periodo di clock.
  - misuratori di frequenza: un contatore conta i periodi di un segnale di frequenza incognita compresi nell'unità di tempo
  - divisori di frequenza: dato che il conteggio avviene in base binaria, all'uscita di un contatore è possibile ottenere un segnale a frequenza dimezzata.

## CONTATORI / 2

- L'elemento strutturale di base dei contatori è il flip-flop; il tipo di flip-flop impiegato è funzione della categoria di appartenenza del contatore.
- Le categorie principali sono due:
  - **contatori asincroni:** dal punto di vista circuitale sono i più semplici, il termine asincrono si riferisce ad eventi che non hanno una precisa relazione temporale tra loro e, generalmente, non avvengono nello stesso istante di tempo. Nei contatori asincroni i flip-flop non cambiano stato nello stesso istante, perché non sono comandati dal medesimo impulso di clock. Questo fa sì che il risultato del conteggio sia disponibile dopo un tempo pari alla **somma dei ritardi** di ogni stadio costituente il contatore.
  - **contatori sincroni:** in questi contatori, i flip-flop (normalmente del tipo J-K), vengono comandati tutti simultaneamente dal segnale di clock. Questa soluzione rende più complessa la circuitistica, ma evita ritardi dell'uscita rispetto all'ingresso.

## CONTATORI BINARI ASINCRONI

- L'elemento base del contatore binario asincrono è il flip-flop T.

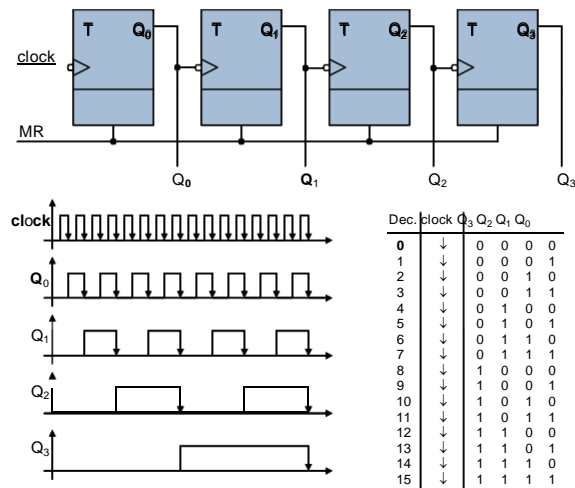
Il flip-flop T dimezza la frequenza del segnale di clock applicato al suo ingresso.

Se all'uscita di un flip-flop di questo tipo se ne collega un'altro analogo, la frequenza viene divisa per 4 e così via.

Perciò una serie di flip-flop T collegati in cascata dividono la frequenza applicata all'ingresso secondo **successive potenze di 2**.

- Si consideri ora un insieme di quattro flip-flop T collegati in cascata.
- Riportando in tabella le condizioni delle uscite in funzione della frequenza d'ingresso si ritrova il numero degli impulsi applicati all'ingresso di clock.
- Il grafico a forme d'onda descritto in figura è teorico e non tiene conto dei ritardi interni di ogni flip-flop.
- Come si può notare dallo schema esiste, come nei registri, un comando di Master Reset che serve ad azzerare il contatore e che avrà un'importante applicazione nei contatori asincroni a modulo variabile.

## CONTATORI BINARI ASINCRONI / 2



182

## CONTATORI ASINCRONI A MODULO VARIABILE

- Il numero N degli impulsi di clock che vengono contati è legato al numero n di stadi costituenti il contatore dalla relazione:  

$$N = 2^n - 1$$
- Questo significa che in corrispondenza dell'impulso di clock successivo all'N-esimo, le uscite di tutti i flip-flop del contatore si riportano a '0'.
- Per definizione il modulo costituisce il numero degli impulsi che azzerano il contatore, cioè il numero degli impulsi contati più uno.
- Si possono distinguere in tal senso due casi:
  - Il modulo coincide con una potenza intera di 2; in tal caso è sufficiente realizzare un contatore con tanti stadi 'n' quanti ne risultano necessari, secondo la formula:  

$$n = \log_2 (N + 1)$$
 Ad esempio per un contatore con modulo  $N + 1 = 32$  sono necessari 5 stadi.
  - Il modulo non coincide con una potenza intera di 2; in tal caso è necessario ricorrere a un normale contatore binario e a una logica di tipo combinatorio che assume la funzione di blocco del conteggio azzerando il contatore. Il contatore deve essere in grado di contare impulsi fino alla potenza di 2 immediatamente superiore al valore del modulo.

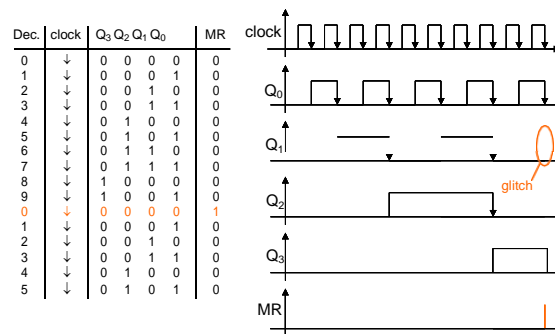
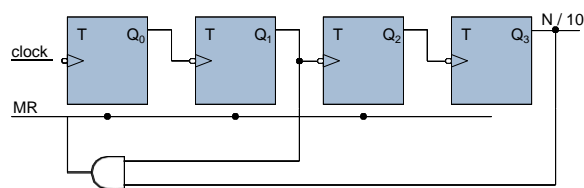
183

## CONTATORE DECIMALE

- Il **contatore modulo 10** richiede quattro flip-flop ed una logica combinatoria per il blocco del conteggio, con azzeramento al fronte di discesa del decimo impulso.
- E' perciò necessario che il contatore resetti passando dallo stato '1001' corrispondente al '9' allo stato '0000'.
- Dallo schema si nota come soltanto Q1 e Q3 siano connessi alla porta AND che comanda il Master Reset. Questo tipo di soluzione è un esempio di decodificazione parziale nella quale due soli stati (Q1 = 1 e Q2 = 1) sono sufficienti per eseguire il conteggio modulo 10, poiché nessuno degli altri stati (dallo '0' al '9') ha Q1 e Q2 entrambi alti.
- In Figura viene mostrato anche il diagramma temporale a forme d'onda. Si può notare come vi sia un impulso spurio (glitch) nell'andamento dell'onda Q1. La presenza di questo glitch è spiegata dal fatto che Q1 deve prima assumere il valore '1' affinché il Master Reset possa entrare in azione ed azzerare il contatore.

184

## CONTATORE DECIMALE /2



185

## CONTATORI BINARI SINCRONI

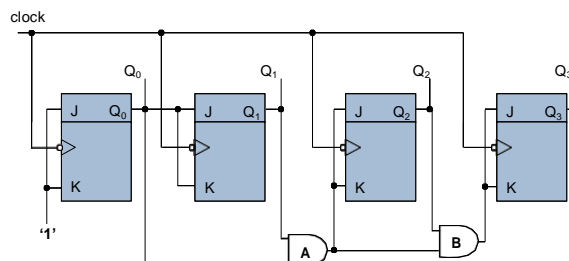
- I **contatori sincroni** consentono di evitare i ritardi di trasmissione del segnale da un flip-flop all'altro, tipici dei contatori asincroni.
- L'eliminazione dei ritardi è consentita da opportune soluzioni circuitali che portano tutti i flip-flop del contatore a commutare in modo simultaneo (o parallelo).
- Poiché questo procedimento richiede opportuni componenti, la struttura interna dei contatori sincroni è più complessa di quella degli asincroni. A fronte di una struttura più complessa, i contatori sincroni possono però operare a velocità molto più elevate di quelle degli asincroni.

## CONTATORI BINARI SINCRONI / 2

- La struttura interna di un contatore sincrono a 4 bit. Questo contatore è costituito da flip-flop di tipo J-K (o di tipo T siccome l'input è collegato ad entrambi gli ingressi).
- Alla base di funzionamento del contatore sincrono vi sono due condizioni caratteristiche dei flip-flop J-K, precisamente:
  - se ad entrambi gli ingressi, J e K, è applicato il valore **1**, in corrispondenza del fronte di discesa del clock, il flip-flop inverte lo stato dell'uscita;
  - se ad entrambi gli ingressi è applicato il valore **0**, in corrispondenza del fronte di discesa del clock, il flip-flop mantiene inalterato lo stato dell'uscita.
- Gli ingressi del primo flip-flop sono entrambi collegati in modo permanente al livello 1.
- La tabella degli stati del contatore binario sincrono è identica a quella del contatore asincrono. Anche con i contatori sincroni è possibile realizzare sistemi di conteggio a modulo prefissato, con una logica analoga a quella vista per gli asincroni.



## CONTATORI BINARI SINCRONI /3



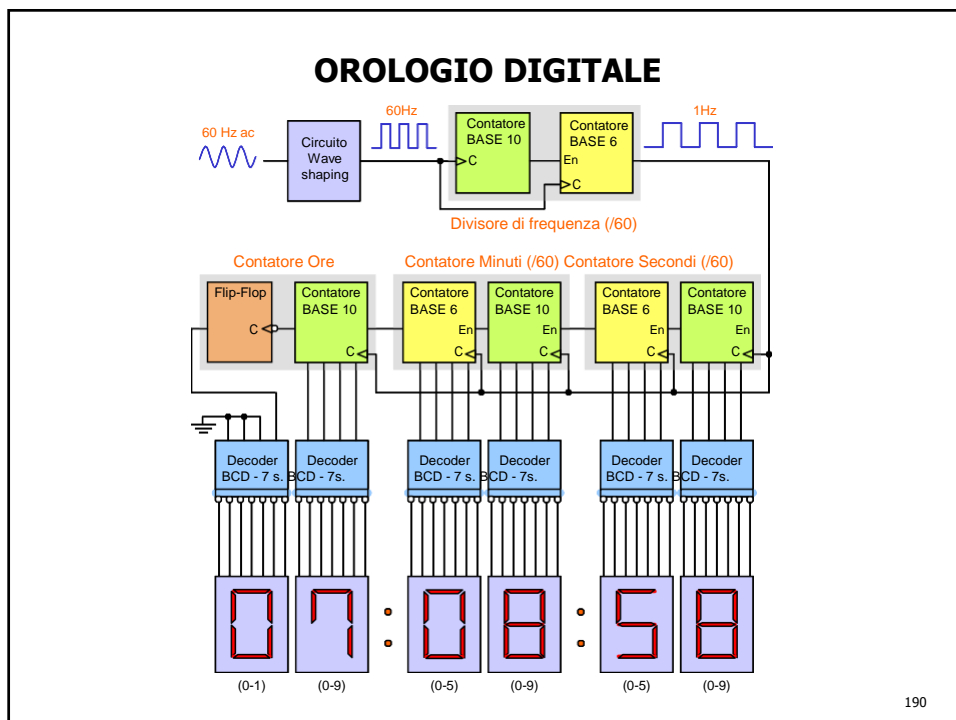
| Dec. | clock | Q <sub>3</sub> | Q <sub>2</sub> | Q <sub>1</sub> | Q <sub>0</sub> |
|------|-------|----------------|----------------|----------------|----------------|
| 0    | ↓     | 0              | 0              | 0              | 0              |
| 1    | ↓     | 0              | 0              | 0              | 1              |
| 2    | ↓     | 0              | 0              | 1              | 0              |
| 3    | ↓     | 0              | 0              | 1              | 1              |
| 4    | ↓     | 0              | 1              | 0              | 0              |
| 5    | ↓     | 0              | 1              | 0              | 1              |
| 6    | ↓     | 0              | 1              | 1              | 0              |
| 7    | ↓     | 0              | 1              | 1              | 1              |
| 8    | ↓     | 1              | 0              | 0              | 0              |
| 9    | ↓     | 1              | 0              | 0              | 1              |
| 10   | ↓     | 1              | 0              | 1              | 0              |
| 11   | ↓     | 1              | 0              | 1              | 1              |
| 12   | ↓     | 1              | 1              | 0              | 0              |
| 13   | ↓     | 1              | 1              | 0              | 1              |
| 14   | ↓     | 1              | 1              | 1              | 0              |
| 15   | ↓     | 1              | 1              | 1              | 1              |

188

## CONTATORI IN CASCATA

- I contatori possono essere collegati in cascata per ottenere moduli di conteggio molto alti. Il collegamento in cascata significa che l'output dell'ultimo stadio di un contatore comanda l'input del successivo.
- In pratica è possibile costruire contatori modulo '1000' utilizzando tre contatori modulo '10' collegati in cascata.
- Quando il primo contatore conta 10 impulsi viene azzerato ed attiva il secondo che conta, a sua volta, un impulso.
- Il ciclo si ripete fino a quando il secondo contatore non è arrivato a 10 (cioè fino a quando il primo non ha fatto 10 cicli di conteggio).
- Una volta raggiunto il modulo, il secondo contatore si resetta e attiva il terzo che conta un impulso.
- Il ciclo si ripete nuovamente fino ad arrivare a 1000.

189



- ### OROLOGIO DIGITALE /2
- Una tensione sinusoidale con frequenza 60 Hz viene convertita in un segnale ad onda quadra con la stessa frequenza.
  - In seguito questo segnale viene ulteriormente trasformato in un segnale con frequenza 1 Hz da un contatore modulo '60', costruito utilizzando due contatori in cascata (uno a modulo '10' e l'altro a modulo '6').
  - Sia il conteggio dei secondi che quello dei minuti sono entrambi prodotti da contatori modulo 60, strutturati come il precedente.
  - Il conteggio delle ore (da '01' a '12') viene implementato con un contatore a modulo '10' ed un semplice flip-flop che controlla la prima cifra '0' o '1'.
- 191

