

1. Disegna uno schema a blocchi di un microprocessore e descrivi sinteticamente le funzioni dei vari componenti .

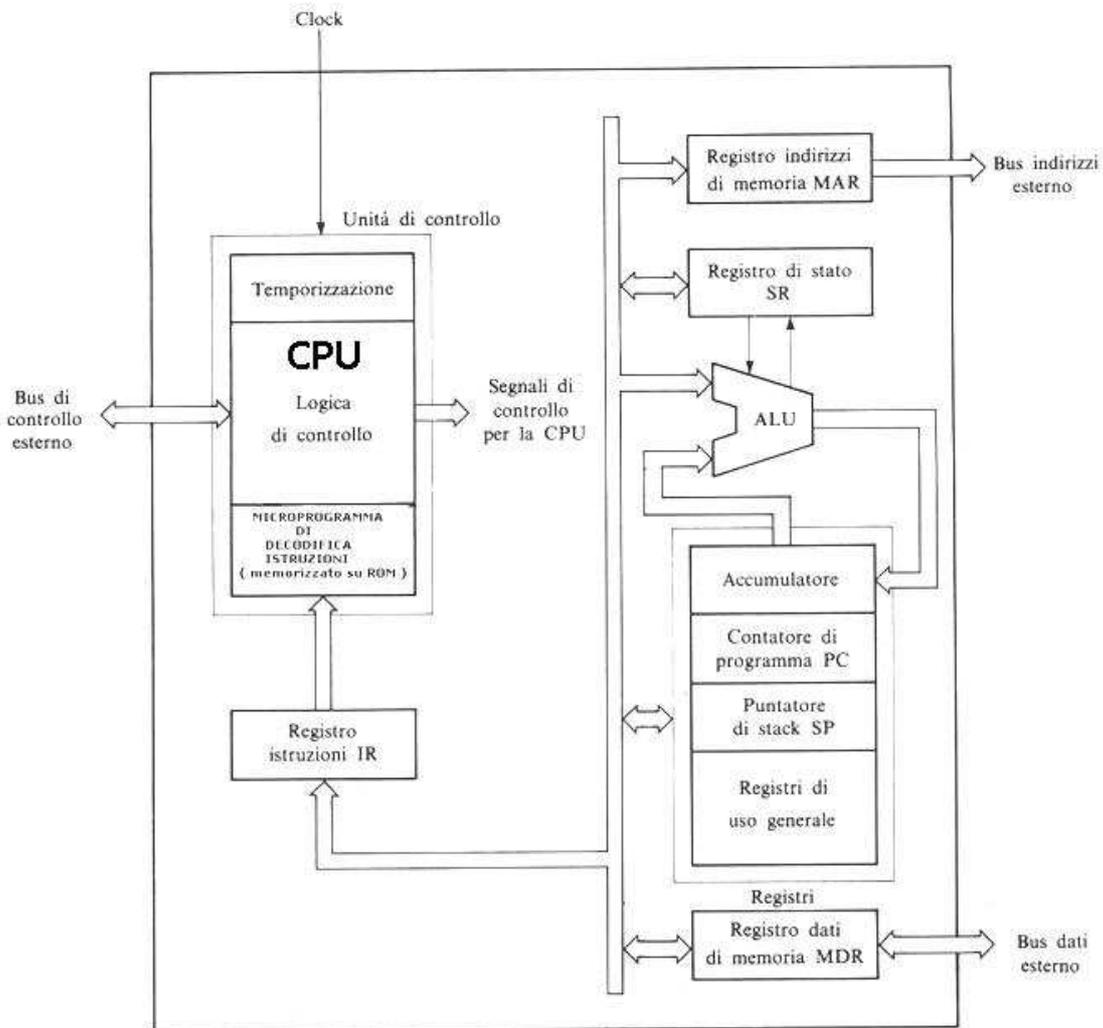


FIG. 1 Struttura di un µP.

- La CPU gestisce il flusso dei dati tra i vari blocchi , le Memorie e le Periferiche, generando tutti i segnali di controllo necessari allo svolgimento delle varie istruzioni.
- La ALU effettua tutte le operazioni logico-aritmetiche , lavorando in modo preferenziale con il reg Accumulatore.
- Il reg Istruzioni, il + importante del µP, riceve i codici operativi delle varie istruzioni, durante il ciclo macchina 1 e li decodifica tramite la ROM integrata nella CPU.
- Il reg di Stato segnala con i suoi bit il risultato delle operazioni logico – aritmetiche (overflow, zero, parità, riporto, segno) e la possibilità o meno di ricevere interrupt .
- La schiera di reg è composta da 16 reg a 8 bit di uso generale, 4 a 16 bit, il reg R e il reg Interrupt .
- I 2 buffer (MDR, MAR) gestiscono l' interfacciamento tra i bus interni e quelli esterni alla CPU

2. Piedinatura funzionale dello Z80, con descrizione delle funzioni di alcuni segnali di controllo.

Controllo di sistema :

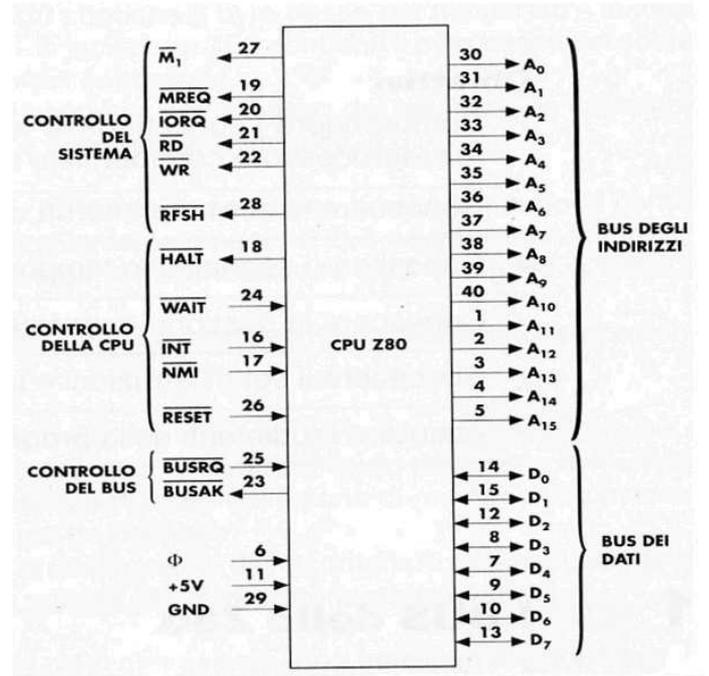
- M1 indica che è in esecuzione il Ciclo Macchina 1
(prelievo del codice operativo di un'istruzione, sua decodifica e refresh di una riga di DRAM)
- MREQ indica che il μP lavora in Memoria
- IORQ indica che il μP lavora in Periferica
- RD che in corso un' istruzione di lettura
- WR che in corso un' istruzione di scrittura
- RFSH che si sta effettuando il refresh

Controllo CPU :

- Halt segnala che la CPU è stata fermata da un' istruzione di Halt
- WAIT è la richiesta di attesa da parte di una memoria o di una periferica , in risposta la CPU inserisce , nel ciclo macchina in corso , un ciclo di CK
- INT : interruzione (mascherabile) da parte di una periferica di IN, che vuole inviare dati alla CPU
- NMI : interruzione non mascherabile (imminente mancanza di alimentazione)
- RESET : ovviamente.....

Controllo BUS :

- Un altro master chiede alla CPU il controllo dei BUS i sistema
- La CPU acconsente alla richiesta



3. Cosa si intende con stato di alta impedenza ?

E' il terzo stato in cui possono essere posti , tramite un opportuno segnale di controllo, alcuni dispositivi digitali ; in tale condizione essi sono scollegati elettricamente dai BUS, cioè non accessibili .

4. Com 'è strutturato un Ciclo Istruzione ?

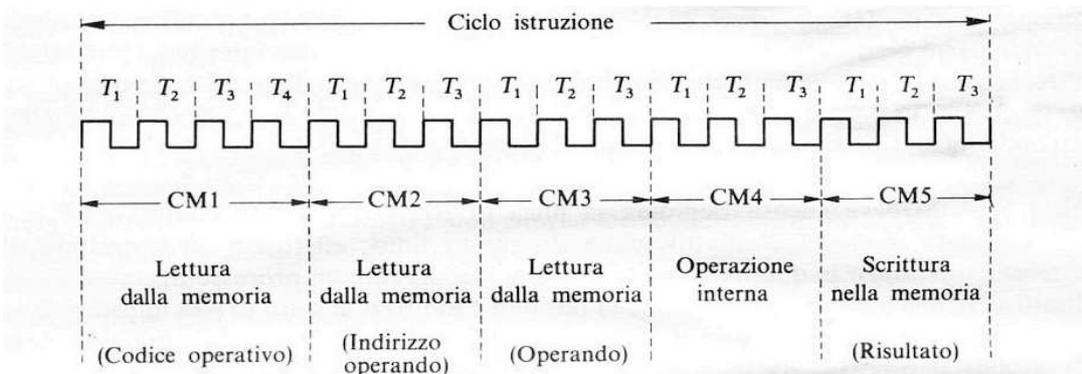


fig. 7.9 - Il ciclo istruzione comprende più cicli macchina ciascuno dei quali è costituito da più cicli di clock.

5. Descrivi un' istruzione LD a tua scelta .

LD (F4C7H), A

E' un' istruzione di scrittura in memoria , con indirizzamento diretto, a 3 byte, 4 cicli macchina, 13 cicli di CK. I cicli macchina sono : CM1 + lettura parte bassa indirizzo (C7) + lettura parte alta (F4) + scrittura a tale indirizzo del contenuto di A .

Vengono attivati i segnali M1, MREQ, RD, RFSH,WR e vengono utilizzati i reg PC, Istruzioni, Refresh, A.

Vengono anche ovviamente usati i 2 buffer MAR e MDR (RWR).

6. Descrivi il Ciclo Macchina 1 , indicando segnali e registri coinvolti .

Il PC , tramite il MAR, mette il suo contenuto sull' A.Bus , i bit vengono decodificati tramite i decoder esterni e quelli interni alla memorie (di riga e di colonna) per individuare la RAM e la locazione in cui si trova il codice operativo della istruzione in esecuzione . Il codice viene posto sul D. Bus , passa attraverso il MDR e viene inviato al Reg. Istruzioni dove viene decodificato tramite la ROM integrata nella CPU . In questa fase sono attivati i segnali M1, MREQ e RD. Nella seconda fase , mentre avviene la decodifica , si attivano i segnali MREQ e RFSH e viene rinfrescata la DRAM all'indirizzo presente nel reg R.

VALUTAZIONE

	BASE	1	2	3	4	5	6	TOT	VOTO
Pt. max	20	20	15	5	10	15	15	100	10
Pt. acq.	20								