

AMPLIFICATORI SAMPLE AND HOLD

1. Principi operativi di un *Sample and Hold Amplifier* (SHA) *ideale*

Per eseguire correttamente una conversione analogica/numerica (A/D) la tensione all'ingresso (V_x) del convertitore analogico/numerico (ADC) deve rimanere costante per tutta la durata T_{ADC} della conversione stessa. Affinché si verifichi ciò è necessario :

$$F_{max} \ll 1 / T_{ADC} \quad (1.1)$$

con F_{max} corrispondente alla massima frequenza presente nel segnale analogico da acquisire.

In tal caso il segnale può essere ritenuto con buona approssimazione costante durante l'intera durata della conversione.

Se la 1.1 non è soddisfatta si deve impiegare un circuito che campioni la V_x in istanti di tempo prefissati e mantenga il valore campionato per tutto il tempo necessario affinché l'ADC posto a valle di esso esegua la conversione.

Tale circuito prende il nome di amplificatore *Sample and Hold* (SHA), letteralmente “campionatore a tratti”.

Il corrispondente schema a blocchi è illustrato in **Fig.1a**.

Un SHA ideale presenta due modi di funzionamento: il modo *sample* (livello logico 1) e il modo *hold* (livello logico 0). Applicando dall'esterno un segnale binario all'**ingresso di controllo** si può comandare la transizione da un modo di funzionamento all'altro.

In **Fig. 1b** sono riportati il segnale di ingresso (V_x) e quello di uscita (V_y) di un SHA ideale. Nella **Fig. 1c** è invece riportato il corrispondente ingresso di controllo (V_C).

- Durante il modo *sample* la tensione di uscita V_y riproduce esattamente quella di ingresso V_x , di solito con guadagno unitario.
- Nel modo *hold*, invece, l'uscita mantiene il valore che aveva all'istante in cui è avvenuta la transizione dal modo *sample* a quello *hold* ; questo valore è mantenuto finché non viene dato un successivo comando di *sample*.

È durante l'intervallo di *hold* che l'ADC posto in cascata al SHA esegue la conversione.

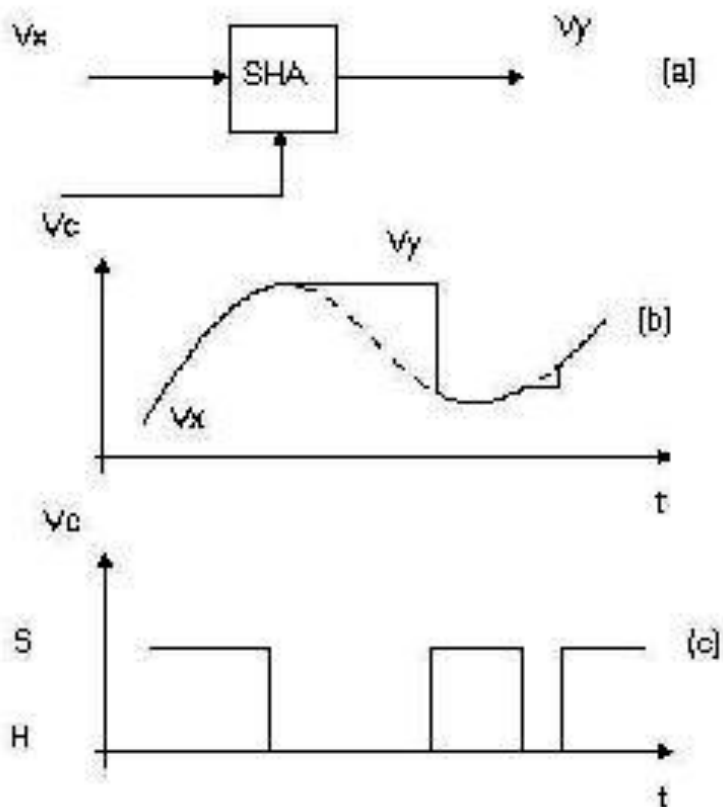


Fig. 1. Schema di principio di un SHA (a); confronto tra i segnali applicati all'ingresso e all'uscita in un SHA ideale (b); andamento temporale del corrispondente segnale binario di controllo (c).

Più precisamente il circuito campionatore viene detto *sample-and-hold* se è costruito in modo tale che l'intervallo di *sample* sia una piccola frazione di quello di *hold*; quando si verifica la condizione opposta, invece, il circuito prende il nome di *track-and-hold* (THA).

Spesso, comunque, viene utilizzato il nome generico di SHA per indicare entrambi questi circuiti.

Le due diverse modalità di funzionamento sono poste in evidenza in **Fig.2**

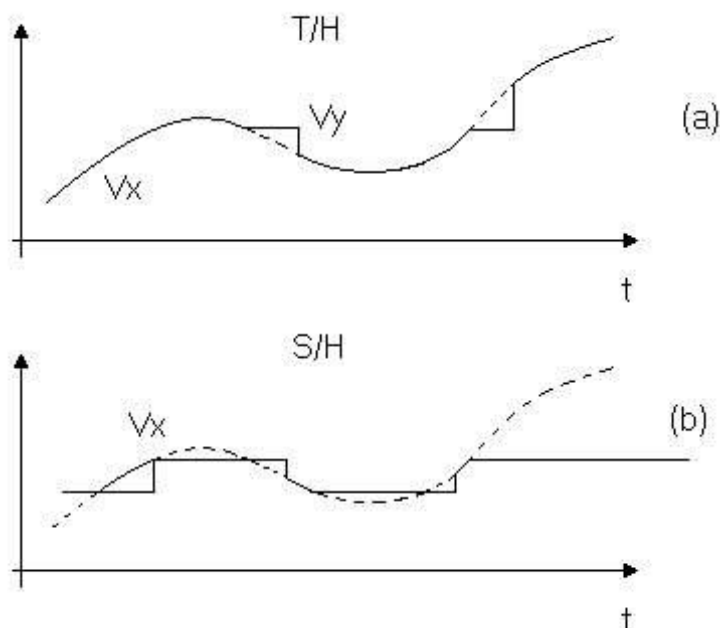


Fig.2. Modalità di funzionamento di (a) *track-and-hold* e (b) *sample-and-hold*

I componenti fondamentali di un SHA sono schematizzati in **Fig.3**.

Da un punto di vista di principio, infatti, un **SHA è costituito da un interruttore comandato e da un condensatore**, il quale memorizza il valore assunto dal segnale di ingresso all'istante in cui l'interruttore I viene aperto (istante di campionamento).

La capacità C_h svolge quindi la funzione di memoria temporanea (*hold*) della tensione da convertire.

In un **track-and-hold** l'interruttore I è normalmente chiuso, mentre in un **sample-and-hold** è chiuso solamente durante il breve intervallo di tempo necessario ad acquisire il segnale di ingresso.

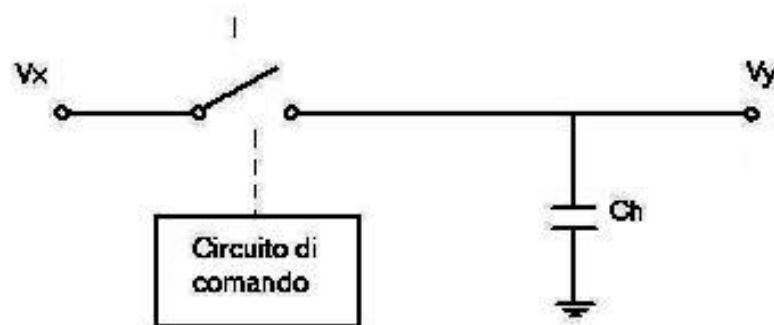


Fig. 3. Componenti fondamentali di un SH

2. Principali parametri che caratterizzano le prestazioni di un SHA reale

Tutti i dispositivi SHA hanno quattro componenti principali:

- l'amplificatore/ buffer di ingresso
- il dispositivo a immagazzinamento di energia (condensatore per la fase *hold*)
- il *buffer* di uscita
- i circuiti di interruzione (*switch*)

(Fig. 4).

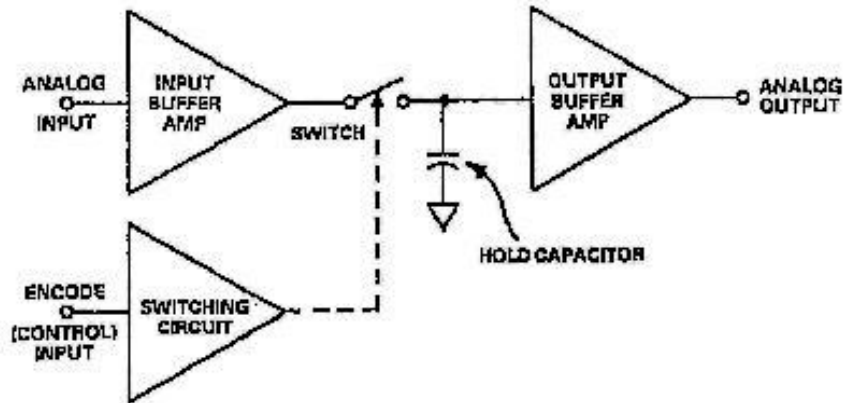


Fig.4. Struttura di base di un amplificatore *sample-and-hold*.

- Il dispositivo a immagazzinamento di energia (il cuore di un SHA) è quasi sempre un **condensatore**.
- L'amplificatore di ingresso memorizza l'ingresso presentando una **elevata impedenza alla sorgente di segnale** e fornendo un guadagno di corrente per caricare il condensatore di hold.
- Nel modo *track*, il condensatore di *hold* di solito determina la risposta in frequenza del dispositivo; nel modo *hold* il condensatore conserva la tensione esistente prima che sia disconnesso dal *buffer* di ingresso.
- Il **buffer** di uscita offre un'elevata impedenza al condensatore di *hold* per conservare la tensione determinata dalla scarica prematuramente.
- Il **circuito di interruzione** e il suo *driver* costituiscono il meccanismo attraverso cui il condensatore di *hold* è alternativamente posto dalla fase di *sample* alla fase di *hold*.

Il termine *sample and hold* implica che il dispositivo campioni l'ingresso per un breve periodo e stia in modo *hold* per la durata del ciclo di lavoro.

Un *track and hold* trascorre la maggior parte del tempo seguendo l'ingresso ed è posto in modo *hold* solo per un breve intervallo.

Nei sistemi di acquisizione dati che operano a velocità elevate (superiori a 1 MHz) i termini *sample and hold* e *track and hold* perdono la loro distinzione.

Alcune strutture circuitali che permettono di realizzare un SHA.

Configurazione in cascata

L'ingresso e l'uscita sono isolati dall'interruttore e dalla capacità di memoria mediante due inseguitori di tensione, spesso aventi lo stadio di ingresso a FET, come mostrato in Fig.14.

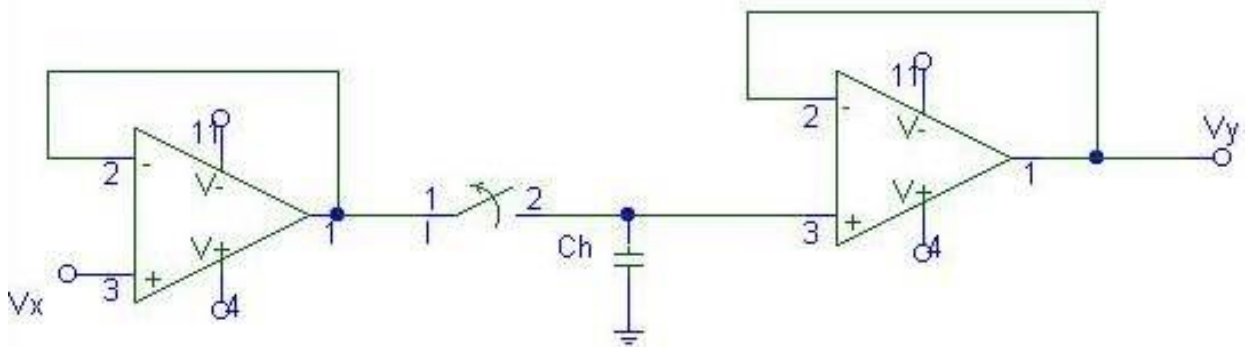


Fig 14. Configurazione in cascata

L'amplificatore di ingresso consente di ridurre la resistenza R_s vista dal condensatore quando l'interruttore è chiuso; ciò è utile specialmente nei casi in cui la sorgente di segnale ha un'impedenza elevata.

A causa delle imperfezioni degli amplificatori, questo tipo di realizzazione, pur consentendo elevate velocità, è poco accurata.

In particolare, le tensioni di offset dei due amplificatori in cascata si sommano tra loro causando uno scostamento sull'uscita.

Configurazione in retroazione

Quando è richiesta un'elevata precisione, sia pure a scapito della velocità, conviene adottare uno schema a retroazione del tipo rappresentato in Fig. 15. In questo tipo di realizzazione l'effetto sull'uscita delle tensioni di offset degli amplificatori e dei rumori di modo comune viene notevolmente ridotto. Purtroppo il miglioramento dell'accuratezza del dispositivo avviene a scapito di un aumento del tempo richiesto per la carica della capacità. Durante il modo *hold*, l'amplificatore d'ingresso è saturato in quanto mentre all'ingresso invertente è applicata la tensione costante presente

all'uscita, all'ingresso non invertente è applicato il segnale variabile da campionare. Durante la fase di *sample* successiva l'amplificatore richiederà un certo tempo per uscire dalla saturazione, con una conseguente riduzione della velocità del componente rispetto alla realizzazione a catena aperta.

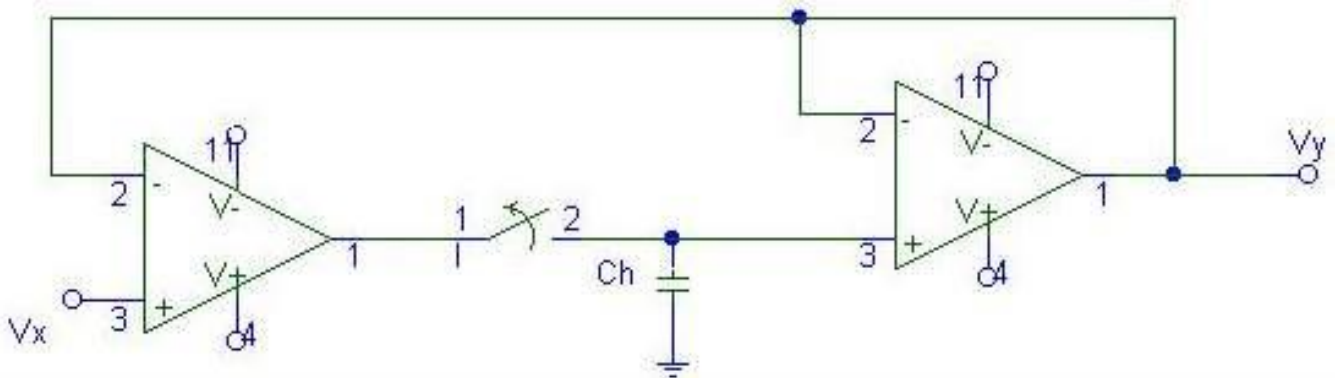


Fig.15. Configurazione in retroazione.

Applicazioni

Senza dubbio il principale uso degli SHA è a monte dei convertitori analogico digitali.

In una conversione A/D, il tempo di apertura si riferisce al periodo di tempo in cui l'ingresso analogico deve rimanere stabile in maniera tale che avvenga una conversione accurata . E' questo intervallo che limita l'ampiezza analogica (massima dV/dt) del convertitore A/D.

Lo scopo del SHA è di fatto ridurre il tempo di apertura del convertitore A/D.

Mantenendo l'ingresso analogico stabile per il periodo richiesto dall'ADC, l'ampiezza di banda del sistema può essere aumentata sostanzialmente. In aggiunta, accuratezza e linearità – anche di segnali a bassa frequenza – sono migliorate.

SISTEMA DI ACQUISIZIONE DATI

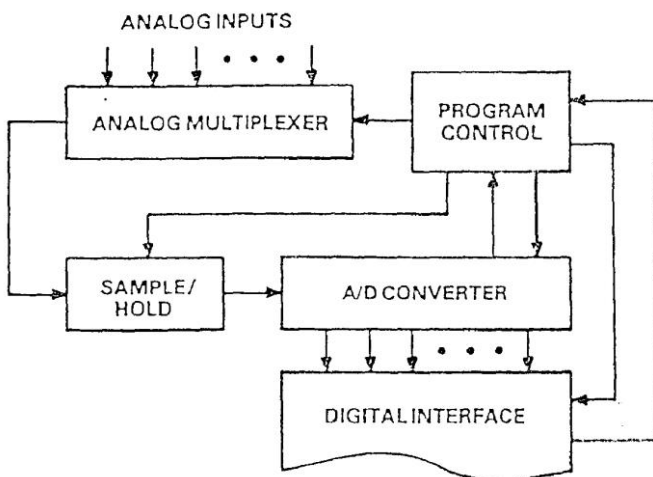


Fig. 20. Schema a blocchi di un sistema di acquisizione impiegante un SHA

Il *sample hold* mantiene costante l'ingresso del convertitore A/D durante l'intervallo di conversione.

Intanto il multiplexer collega la sua uscita al canale da convertire.

Questa operazione può avvenire sia randomicamente che sequenzialmente.

Non appena la conversione è terminata, il *sample-hold* campiona il nuovo ingresso e il ciclo si ripete.

Questo modo di operare è conosciuto come **campionamento sincrono**;

il *sample-hold* opera in sincronia con diversi elementi di sistemi.

Nel modo **asincrono**, invece, un largo numero di *sample-hold* può essere usato per acquisire e memorizzare dati a velocità pertinenti ad ogni singolo canale.

Essi sono allora o interrogati dai multiplexers analogici, o i segnali sono convertiti in maniera asincrona singolarmente, e allora moltiplicati digitalmente.