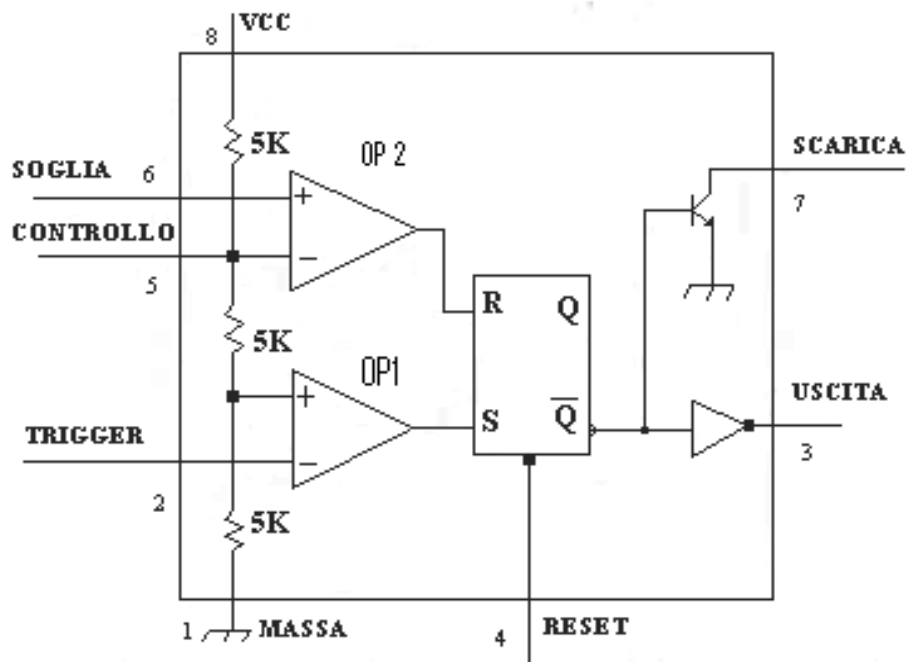


# IL Timer 555

Il timer 555 è un circuito integrato progettato allo scopo di fornire impulsi di durata prestabilita. In pratica il timer 555 è un temporizzatore.

Lo schema a blocchi del circuito integrato "Timer 555" è il seguente:



Possiamo notare tre resistori uguali da  $5\text{ K}\Omega$ , aventi lo scopo di dividere la tensione di alimentazione  $V_{cc}$  per avere due tensioni di riferimento multiple di  $1/3$  di  $V_{cc}$ ; in fatti tra il resistore inferiore e massa, cioè sul morsetto non invertente del comparatore (operazionale) in basso, abbiamo una tensione pari a  $1/3V_{cc}$  e tra il secondo resistore e massa, cioè sul morsetto invertente del comparatore in alto, abbiamo una tensione pari a  $2/3V_{cc}$ .

Il comparatore OP2 , è collegato con l'ingresso invertente a  $2/3V_{cc}$ , mentre l'ingresso non invertente è disponibile all'esterno (piedino 6) ed è chiamato **soglia**.

In pratica quando la tensione sul piedino 6 è maggiore di  $2/3V_{cc}$  l'uscita del primo comparatore si porta a livello logico alto (**1**); quando, invece, la tensione sul piedino 6 è inferiore a  $2/3V_{cc}$  l'uscita del primo comparatore si porta a livello basso (**0**).

Il comparatore OP 1, quello inferiore, è collegato con l'ingresso non invertente a  $1/3V_{cc}$ , mentre l'ingresso invertente è disponibile all'esterno (piedino 2) ed è chiamato trigger. In pratica quando la tensione sul piedino 2 è maggiore di  $1/3V_{cc}$  l'uscita del secondo comparatore si porta a livello logico basso (**0**); quando, invece, la tensione sul piedino 2 è inferiore a  $1/3V_{cc}$  l'uscita del secondo comparatore si porta a livello alto (**1**).

Le uscite dei due comparatori sono applicate in ingresso ad un latch di tipo **S-R**.

Il latch di tipo S-R è un circuito logico con due ingressi e due uscite. L'ingresso **SET**, posto a 1 obbliga l'uscita Q a portarsi a 1; l'ingresso **RESET**, quando si trova a livello logico 1, porta l'uscita Q a zero, cioè l'azzerà. La tabella di verità è la seguente:

SET	RESET	Q	/Q
0	0	Q	/Q
0	1	0	1
1	0	1	0
1	1	Indeterminato	Indeterminato

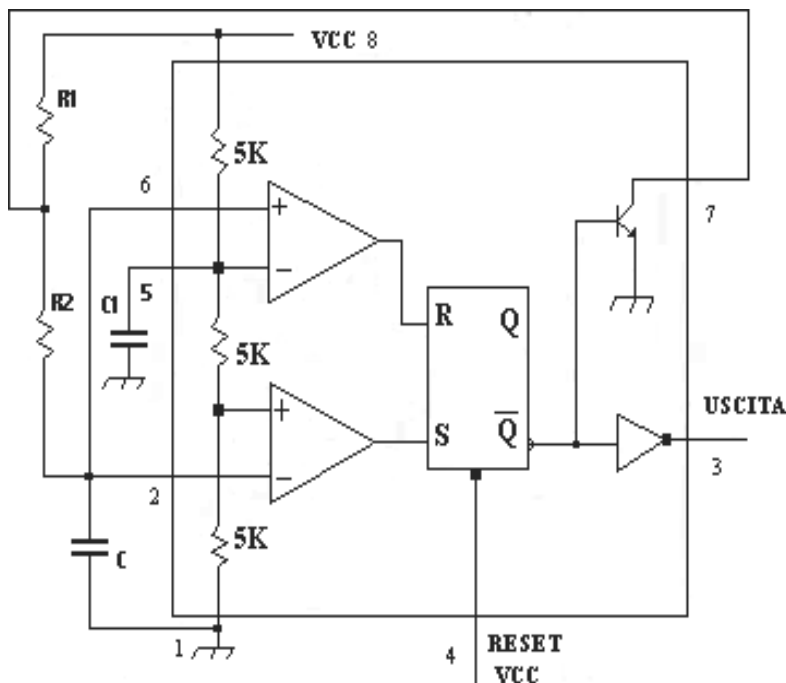
Nel timer 555 delle due uscite l'uscita **Q** non viene utilizzata, ma viene

usata solo l'uscita  $\bar{Q}$  negato (in effetti l'uscita al piedino 3 è vera). Se  $\bar{Q}$  negato si trova a livello alto, manda in saturazione il transistor e quindi il piedino 7 viene collegato a massa, permettendo la scarica del condensatore, che di solito, viene applicato al piedino 7; se invece l'uscita  $\bar{Q}$  negato si trova a livello basso il transistor è interdetto, quindi il piedino 7 si trova isolato da massa, permettendo la eventuale carica del condensatore. Sull'uscita  $\bar{Q}$  negato è applicato un **invertitore**, che trasforma l'uscita  $\bar{Q}$  negato in uscita  $Q$ , rendendo disponibile una elevata corrente in uscita.

Il timer 555 può essere utilizzato sia come **multivibratore** astabile, che come monostabile (e con qualche artificio anche come bistabile).

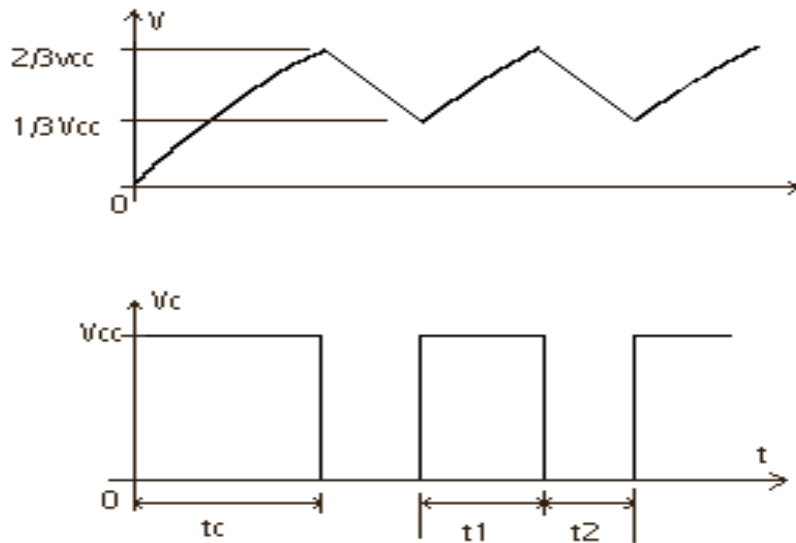
## IL MULTIVIBRATORE ASTABILE CON TIMER 555

Il **multivibratore** astabile è un circuito in grado di generare una forma d'onda rettangolare, senza nessun segnale applicato in ingresso. Lo schema elettrico, realizzato con il timer 555, è il seguente:



Supponendo che inizialmente il condensatore  $C$  sia scarico, gli ingressi dei due comparatori sui piedini 2 e 6 si trovano a livello basso; il comparatore superiore dà in uscita un livello basso, quindi  $R=0$ ; il comparatore inferiore dà in uscita un livello alto, quindi  $S=1$ ; il flip-flop S-R pone  $Q=1$ , mentre  $\bar{Q}=0$ ;

l'uscita del timer (piedino 3) si trova a livello alto; il transistor è interdetto, poiché la base non è polarizzata ed il piedino 7 si trova isolato da massa, il



condensatore  $C$  può caricarsi attraverso i resistori  $R_1$  ed  $R_2$  che si trovano in serie.

Quando la tensione ai capi del condensatore  $C$  raggiunge il valore di  $1/3V_{cc}$ , il comparatore inferiore commuta e si porta a livello basso:  $S=0$ ; il flip-flop S-R non commuta perché anche  $R=0$ , la parte restante del circuito resta nello stato iniziale ed il condensatore continua a caricarsi. Quando la tensione ai capi del condensatore  $C$  raggiunge i  $2/3V_{cc}$  allora il comparatore superiore commuta, portando la sua uscita a livello alto:  $R=1$ ; il flip-flop S-R pone  $Q=0$  e  $\bar{Q}=1$ ; l'uscita del timer si porta a livello basso; il transistor va in saturazione, collegando il piedino 7 a massa; il condensatore è costretto a scaricarsi attraverso il solo resistore  $R_2$ .

Quando la tensione ai capi del condensatore  $C$  scende al di sotto di  $1/3V_{cc}$  allora il comparatore inferiore commuta, portando  $S=1$ , mentre  $R=0$  appena iniziata la scarica. Il flip-flop avendo  $S=1$  porta la sua uscita  $Q$  a 1, e  $\bar{Q}$  a 0; l'uscita del timer si porta a livello alto; il transistor è interdetto, il condensatore ricomincia a caricarsi, ripetendo il ciclo precedente con un andamento illustrato dalla figura.

Trascurando il tempo iniziale di carica  $T_i$ , in cui il condensatore parte da tensione zero, indichiamo con  $T_1$  il tempo in cui l'uscita si mantiene a livello alto, ed il condensatore si carica;  $T_1$  lo possiamo calcolare con la seguente formula:  $T_1 = 0,693 (R_1 + R_2) C$

Infatti il condensatore si carica attraverso  $R_1$  ed  $R_2$ .

$T_2$ , il tempo in cui l'uscita si mantiene a livello basso, si può calcolare così:  $T_2 = 0,693 R_2 C$

Sommando i due tempi otteniamo il periodo cioè:  $T = T_1 + T_2$

La frequenza sarà:  $f = 1/T$

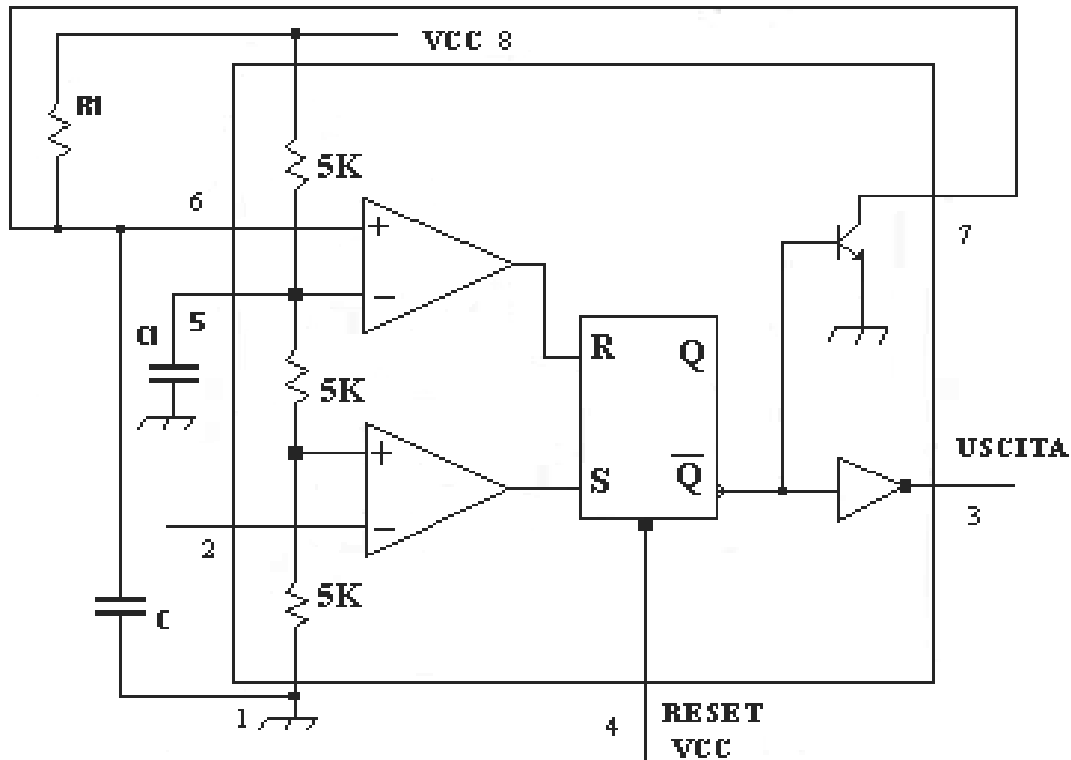
Si dice **duty-cycle D** il rapporto tra  $T_1$  e  $T$ , cioè:  $D = T_1/T$

Si può notare che è impossibile ottenere un duty-cycle pari al 50%, cioè  $T_1 = T_2$ , cioè il tempo in cui la forma d'onda è a livello alto è uguale al tempo in cui la forma d'onda è a livello basso; per ottenere questo dovremmo porre  $R_1 = 0$ ; però  $R_1$  è la resistenza di collettore del transistor interno, e non può avere valori molto bassi per evitare di bruciare il transistor. Per ottenere duty-cycle vicini al 50% possiamo usare per  $R_1$  valori intorno ai 1000 ohm ed usare per  $R_2$  valori molto più alti di  $R_1$  oppure utilizzare uno dei molti schemi per avere duty-cycle del 50% che vedremo in seguito.

Il condensatore  $C_1$  serve a filtrare la tensione di riferimento. Il morsetto di **RESET** va collegato a + Vcc durante il funzionamento.

## IL MULTIVIBRATORE MONOSTABILE CON TIMER 555

Il [multivibratore](#) monostabile genera un impulso rettangolare in uscita per ogni impulso esterno in ingresso. Lo schema elettrico è il seguente:

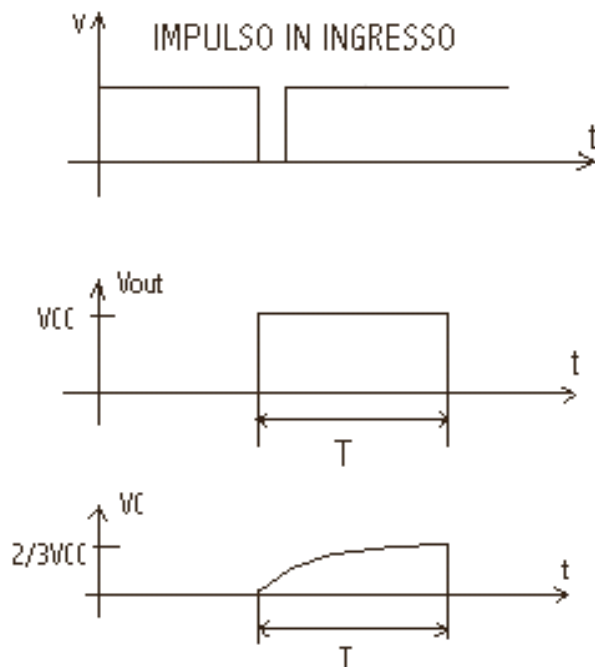


Il monostabile ha un solo stato stabile, nel nostro caso l'uscita si mantiene sempre a livello basso finché non arriva un impulso dall'esterno, sul piedino **2 (trigger)**. Infatti mantenendo a livello alto il piedino 2, il comparatore inferiore dà in uscita un valore basso; quindi **S=0**; invece il comparatore superiore, supponendo il condensatore inizialmente scarico, dà in uscita 0; quindi **R=0**; quindi il latch **S-R** resta nella condizione di azzeramento, cioè  $Q=0$ ;  $\overline{Q}=1$ ; l'uscita del timer è zero; il transistor va in saturazione, essendo la base polarizzata direttamente, il piedino 7 si trova a massa, ed il condensatore **C** non si può caricare attraverso R. Il circuito si mantiene stabile con uscita a livello basso.

Quando arriva un impulso negativo al trigger, la tensione sul piedino 2 si porta a zero, il comparatore inferiore dà in uscita un livello alto; **S=1**; mentre  $R=0$ ; immediatamente l'uscita Q del latch S-R si porta a 1,

mentre  $/Q=0$ ; l'uscita è quindi 1; il transistor è interdetto, il condensatore inizia a caricarsi attraverso il resistore  $R_1$ ; quando la tensione sul condensatore raggiunge i  $2/3V_{cc}$  il comparatore superiore commuta portando l'uscita a livello alto, quindi  $R = 1$ ; mentre il comparatore inferiore ha già la sua uscita a livello basso non appena il trigger (2) ha superato  $1/3V_{cc}$ ; quindi  $S = 0$ ; l'uscita del latch si azzerava, quindi  $Q = 0$  e  $/Q = 1$ ; l'uscita del timer si porta a livello basso; il transistor va in saturazione scaricando il condensatore.

Il condensatore  $C_1$  serve come livellamento della tensione di riferimento. Il morsetto di **RESET** va collegato a + Vcc, in modo da escluderlo.



Se indichiamo con  $T$  il tempo in cui il condensatore si carica, si ha che:

$$T = 1,1 R_1 C$$