

SIMULAZIONE 2° PROVA D'ESAME : TEMA DI ELETTRONICA

Testo

Un sistema elettronico di acquisizione dati deve registrare e visualizzare l'attività elettrica del cuore umano. Il segnale elettrico, proveniente da due elettrodi applicati al paziente, si presenta ad un amplificatore in modo differenziale con valore compreso fra -20 [mV] e $+20$ [mV], con componenti armoniche significative nella banda $0.1 \div 80$ [Hz] ed è affetto da un disturbo a 100 [Hz], provocato dall' alimentatore. Si desidera filtrare il più possibile il disturbo e acquisire **3** campioni per periodo nel Range $-5 \div +5$ [V], con un errore percentuale inferiore allo **0,05** % . Il candidato, fatte le ipotesi aggiuntive ritenute necessarie :

1. proponga uno schema a blocchi del sistema di acquisizione;
2. dimensioni e spieghi il circuito di condizionamento;
3. dimensioni il filtro e ne disegni il grafico di Bode (ideale e reale) del modulo del Guadagno;
4. determini la frequenza di campionamento necessaria per la corretta acquisizione del segnale;
5. discuta l'eventuale necessità del blocco Sample/Hold, con riferimento a un Tempo di conversione di **10** [microsec];
6. calcoli il numero di bit del convertitore A/D adeguato all'impiego nel sistema;
7. indichi il collegamento, mediante schema a blocchi, ad un microP O microC con Bus dati a **8** bit.

SOLUZIONE

1. SCHEMA A BLOCCHI

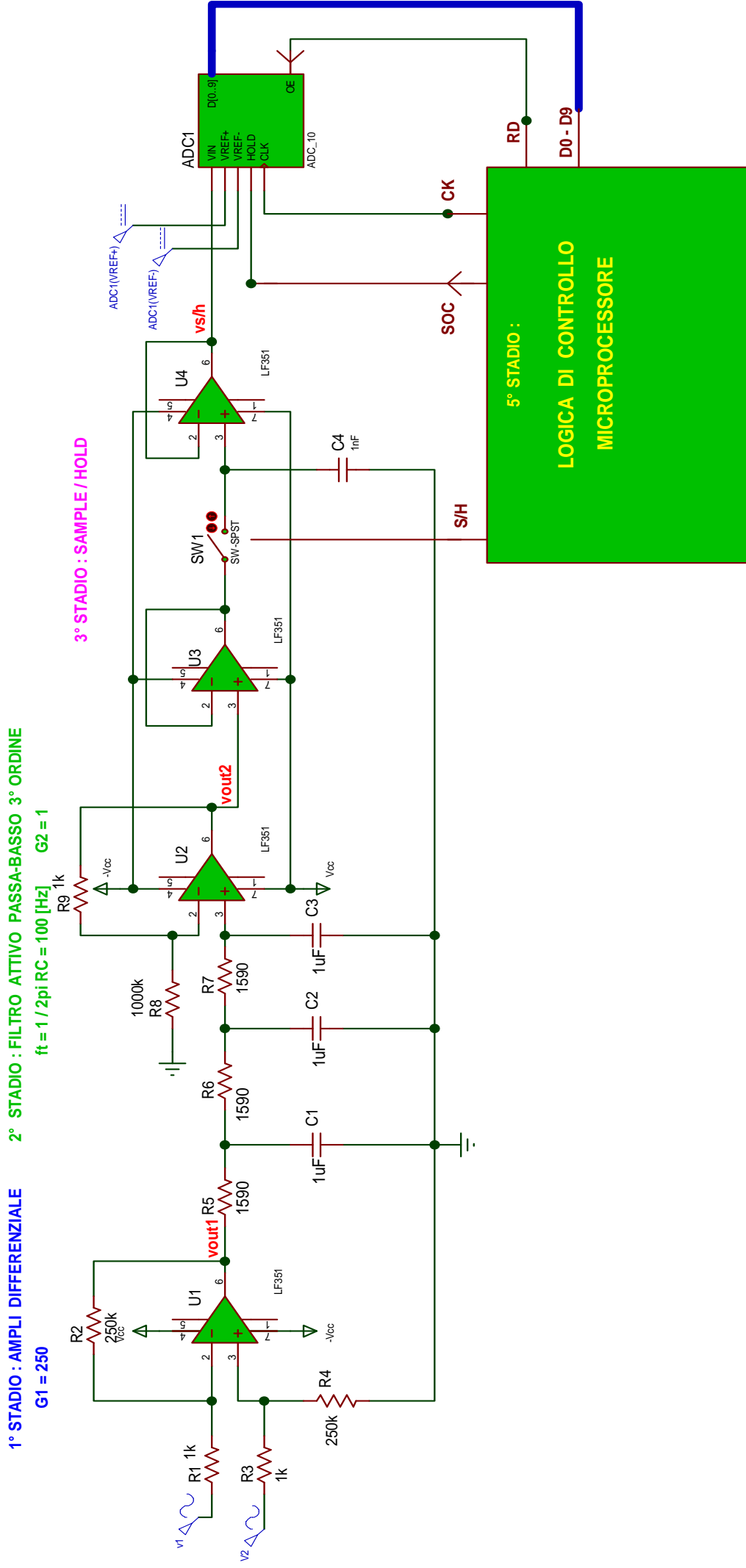
Essendo il segnale, captato dai 2 elettrodi, una piccola tensione di tipo differenziale, per acquisirla si userà una catena di acquisizione di questo tipo :

- **1° stadio di condizionamento**, realizzato con un A. Operazionale (es: **LF351**, realizzato con JFET e dotato di larga Banda passante, grande guadagno, altissima Rin e bassissima Rout, caratteristiche ideali per il nostro scopo) in configurazione di **amplificatore differenziale**, seguito da un :
- **2° stadio di amplificazione e filtraggio**, costituito da un **filtro attivo del 2° / 3° ordine** (almeno), realizzato con un altro LF351 in configurazione di amplificatore non invertente, con una doppia / tripla cella filtrante passiva Passa-Basso RC sull'ingresso non invertente. Questo filtro deve essere progettato per avere una frequenza di taglio superiore alla $f_{max} = 80[\text{Hz}]$ del segnale "cardio" ; si sceglierà perciò **$f_t = 100 [\text{Hz}]$** , per poter attenuare sufficientemente il disturbo dell'alimentatore ; assolverà anche la funzione di filtro di **pre - sampling**, garantendo così il corretto campionamento ed evitando la comparsa di componenti armoniche estranee al segnale (**aliasing**). A questi 2 stadi seguirà il :
- **3° / 4° stadio di conversione ADC**, implementato, dato il valore del Tempo di Conversione, con un **convertitore ad approssimazioni successive**, di cui si calcolerà al punto 6 il Numero di bit necessari per soddisfare la specifica sulla precisione. Se i calcoli effettuati al punto 5 decreteranno la necessità di "congelare" il valore istantaneo della tensione, a causa dell'eccessiva variazione della stessa durante l'intervallo di tempo T_{conv} necessario all'ADC per produrre il codice binario corrispondente, si anteporrà all'ADC il **blocco SAMPLE / HOLD (S/H)**, tipicamente costituito da un Condensatore (elemento di memoria analogica per la tensione) e un interruttore, realizzato con un JFET / MOSFET, comandato sul Gate da un "treno di impulsi" di tensione (la cui frequenza sarà calcolata al punto 4), generato dalla logica di controllo del $\mu\text{P}/\mu\text{C}$.
Per disaccoppiare elettricamente il condensatore dai circuiti a monte e a valle e garantire una piccolissima costante di tempo nella fase di **Carica / Sample**, con conseguente elevata velocità di "agganciamento" al segnale e una grandissima costante di tempo di **Scarica / Hold**, si inseriranno a monte dell' interruttore e a valle del condensatore due **buffer analogici**, realizzati con due LF351 configurati come **inseguitori di tensione** (reazione di corto-circuito tra uscita e IN invertente). I codici binari prodotti dall'ADC per ogni campione della tensione analogica dovranno essere conservati in un apposito **buffer digitale**, cioè un **registro 3-state**, ma va detto che pressoché tutti gli ADC in commercio dispongono, per l' appunto, di tale buffer, che metterà il codice sul DATA BUS del sistema di acquisizione (tramite μP o μC) **solo dopo** essere stato abilitato dal :

➤ **5° stadio - logica di controllo del sistema**. Questo blocco gestisce vari segnali di controllo:

- ★ **il segnale di enable**, per togliere il buffer dallo stato di alta impedenza (HZ) e riconnetterlo elettricamente ai BUS. Tale segnale di enable, nel caso di acquisizione tramite μP , è in realtà uno dei suoi segnali di controllo, il cui nome dipende dal linguaggio Assembly del processore usato, per es. **RD (READ)** generato da un **istruzione di lettura all'indirizzo dell'ADC**, indirizzo precedentemente assegnato nella fase di inizializzazione del sistema. La lettura del contenuto del buffer dell'ADC avverrà solo dopo che sarà terminata l'operazione di conversione, cioè dopo che il μP avrà ricevuto:
- ★ **il segnale EOC (End Of Conversion)**, generato dal **SAR** (Registro ad Approssimazioni Successive) dell'ADC, dopo un prefissato numero di cicli di CK, tipicamente $(N+1) T_{ck}$, dove N è il n° di Bit. La logica di controllo dovrà anche fornire all' ADC :
- ★ il segnale di **CK**
- ★ il segnale di **SOC (Start Of Conversion)**, **treno di impulsi** per l'inizio della conversione, che provoca il caricamento nel SAR del codice **10....000**, metà del Fondo Scala digitale, con cui si inizia la **ricerca dicotomica** del codice binario più vicino al valore analogico presente all'ingresso dell'ADC. Il segnale SOC comanda anche la chiusura/apertura dell' interruttore del S/H. Questi 2 segnali possono essere generati, su comando del μP , da 2 diversi astabili, implementati con il solito LF351 o con uno dei numerosi circuiti integrati dedicati presenti sul mercato, tipo il **NE555**, previo opportuno dimensionamento della rete esterna RC.

Ecco lo schema a blocchi :



2. DIMENSIONAMENTO CIRCUITO DI CONDIZIONAMENTO

Dato che il segnale differenziale prodotto dai 2 elettrodi ha una dinamica di $-20 \div +20$ [mV] e si richiede un Range di acquisizione di $-5 \div +5$ [V], il guadagno del 1° stadio dovrà essere pari a $|G1| = 5 / 20 * 10^{-3} = 250$.

Si decide di imporre guadagno $|G1| = 250$ al 1° stadio (A. O. in configurazione differenziale) e $|G2| \approx 1$ al 2° stadio (Filtro attivo Passa-Basso del 2° ordine).

Sapendo che la configurazione che consente di amplificare la tensione differenziale presente sui 2 IN dell'A.O. è quella con le **R uguali a coppie** :

$$V_{out1} = (v2 - v1) * R2 / R1 \quad \text{ponendo ad es.}$$

$$R1 = R3 = 1 \text{ [K}\Omega\text{]} \quad \text{e} \quad R2 = R4 = 250 \text{ [K}\Omega\text{]} \quad , \quad \text{si otterrà} \quad G1 = R2 / R1 = R4 / R3 = 250 / 1 = 250$$

3. DIMENSIONAMENTO FILTRO

Si utilizza un filtro attivo Passa – Basso RC del 3° ordine Non Invertente, per poter disaccoppiare il filtro dai circuiti a monte e a valle, sfruttando le caratteristiche dell' A.O., in termini di Rin e Rout.

La frequenza di taglio di ciascuna cella filtrante, fissata a **100 [Hz]**, è data dalla formula : $f_t = 1 / 2\pi RC$

$$\text{ponendo} \quad C1 = C2 = C3 = 1 \text{ [}\mu\text{F]} \quad \text{si ricava} \quad R5 = R6 = R7 = 1 / 2\pi * 100 * 10^{-6} = 1590 \text{ [}\Omega\text{]}$$

$$\text{Per avere } |G2| \approx 1, \quad \text{essendo } |G2| = 1 + R9 / R8 \quad , \quad \text{basterà porre } R9 \ll R8 \quad \text{ad es.} \quad R9 = 1 \text{ [K}\Omega\text{]} \quad R8 = 1 \text{ [M}\Omega\text{]}$$

In questo modo, all' uscita del 2° stadio (V_{out2}) la tensione differenziale ($v2 - v1$) dei 2 elettrodi sarà amplificata, in Banda Passante, di **250** volte e filtrata.

Chiaramente le componenti del segnale a frequenza più alta, cioè vicino a 80 [Hz], subiranno un guadagno inferiore, come si evince guardando la curva di Bode del modulo di $\bar{G2}(j\omega)$, ma il disturbo a 100 [Hz] risulterà essere decisamente attenuato.

FREQUENCY RESPONSE

