

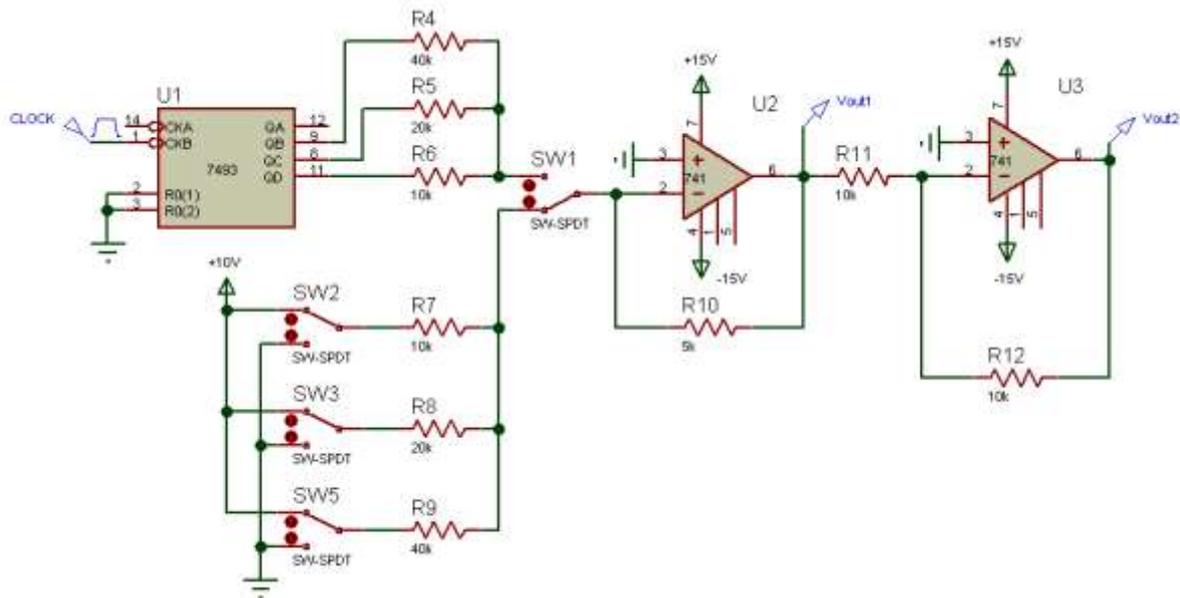
CONVERSIONE A/D e D/A

Sono state realizzate, tramite il simulatore ISIS 7, alcune configurazioni di convertitori AD e DA e di ciascuna se ne è osservato e verificato il funzionamento.

Prima parte - Conversione D/A

Si presentano alcune configurazioni di convertitori digitali-analogici:

D/A a resistori pesati



Questo tipo di convertitore D/A è composto da un amplificatore operazionale che svolge una duplice funzione:

- Convertitore I/V invertente;
- Sommatore invertente.

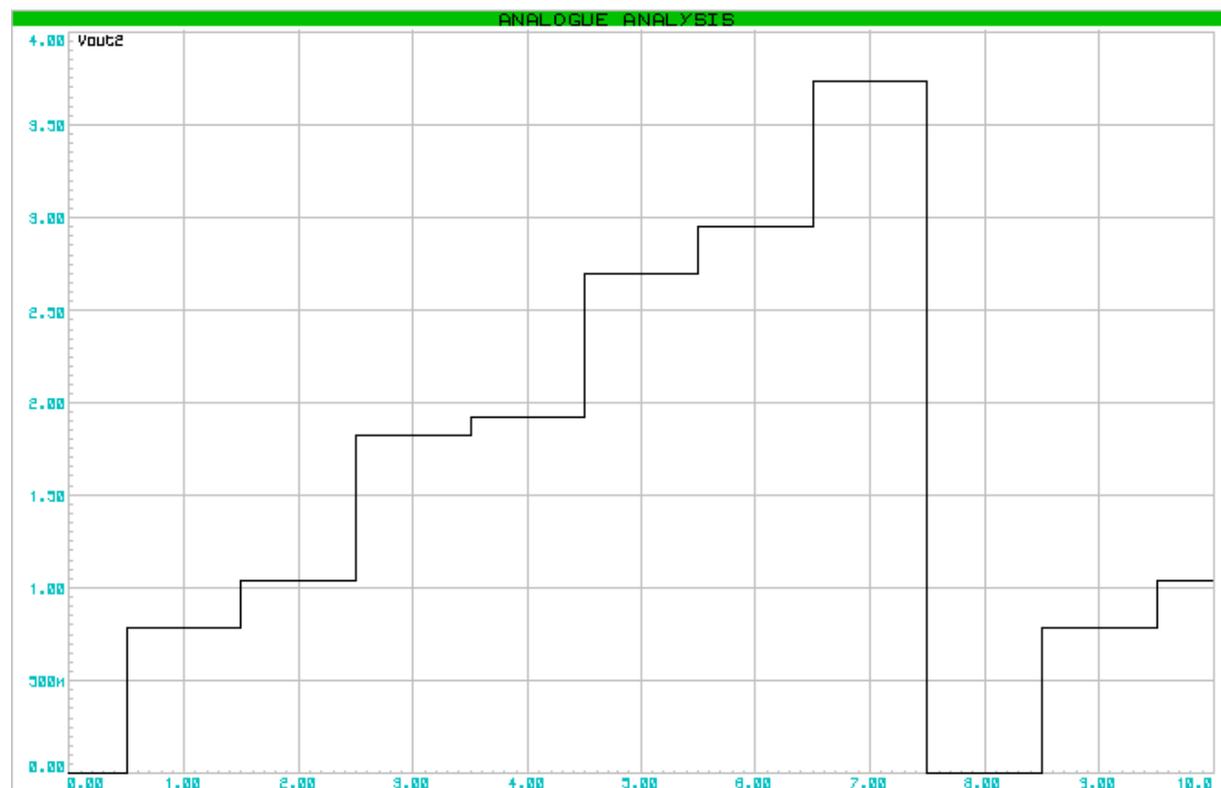
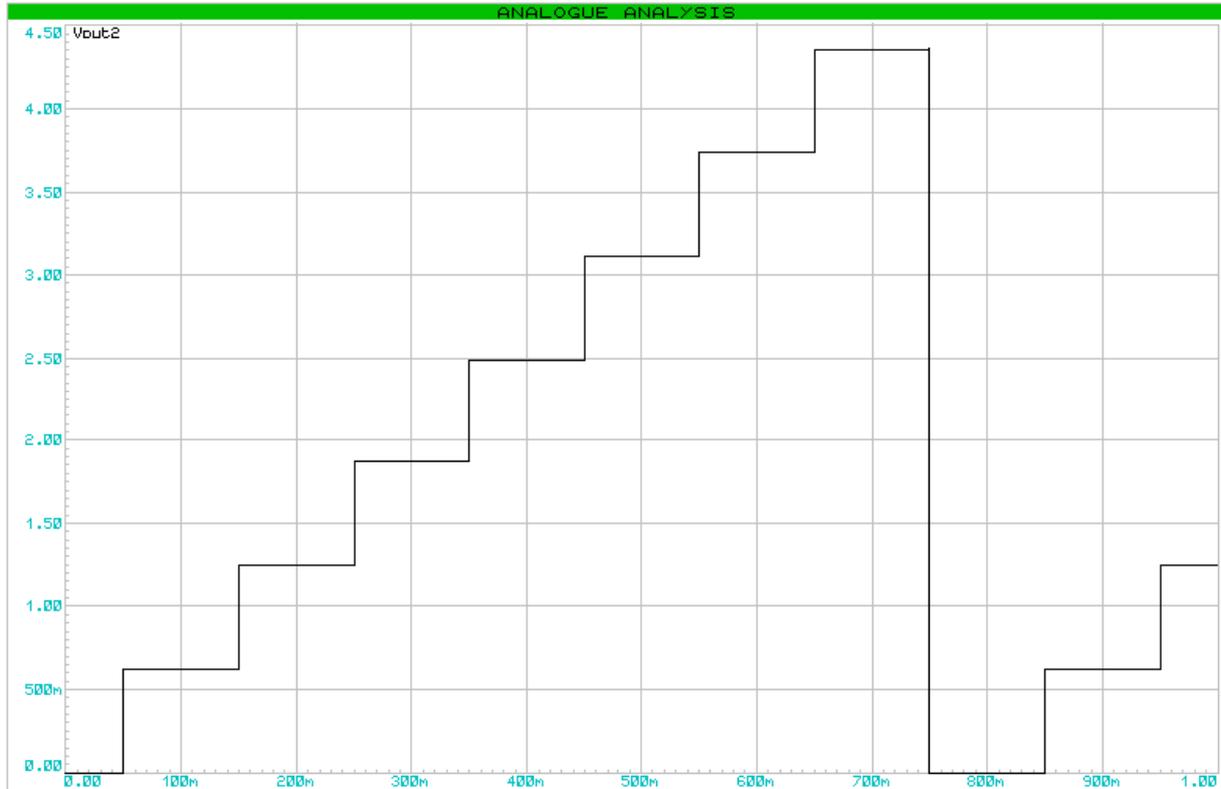
Il funzionamento generale è il seguente:

- ogni bit pilota un deviatore (nella realtà pilota un transistor) che, a seconda del valore logico del bit, convoglia la corrente di riferimento I_{ref} o verso massa reale o verso l'operazionale. Se il bit che lo pilota ha valore logico "1", il deviatore collega il generatore della V_{ref} ad una resistenza dimensionata in base al peso del bit nel dato da convertire (il MSB è associato alla resistenza di valore minore, in modo da far corrispondere ad esso la corrente maggiore); se, invece, il bit che pilota il deviatore ha valore logico "0", questo collega la resistenza del suo ramo a massa reale;
- le resistenze R7, R8 ed R9 hanno valore l'una il doppio dell'altra e, come detto sopra, il valore più piccolo è associato al MSB. Il valore di tali resistenze è determinante per un corretto funzionamento del dispositivo: infatti, se i valori non sono perfettamente uno il doppio

dell'altro, si verificano errori di conversione, poiché la gradinata fornita dal convertitore presenta gradini di altezza diversa, rendendo la conversione non lineare.

Inoltre, la condizione posta sul valore di R7, R8 ed R9 fa sì che la corrente che interessa ciascuna di queste resistenze sia la metà del ramo precedente (fenomeno determinato anche dal fatto che, indipendentemente dal bit d'ingresso, le suddette resistenze sono comunque collegate a massa, sia essa reale o virtuale).

Si presentano rispettivamente la gradinata con caratteristica lineare e la gradinata non lineare:



- tutte le correnti che scorrono nelle resistenze R7, R8 ed R9 si sommano e confluiscono

come un'unica corrente nella resistenza R10, a capi della quale si genera una tensione proporzionale alla corrente stessa e numericamente uguale alla tensione d'uscita dell'operazionale.

Si può dimostrare, applicando la prima legge di Ohm ad R10 e ponendone il valore pari alla metà della resistenza più piccola, che la tensione fornita dal primo operazionale è espressa dalla relazione

$$V_{out} = -\frac{V_{ref}}{2^N} \cdot \sum_{i=0}^{N-1} 2^i B_i$$

dove:

- il rapporto $-\frac{V_{ref}}{2^N}$ rappresenta il **quanto**, il quale determina l'altezza di ciascun gradino della gradinata caratteristica;
- la sommatoria $\sum_{i=0}^{N-1} 2^i B_i$ fornisce la conversione da binario a decimale del codice binario in ingresso al convertitore.

Va precisato che tale relazione è valida se e solo se il valore della resistenza d'anello R10 è pari alla metà della resistenza R7, ossia quella con valore nominale più piccolo. Infatti, se tale condizione non è rispettata, si verifica un cambiamento di guadagno tale da modificare l'altezza di ciascun gradino (ad esempio: se $R10 = R7$, ciascun gradino non sarà più alto un quanto, ma il doppio).

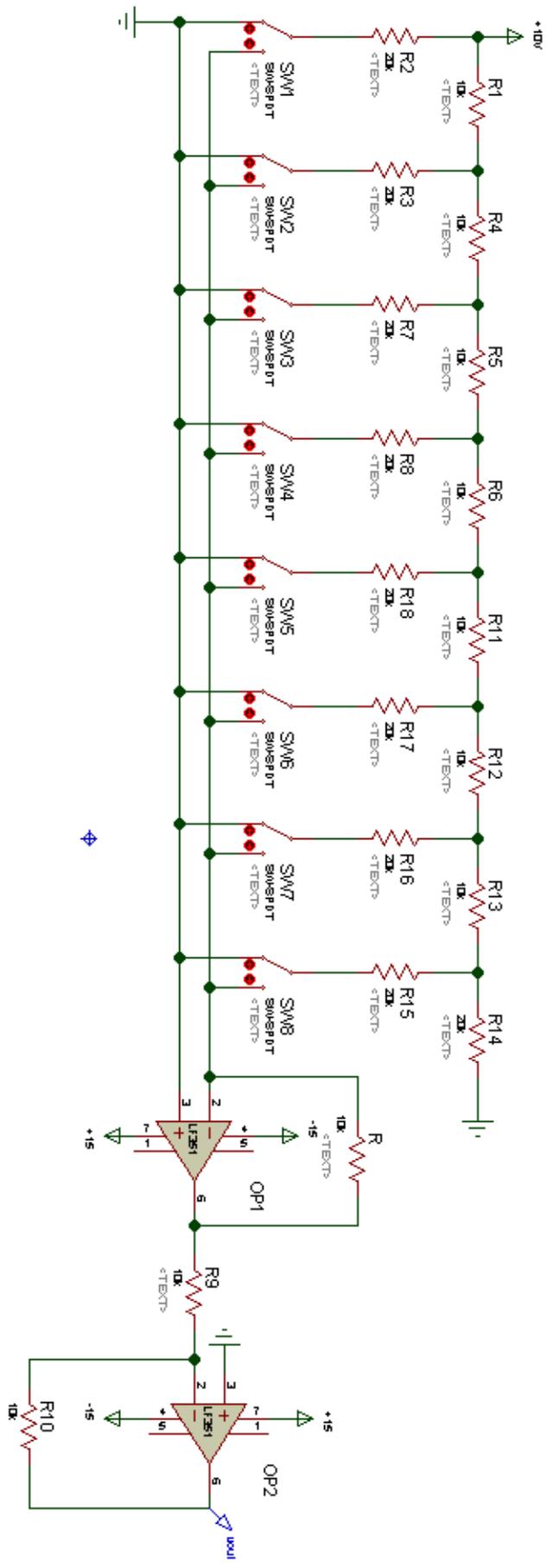
Il secondo operazionale ha l'unica funzione di invertire la fase del segnale fornito dal primo operazionale, essendo quest'ultimo in configurazione invertente, al fine di ottenere una gradinata ascendente (che altrimenti apparirebbe discendente).

Per praticità di realizzazione, i deviatori possono essere sostituiti da un contatore binario (ad esempio un 7493), come mostrato nello schema

Problematiche del convertitore

- la risoluzione del convertitore è limitata dal valore nominale dei resistori poiché, aumentando il numero di bit aumenta anche il valore dei resistori associati, e nella progressione c'è il rischio che si esca dal range di valori utilizzabili con gli operazionali ($1[\text{k}\Omega] \div 1[\text{M}\Omega]$);
- l'operazionale introduce un offset sulla tensione d'uscita e ciò comporta che al valore digitale 000...0 non corrisponda il valore di tensione 0[V];
- come già spiegato in precedenza, il valore nominale dei resistori deve essere esattamente l'uno il doppio dell'altro, altrimenti si introducono errori di non linearità;
- se il valore della resistenza di retroazione negativa non è strettamente pari alla metà del valore della resistenza più piccola, si verificano degli errori di guadagno di cui si è già trattato in precedenza.

D/A con rete a scala R-2R



Il funzionamento di tale convertitore è simile a quello a resistori pesati, con l'eccezione che questo sfrutta le proprietà della rete a scala:

- a destra di ogni nodo la resistenza equivalente è $2R$;
- verso il basso ogni nodo vede una resistenza di valore $2R$, collegata o a massa reale o a massa virtuale;
- a causa dei due punti precedenti, ad ogni nodo la corrente si dimezza.

Come per il D/A a resistori pesati, le correnti relative a ciascun bit d'ingresso si sommano e vengono convertite in tensione dall'operazionale OP1 (che svolge la funzione di convertitore I/V invertente).

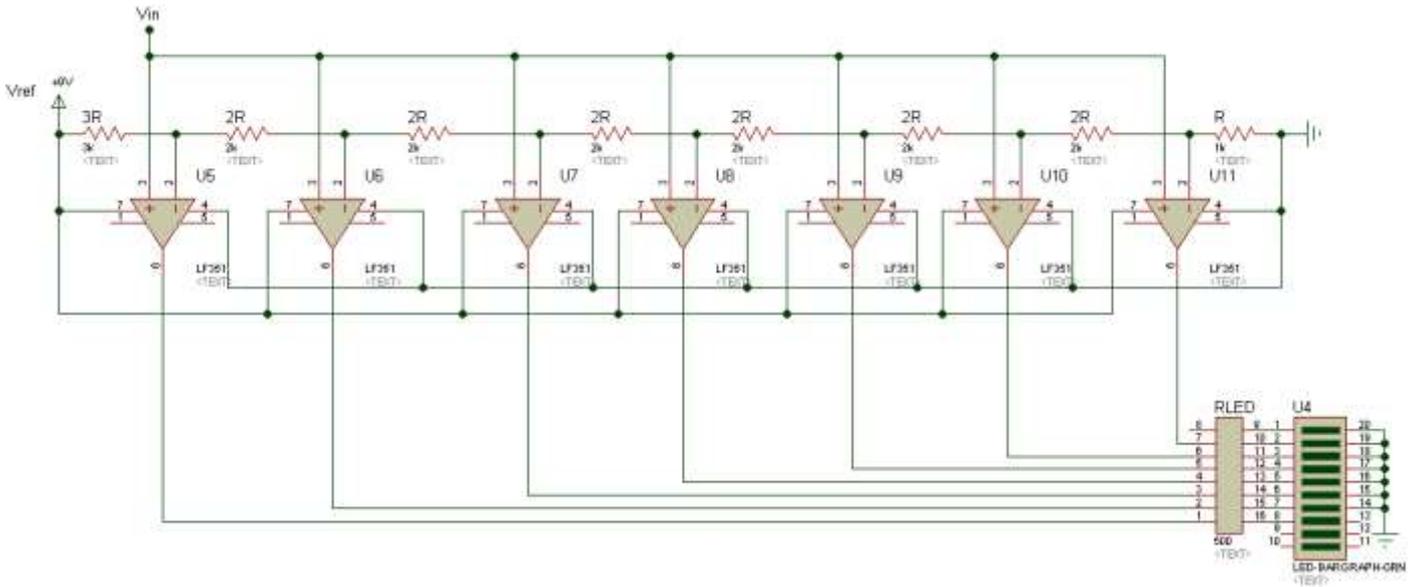
L'operazionale OP2 provvede a invertire la tensione d'uscita di OP1.

A differenza della configurazione a resistori pesati, nel D/A con rete a scala non esiste un limite eccessivamente rigido alla risoluzione, dal momento che il valore nominale dei resistori è contenuto nel range di valori utilizzabili con gli operazionali ($1[k\Omega] \div 1[M\Omega]$), poiché anche all'aumentare del numero di bit esso assume solamente due valori: R e $2R$. Ciò rende tale D/A vantaggioso rispetto a quello realizzato coi resistori pesati ed è pertanto utilizzato per la realizzazione dei DAC integrati.

Tuttavia, permangono le problematiche legate all'offset, alla precisione dei valori delle resistenze R - $2R$ e al valore della resistenza di retroazione negativa di OP1, il cui valore nominale deve essere strettamente uguale a R .

Seconda parte - Conversione A/D

A/D flash



Questo tipo di A/D fa parte della categoria degli ADC “a comparazione in parallelo” poiché realizza la conversione analogico-digitale utilizzando un numero pari a $2^N - 1$ comparatori (dove N è il numero di bit di risoluzione) e un partitore resistivo costituito da 2^N resistori e del tipo $3R-2R-2R-2R-...-R$.

Il funzionamento generale di questo ADC si può così schematizzare:

- all'ingresso del partitore viene applicata una tensione di riferimento V_{ref} (nello schema riportato il suo valore è pari a $+5[V]$);
- la V_{ref} viene suddivisa mediante i resistori del partitore in tal modo, col quale viene fissata la soglia di ciascun comparatore:

$$\text{I soglia} = V_{ref} * [R/(16R)] = (1/16)R$$

$$\text{II soglia} = V_{ref} * [3R/(16R)] = (3/16)R$$

$$\text{III soglia} = V_{ref} * [5R/(16R)] = (5/16)R$$

$$\text{IV soglia} = V_{ref} * [7R/(16R)] = (7/16)R$$

$$\text{V soglia} = V_{ref} * [9R/(16R)] = (9/16)R$$

$$\text{VI soglia} = V_{ref} * [11R/(16R)] = (11/16)R$$

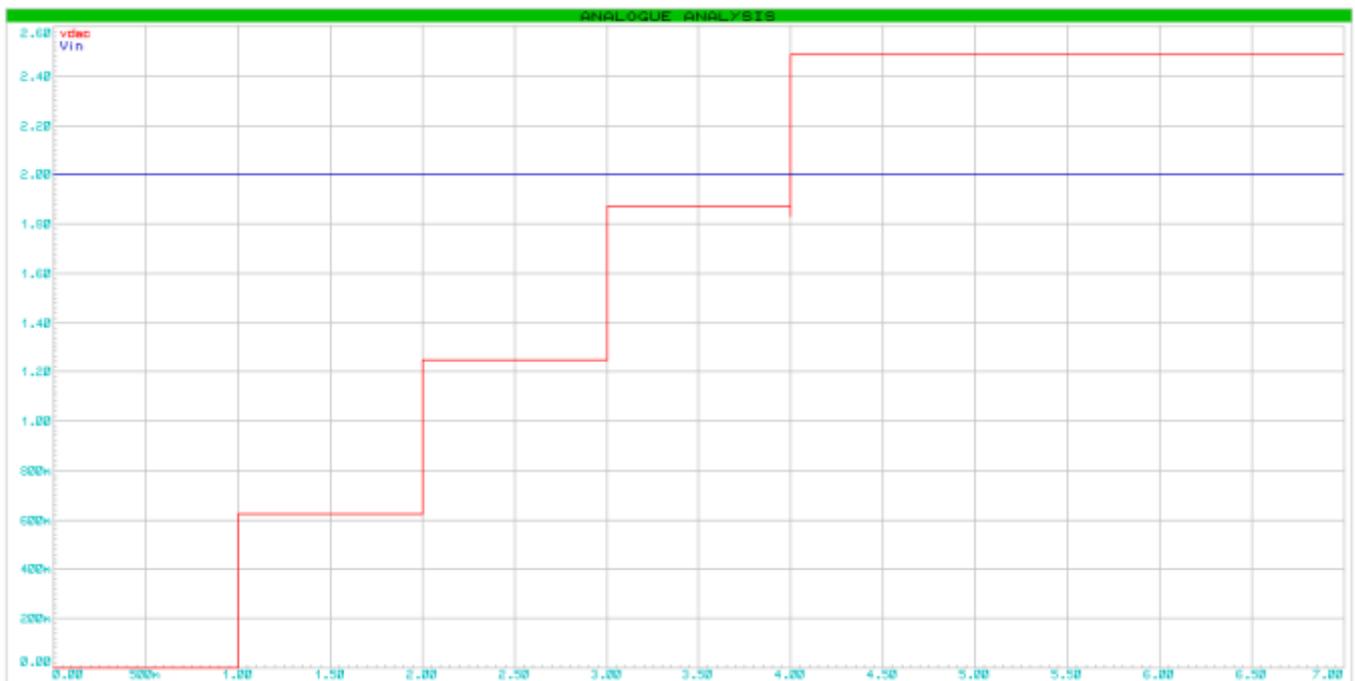
$$\text{VII soglia} = V_{ref} * [13R/(16R)] = (13/16)R$$

- il segnale V_{in} da convertire, campionato a monte da un circuito di S&H, viene applicato simultaneamente a ciascun comparatore la cui uscita dipende dai seguenti

- Il comparatore sopraccitato compara il segnale fornito dal D/A con la tensione d'ingresso: quando questa è maggiore del segnale fornito dal D/A, l'uscita del comparatore assumerà un valore di tensione (idealmente) pari a "+Vsat" (la quale tensione, in quanto collegata ad una porta AND di tipo TTL, sarà pari a "+5 [V]"); in caso contrario, si avrà un'uscita avente valore "-Vsat" (0 [V]);
- L'uscita del comparatore va a uno dei due ingressi di una porta AND, mentre sull'altro è presente un segnale di clock, il quale sarà replicato in uscita dalla porta stessa a condizione che l'uscita del comparatore abbia valore logico "1" (cioè nel caso in cui la tensione d'ingresso sia maggiore di quella fornita dal convertitore D/A). Nel caso in cui la tensione di uscita dal comparatore abbia valore logico "0" (ciò implica che la tensione fornita dal D/A è maggiore di quella d'ingresso), la porta AND replica in uscita la tensione fornita dal comparatore ("0 [V]");
- L'uscita della porta AND, infine, diverrà il clock di conteggio.

Riassumendo gli ultimi due punti trattati, il contatore prosegue nel suo conteggio finché la tensione d'ingresso rimane maggiore di quella fornita dal D/A; quando quest'ultima supera la tensione d'ingresso, infatti, in uscita dalla porta AND si ha una tensione di valore "0 [V]", che provoca così il blocco del conteggio.

Di seguito si riporta il grafico di un esempio:



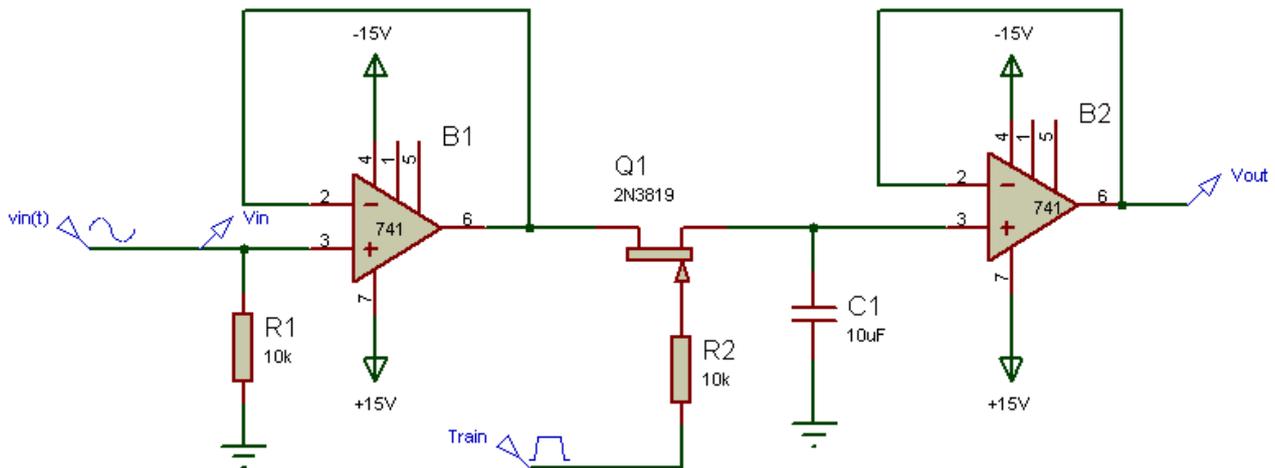
Come si può notare dal grafico, non appena la tensione in uscita dal DAC supera la V_{in} , questa smette di crescere e rimane costante.

Infine, il valore digitale in uscita al contatore, una volta bloccato il conteggio, è proprio la conversione in digitale della tensione d'ingresso.

Problematiche del convertitore:

- Avendo, questo tipo di A/D, al suo interno un D/A a resistori pesati, presenta anche le sue stesse problematiche (già spiegate), come il limite posto alla sua risoluzione;
- Il tempo impiegato dall'A/D per la conversione non è mai lo stesso: dipende, infatti, da quanto la tensione d'ingresso è superiore all'altezza del primo gradino del DAC. Se si ha in ingresso, per esempio, una tensione pari a " V_{ref-q} ", il convertitore A/D impiegherà un tempo maggiore rispetto al tempo impiegato per la conversione di una tensione d'ingresso pari a " q ". Questa differenza è dovuta al fatto che, per convertire ogni campione, il convertitore parte ogni volta dal gradino più basso, per poi arrivare, in progressione, a quello più alto; questo causa un tempo di conversione tanto più lungo quanto più alto è il numero di gradini da "risalire".

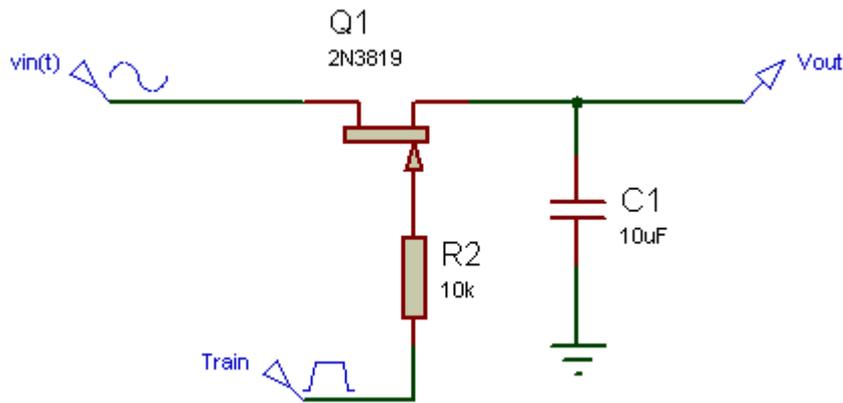
Terza parte - Sample and Hold



Il Sample and Hold è un circuito utile a prelevare il valore di un campione preso dalla $v_{in}(t)$ (fase di Sample) per poi tenerlo costante per tutto il periodo di conversione " T_{conv} " (fase di Hold). Questo processo è di aiuto al convertitore A/D (posto a valle del S&H) per la conversione di segnali che durante il periodo di conversione possono variare più di " $q/2$ ", rischiando così di causare errori di quantizzazione.

Funzionamento generale:

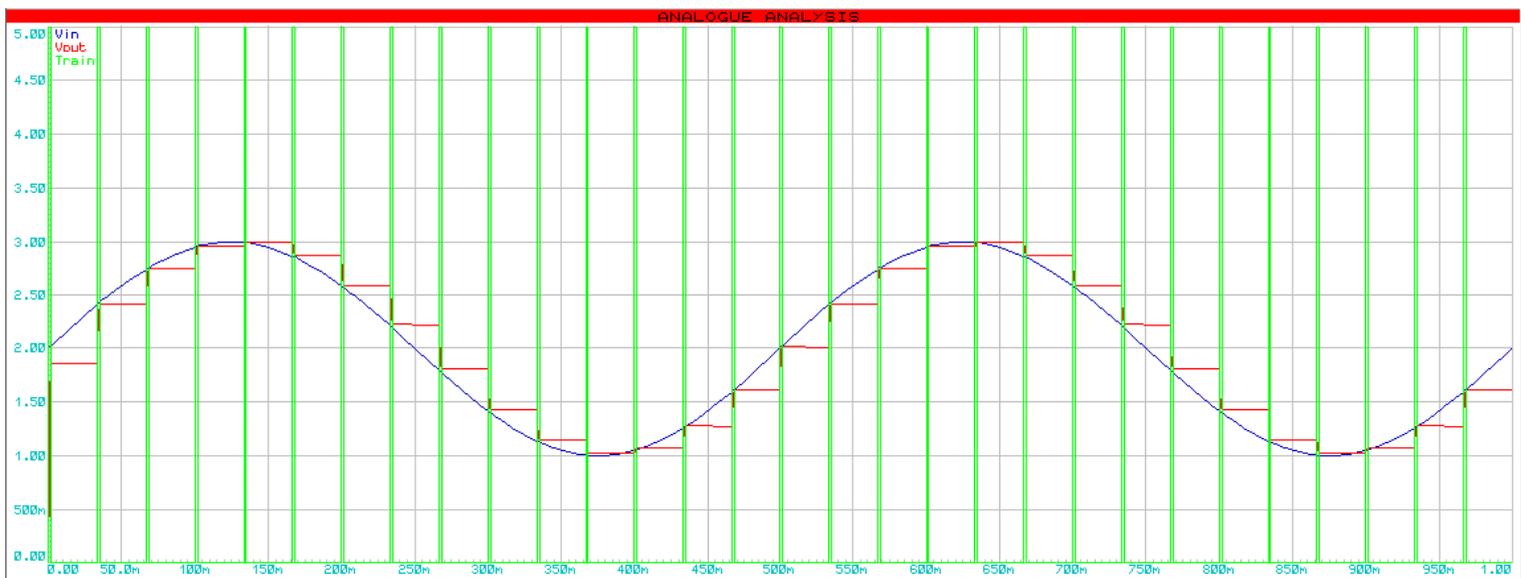
Il cuore del funzionamento del S&H è racchiuso nella seguente rete:



Consideriamo il circuito in figura:

- in fase di Sample, il FET, pilotato da un treno d'impulsi, satura e permette il passaggio di corrente che consente al condensatore di caricarsi tanto da raggiungere la tensione in ingresso;
- in fase di Hold, il FET è interdetto e il condensatore mantiene ai suoi capi la tensione acquisita in fase di Sample.

Si riporta di seguito un grafico che ne riassume il funzionamento:



I buffer verranno aggiunti successivamente per disaccoppiare il circuito di S&H da ciò che c'è "a monte" e da ciò che c'è "a valle", e a fornire:

- in fase di Sample, una bassa resistenza (quella d'uscita all'operazionale) al circuito, al fine di avere una costante di tempo ($R \cdot C$) bassa (\rightarrow carica del condensatore più veloce);
- in fase di Hold, una resistenza idealmente infinita (quella d'ingresso all'operazionale) per avere una costante di tempo infinita (\rightarrow scarica del

condensatore nulla).

Problematiche:

- Anche se “a valle” il condensatore vedesse realmente una resistenza infinita, e che quindi all’interno di questa non circolasse alcuna corrente in fase di Hold (eliminando così anche quella lieve ma reale scarica del condensatore), questo tenderebbe ugualmente a scaricarsi in quanto una piccolissima corrente circolerebbe ugualmente ai suoi capi a causa della non idealità del dielettrico presente fra le sue armature.