

ADC integrato - Schema e piedinatura di riferimento

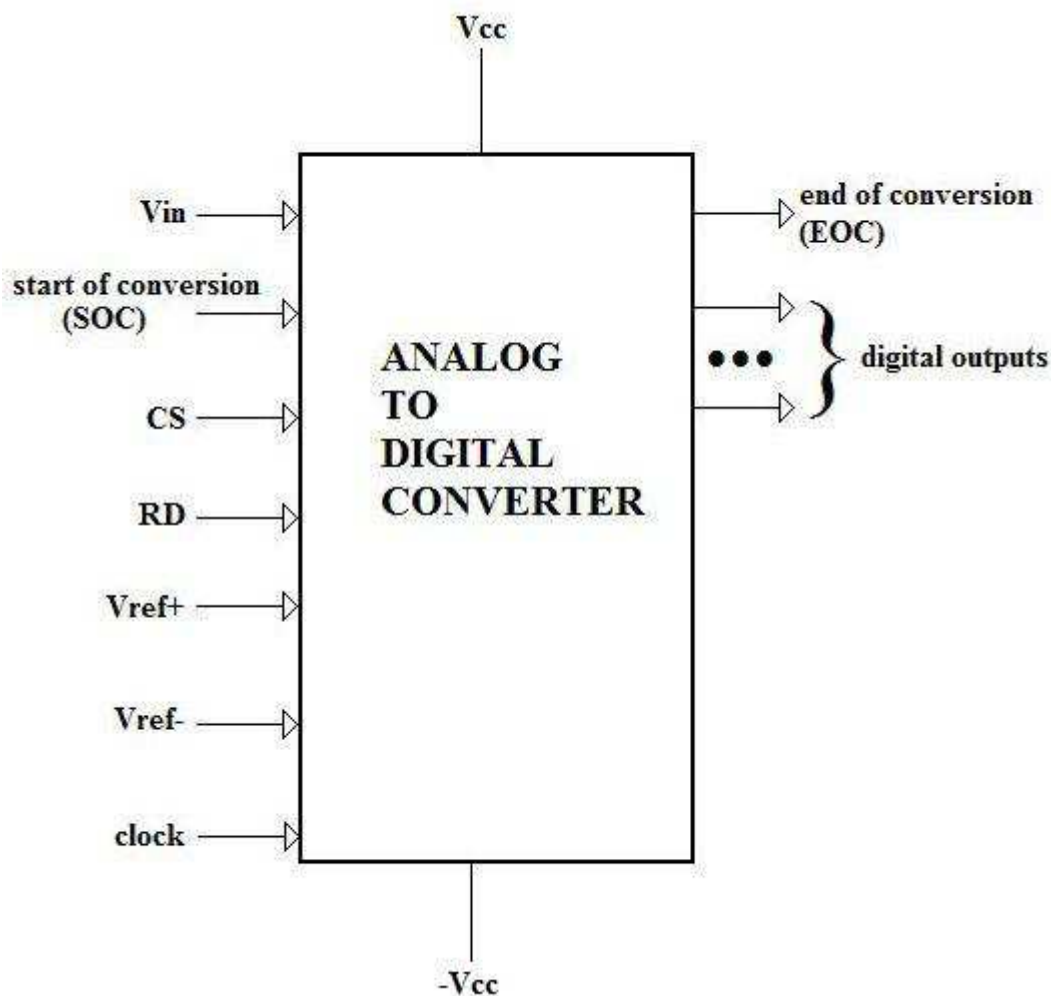
I convertitori AD sono disponibili come circuiti integrati in diversi modelli, che differiscono fra loro per prezzo, prestazioni e utilizzi. Al loro interno essi contengono sempre:

- un campionatore
- un quantizzatore
- un codificatore

A seconda dei casi i convertitori AD commerciali possono comprendere anche:

- un blocco di sample & hold
- un filtro anti-alias
- un multiplexer

Semplificando al massimo, possiamo fare riferimento alla seguente struttura generale:



Vediamo ora brevemente il significato dei diversi termini che compaiono nello schema precedente, tenendo presente che i convertitori commerciali spesso hanno un numero maggiore di segnali di ingresso/uscita, che tali segnali sono spesso in logica negata (cioè sono attivi sul livello basso invece che sul livello alto) e che i nomi usati non sono standard:

- **Vin** è il segnale analogico da convertire. In alcuni convertitori sono presenti due piedini separati, **Vin+** e **Vin-**: in questo caso il segnale viene applicato in modo **differenziale**, cioè senza riferimento a massa;
- **digital outputs** sono le uscite digitali, in numero pari al numero di bit del convertitore; alcuni convertitori presentano un'uscita seriale e dunque hanno un solo piedino di uscita
- **SOC (start of conversion)** è il segnale logico di ingresso mediante il quale è possibile avviare una conversione - in alcuni convertitori il nome usato è **WR (write)**
- **EOC (end of conversion)** è il segnale logico di uscita che segnala il termine di una conversione . In alcuni convertitori viene usato il nome **INTR (interrupt)**, perché questo segnale viene usato per richiedere un interrupt al microprocessore alla fine di ogni conversione
- **CS (chip select)** è il segnale logico che abilita il funzionamento dell'integrato
- **RD** è il segnale logico che abilita le uscite digitali (*digital outputs*) . Se disattivato, le uscite si portano in uno stato di alta impedenza; in alcuni convertitori viene chiamato **Output Enable (OE)**
- **Vref+** e **Vref-** servono per regolare la tensione superiore e la tensione inferiore di fondo scala
- **Clock** è il segnale logico a onda quadra che serve in alcuni convertitori per temporizzare le operazioni interne
- **Vcc** e **-Vcc** sono rispettivamente la doppia alimentazione, positiva e negativa. In alcuni ADC è presente una singola alimentazione e un pin di massa (**GROUND**).

ADC - Parametri fondamentali

I parametri che caratterizzano il funzionamento di un convertitore AD reale sono molti, ma i due più importanti sono:

- il numero di bit (risoluzione)
- il tempo di conversione

Risoluzione

In generale per *risoluzione* di uno strumento di misura si intende la capacità, nell'esecuzione di una misura, di rilevare piccole variazioni della grandezza fisica in esame. Il termine si riferisce per estensione anche al valore numerico che esprime quantitativamente questa capacità.

Esempio: se una misura di tensione ha una risoluzione di 0,1 [V], significa che nella lettura si possono apprezzare variazioni del suo valore maggiori o uguali a 0,1 [V]. La risoluzione costituisce di fatto il limite inferiore sotto il quale non ha più senso effettuare misure con quello strumento.

Analogamente, in convertitore analogico-digitale, la risoluzione è la minima variazione di tensione che il convertitore è in grado di convertire.

Essa dunque coincide con il *quanto di conversione*.

Risoluzione e numero di bit del convertitore

Poichè il quanto è legato al numero di Livelli L e alla tensione di fondo scala V_{FS} dalla relazione

$$Q = V_{FS} / L$$

e poichè il numero di livelli L è legato al numero N di bit del convertitore dalla relazione

$$L = 2^N$$

abbiamo immediatamente che

$$Q = V_{FS} / 2^N$$

Dunque, come ci si poteva aspettare, la risoluzione (ovvero il quanto) di un convertitore ADC dipende dal numero N di bit del convertitore. In altre parole: **la risoluzione di un convertitore è tanto migliore quanto maggiore è il suo numero di bit.**

Un altro modo di considerare la questione: poichè l'errore massimo di quantizzazione è espresso da

$$\varepsilon = q / 2$$

abbiamo che

$$\varepsilon = V_{FS} / 2^{N+1}$$

Come si può osservare, l'errore di quantizzazione diminuisce all'aumentare del numero N di bit del convertitore. Spesso l'errore di quantizzazione viene espresso come **percentuale della V_{FS}** , nel seguente modo:

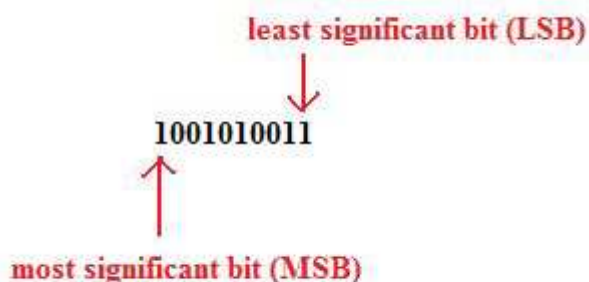
$$\varepsilon_{\text{percentuale}} = \varepsilon / V_{FS} * 100 = (V_{FS} / 2^{N+1}) / V_{FS} * 100 = 100 / 2^{N+1}$$

In molti fogli tecnici (data sheet) dei convertitori ADC si indica col termine *risoluzione (resolution)* il numero di bit del convertitore, anche se a rigori la risoluzione dipende dal numero di bit ma non coincide con tale valore.

Least significant bit (LSB)

Un altro termine usato spesso nei manuali tecnici e che può produrre qualche confusione è Least Significant Bit (abbreviato spesso in LSB), ovvero il *Bit Meno Significativo*.

In generale in un numero binario si dice *bit meno significativo* (least significant bit) la cifra binaria di peso inferiore, cioè quella che si trova più a destra nel numero stesso. In modo analogo si dice *bit più significativo* (most significant bit) la cifra più a sinistra. Esempio:



Nella conversione da analogico a digitale, il termine Least Significant Bit viene usato **per estensione** per riferirsi alla **tensione corrispondente a una variazione del bit meno significativo**.

In pratica LSB è un modo equivalente (un sinonimo) per definire il quanto di conversione.

In generale dunque si avrà:

$$\text{LSB} = q = V_{\text{FS}}/2^N$$

L'errore di quantizzazione, espresso in termini di LSB, è dato da:

$$\varepsilon = \text{LSB} / 2$$

Esempio 1:

- Range compreso tra 0 e 10 [V] ($V_{\text{FSR}} = 10[\text{V}]$)
- Risoluzione dell'ADC di 12 bit : $2^{12} = 4096$ livelli di quantizzazione
- Quanto o LSB = $10 [\text{V}] / 4096 = 0,00244 [\text{V}] = 2,44 [\text{mV}]$
- Errore di quantizzazione = $q/2 = 1,22 [\text{mV}]$
- Errore di quantizzazione percentuale = $100 / 2^{13} = 0,012 \%$

Esempio 2:

- Range compreso tra -10 e 10 [V]
- Risoluzione dell'ADC di 14 bit : $2^{14} = 16384$ livelli di quantizzazione
- Quanto o LSB = $20 [\text{V}] / 16384 = 0,00122 [\text{V}] = 1,22 [\text{mV}]$
- Errore di quantizzazione = $q/2 = 0,61 [\text{mV}]$
- Errore di quantizzazione percentuale = $100/2^{15} = 0,003\%$

Tempo di conversione

Un altro parametro fondamentale per valutare le prestazioni di un convertitore ADC è il suo tempo di conversione. Tale tempo è molto variabile a seconda del tipo di convertitore utilizzato (e del suo prezzo!). Nella pratica si va da convertitori "lenti", con tempo di conversione intorno a qualche millesimo di secondo, a convertitori ultra veloci che arrivano ad alcuni nanosecondi .

Tempo di conversione e frequenza di campionamento

Il T_{conv} di un ADC è importante poiché il suo valore limita la massima frequenza di campionamento che è possibile usare con quel dato convertitore.

Infatti il $T_{camp} = 1/f_{camp}$ deve essere necessariamente **maggiore** del tempo di conversione del convertitore:

$$T_{camp} > T_{conv}$$

Per esempio, usando un convertitore con $T_{conv} = 1 \text{ } [\mu\text{s}]$, il tempo minimo di campionamento sarà pari a $1 \text{ } [\mu\text{s}]$ e di conseguenza la massima frequenza di campionamento sarà nel nostro caso:

$$f_{max \text{ camp}} = 1 / T_{conv} = 1 \text{ [MHz]}$$

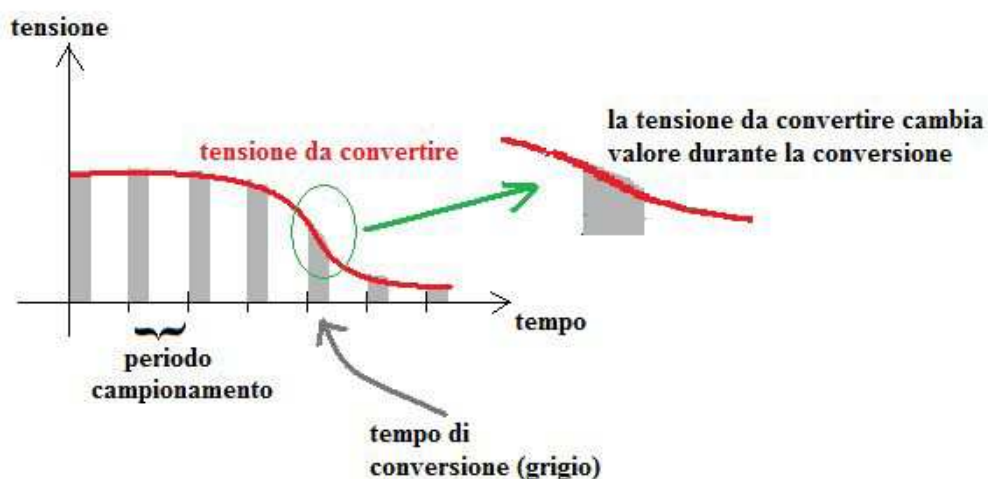
Per questa ragione su molti fogli tecnici non viene indicato il T_{conv} del convertitore, ma al suo posto la massima frequenza di campionamento (*sampling rate*) che è possibile usare con quel dato convertitore . Ovviamente

$$T_{conv} = 1 / f_{max \text{ camp}}$$

In realtà, in molti casi pratici, la massima frequenza di campionamento risulta notevolmente inferiore a $1 / T_{conv}$ e questo a causa della **variazione del segnale di ingresso durante la conversione stessa**

Tempo di conversione e rapidità di variazione del segnale da convertire

Per eseguire correttamente una conversione analogico-digitale, la tensione all'ingresso del convertitore ADC **non** dovrebbe cambiare valore durante il T_{conv} dell'ADC . In caso contrario infatti la conversione risulterebbe errata, poiché il valore da convertire non sarebbe definito con precisione.



E' evidente che il problema si verifica quando il segnale da convertire cambia con una velocità troppo grande nel tempo impiegato dal convertitore a digitalizzarlo, o meglio, quando la variazione che subisce durante il T_{conv} è superiore a $q/2$.

Una situazione analoga si verifica in fotografia quando il tempo di apertura dell'otturatore della macchina fotografica è troppo lungo e il soggetto è in movimento veloce. Il risultato che si ottiene è una fotografia "mossa".

Sarebbe possibile dimostrare che la conversione avviene senza errore apprezzabile (o meglio, senza introdurre un errore maggiore a quello di quantizzazione) a condizione che sia:

$$f_{max} \leq 1 / (\pi * 2^N * T_{conv})$$

dove

- f_{max} è la massima frequenza del segnale da convertire
- N è la risoluzione (numero di bit) del convertitore
- T_{conv} è il tempo di conversione del convertitore
- π è la costante pi greco (3.1415)

Si noti che f_{max} si riduce:

- all'aumentare di T_{conv} : ciò corrisponde a usare un convertitore lento e dunque non in grado di "fotografare" segnali che variano troppo rapidamente;
- all'aumentare del numero di bit N del convertitore: se aumenta N , aumenta anche la precisione della conversione e dunque anche piccole variazioni del segnale di ingresso durante la conversione verrebbero rilevate dall'ADC; se il convertitore è molto preciso, il segnale dev'essere lento per poter essere "misurato" con la precisione richiesta durante il tempo di conversione.

Facciamo un esempio pratico. Supponendo di usare un convertitore a 8 bit con $T_{conv} = 1 \text{ } [\mu\text{s}]$ abbiamo

$$1 / (\pi * 2^8 * T_{conv}) = 1 / (3.14 * 256 * 10^{-6}) = 1244 \text{ [Hz]}$$

Pertanto il nostro ADC è in grado di convertire correttamente solo segnali con frequenza massima inferiore a 1244 [Hz]circa .

Si osservi che con $T_{conv} = 1 \text{ } [\mu\text{s}]$ in teoria sarebbe possibile usare una f_{camp} di 1 [MHz] e dunque convertire, in base al teorema del campionamento, segnali con banda fino a 500 [kHz] .

Dunque la limitazione su f_{max} dovuta al tempo di conversione non nullo dell'ADC è generalmente molto più stringente di quella dovuta al teorema del campionamento.

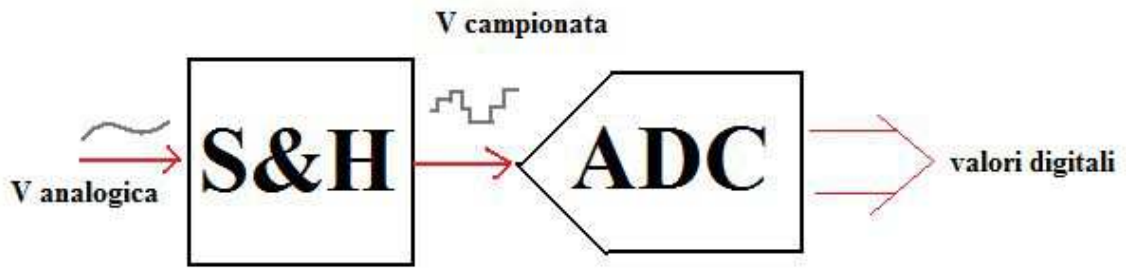
Sample and hold

Quando il convertitore è troppo lento rispetto alla variazione del segnale da convertire, ovvero quando la disegualianza

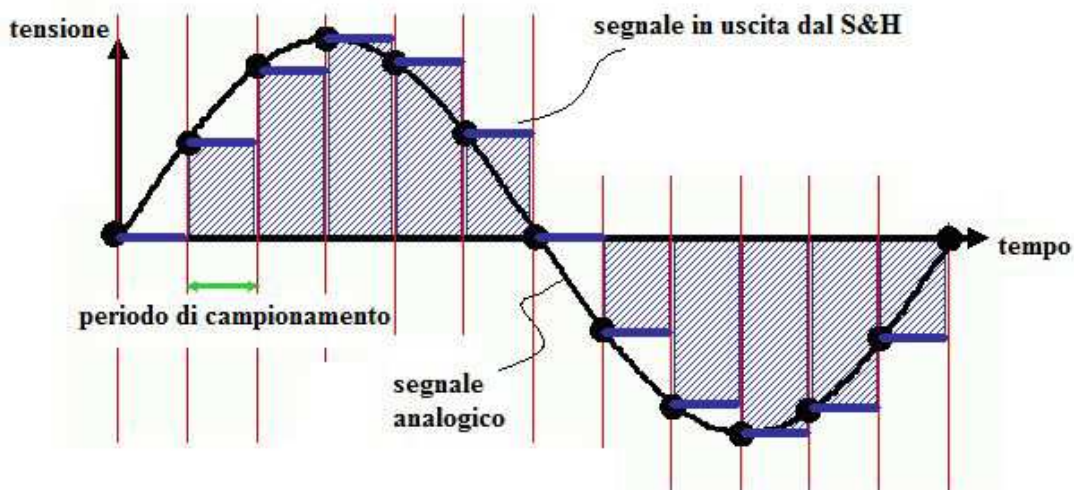
$$f_{max} \leq 1 / (\pi * 2^n * T_{conv})$$

non è verificata, si utilizza un circuito, posto a monte del convertitore ADC, con lo scopo di mantenere costante la tensione da convertire per tutta la durata della conversione stessa.

Tale circuito si chiama Sample and Hold (abbreviato S&H) ovvero in italiano *campionamento e mantenimento*.



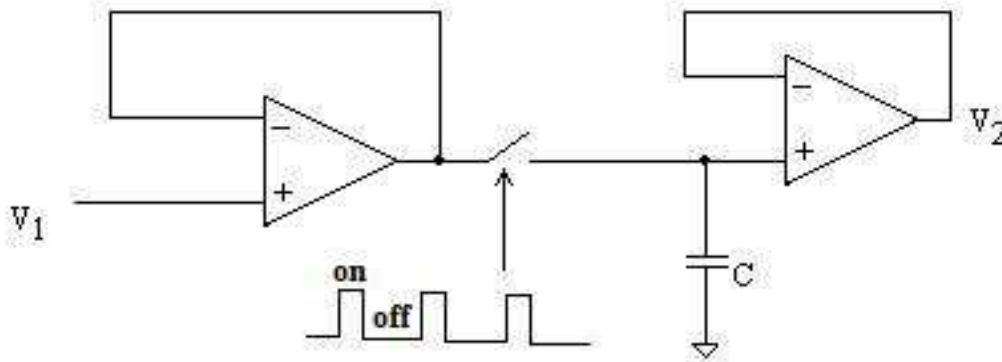
In pratica il S&H "congela" la tensione da convertire per tutta la durata del periodo di campionamento, in modo tale che l'ADC abbia il tempo di effettuare una conversione corretta.



Ovviamente la frequenza di campionamento del S&H coincide con la frequenza di campionamento dell'ADC.

Realizzazione circuitale

Dal punto di vista logico, il S&H è realizzato mediante un interruttore elettronico comandato da una tensione digitale di controllo:

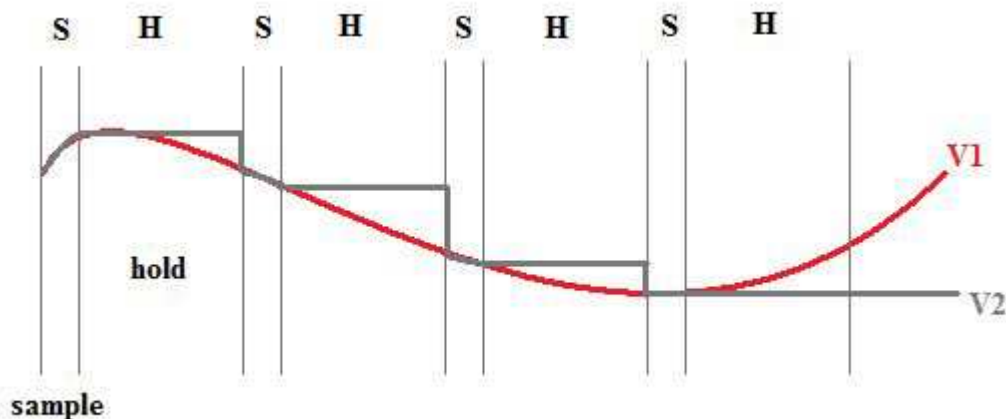


Nella figura precedente V_1 è la tensione analogica da campionare e V_2 è la tensione analogica campionata; il treno di impulsi digitali comanda la chiusura dell'interruttore a ogni periodo di

campionamento: **on** indica la chiusura dell'interruttore e **off** la sua apertura (idealmente t_{on} deve sempre essere molto minore di t_{off} e $t_{on} + t_{off} = T_{camp}$).

Il condensatore (detto *hold capacitor*) serve per mantenere costante la tensione quando l'interruttore viene aperto; i due buffer servono per isolare il condensatore dai circuiti posti a monte e a valle del S&H.

Durante la fase di *sample* l'interruttore viene chiuso (on) e il condensatore si carica a un valore di tensione uguale a V_1 ; durante la fase di *hold* l'interruttore è aperto (off) e il condensatore mantiene una tensione costante che, attraverso il secondo buffer, viene riportata sull'uscita V_2 .



La **durata della fase di sample dev'essere idealmente la più breve possibile** ed è determinata dal tempo di apertura (*aperture time*) dell'interruttore elettronico, cioè dal tempo che l'interruttore impiega per aprirsi. Infatti durante tale tempo il segnale in uscita V_2 non è stabile, ma segue l'andamento della tensione di ingresso V_1 .

Il tempo di apertura del S&H limita la massima frequenza (f_{max}) del segnale che può essere convertito, secondo la stessa formula che abbiamo visto prima (dove ora al posto di T_{camp} abbiamo $T_{apertura}$):

$$f_{max} \leq 1 / (\pi * 2^n * T_{apertura})$$

I circuiti di sample and hold commerciali possono comunemente avere tempi di apertura **inferiori al nanosecondo**.

Considerando di nuovo l'esempio precedente, quello cioè di un convertitore a 8 bit e tempo di conversione di 1 [μ s], abbiamo visto come tale convertitore sia in teoria in grado di campionare segnali con una banda massima di 500 [kHz] (alla frequenza di Nyquist).

Tuttavia tale frequenza non può essere raggiunta a causa delle variazioni del segnale di ingresso durante il tempo di conversione.

Per raggiungere la massima frequenza di campionamento teoricamente ottenibile con tale ADC, occorre anteporre al convertitore un blocco di S&H con tempo di apertura che può essere così ricavato:

$$f_{max} \leq 1/(\pi * 2^n * T_{apertura}) \rightarrow T_{apertura} \leq 1/(\pi * 2^n * f_{max}) = 1/(3.14 * 256 * 500k) = 2,5 \text{ [ns]}$$