

Conversione analogico-digitale - Convertitori AD

1. Segnali analogici e segnali digitali

Segnali analogici

Un segnale analogico può essere rappresentato mediante una funzione del tempo che gode delle seguenti caratteristiche:

- 1) la funzione è definita per ogni valore del tempo (è cioè continua nel dominio)
- 2) la funzione è continua.

Volendo "volgarizzare" le proprietà del segnale analogico conseguenti alle due caratteristiche sopra citate si potrebbe affermare che *"è possibile disegnare l'andamento temporale di un segnale analogico senza mai staccare la penna dal foglio..."*

$$a = f(t)$$

t appartiene all'insieme \mathbf{R} dei numeri reali, a appartiene all'insieme \mathbf{R}

Che i segnali elettrici analogici, in particolare, possono essere considerati rispondenti ai due requisiti sopra ricordati discende da alcune ovvie considerazioni.

- In primo luogo essi sono prodotti da generatori che operano nel mondo reale, in un ambito cioè in cui il tempo risulta essere "denso". Nel mondo reale il tempo è una grandezza continua ed è sempre possibile immaginare che, fra due istanti comunque vicini fra loro si trovi un istante intermedio in cui il generatore di cui si tratta produca un segnale di valore finito.
- In secondo luogo si deve considerare che non esistono, nel mondo reale, generatori di potenza infinita. Questa considerazione porta a concludere che non è possibile generare un segnale che presenti una variazione finita in tempo nullo: anche il più rapido transitorio reale presenta una evoluzione del segnale che risulta continua.

Segnali digitali

A differenza del segnale analogico quello digitale è costituito da una funzione "tempo discreta" e "quantizzata".

Tale funzione risulta pertanto:

1) definita solamente in un insieme numerabile di istanti "equispaziati"

2) dotata di un codominio costituito da un insieme discreto di valori.

$$d = f(nT_c)$$

n appartiene all'insieme \mathbf{Z} dei numeri interi,

d (a meno di un fattore di scala) appartiene all'insieme \mathbf{Z}

I segnali numerici, quindi, presentano due fondamentali differenze se confrontati con quelli analogici:

- sono definiti solamente in corrispondenza di prestabiliti istanti e fra un istante ed il successivo essi risultano "non definiti",
- possono assumere solamente un prestabilito numero di valori e passano, senza continuità, da un valore all'altro "saltando" gli eventuali valori concessi che si dovessero trovare compresi fra questi.

Pregi del segnale digitale (altrimenti detto "numerico")

I segnali digitali godono di alcuni importanti pregi nei confronti di quelli analogici :

- ***I segnali digitali hanno una maggiore **reiezione** ai disturbi rispetto ai segnali analogici.***

I segnali analogici sono costituiti da funzioni continue pertanto possono assumere infiniti valori: il rumore che inevitabilmente si sovrappone al segnale ha pertanto la possibilità di determinare una variazione del valore del segnale composto (segnale utile + rumore) qualunque sia la ampiezza e la potenza del rumore. I segnali digitali, invece, presentano solamente un numero finito di valori separati da una fascia "proibita". Se il rumore non ha ampiezza (e potenza) tale da determinare un superamento della fascia proibita che separa due valori contigui non si riscontra alcuna alterazione del valore.

- ***I segnali digitali possono essere elaborati più facilmente dei segnali analogici***

Per elaborare matematicamente i segnali analogici si deve ricorrere agli amplificatori operazionali mediante i quale è possibile realizzare (in modo a volte molto approssimato) semplici operazioni (somma, sottrazione, logaritmo ed esponenziale, integrale e derivata rispetto al tempo, ecc.). La realizzazione di funzioni più "elaborate" può richiedere una complessità circuitale eccessiva e tale da introdurre una incertezza non accettabile per gli scopi prefissati.

I segnali numerici possono invece essere elaborati mediante microprocessori e microcalcolatori i quali possono permettere la esecuzione di operazioni ed elaborazioni senza richiedere appesantimenti dell'hardware circuitale. Anche in questo caso, però, le operazioni non sono esenti da incertezza: i troncamenti e le approssimazioni introdotte dalla codifica utilizzata dal microprocessore per il trattamento dei dati sono infatti fonte di incertezza, ma si può ricorrere a codifiche (intero, reale a singola o doppia precisione, ecc.) tali da ridurre le incertezze introdotte in modo da renderle compatibili con gli scopi prefissati.

- ***I segnali digitali possono essere registrati in maniera più fedele e stabile dei segnali analogici***

Per registrare un segnale analogico si può fare uso di nastri magnetici entro cui il segnale viene registrato: le prestazioni delle tecniche di registrazione meno sofisticate vengono penalizzate dal fenomeno della smagnetizzazione del nastro registrato. Risultati migliori si possono ottenere mediante l'uso di tecniche di registrazione basate sulla modulazione di frequenza: la stabilità della velocità di riproduzione del nastro diviene però un vincolo stringente per garantire la fedeltà delle riproduzioni.

Ricorrendo all'uso di memorie **RAM** (" **penne USB** ") oppure di dispositivi di memoria di massa a supporto magnetico (**hard e floppy-disk**) o a supporto plastico e lettura / scrittura ottica (**CD , DVD**) è possibile invece registrare i segnali digitali con estrema facilità. In questo caso, poi, la codifica usata è quella binaria e la presenza di una ampia fascia di separazione fra il livello considerato **0** e quello considerato **1** permette di garantire una stabilità del dato nel tempo e la sua reiezione pressoché totale ai disturbi.

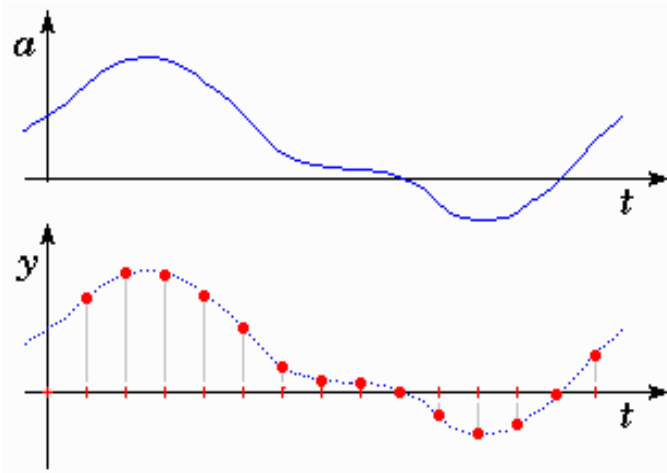
2. La conversione Analogico - digitale

La conversione A/D richiede tre fasi successive:

- **campionamento** : discretizzazione del tempo (dominio)
- **quantizzazione** : discretizzazione della ampiezza (codominio)
- **codifica** : uso di "parole" binarie per esprimere i valori del segnale

Il campionamento

- Campionare un segnale analogico significa prelevare da questo una successione temporale di valori istantanei assunti dal segnale in corrispondenza di particolari istanti, detti "**istanti di campionamento**".
- L'intervallo che separa due successivi istanti di campionamento viene chiamato "**periodo di campionamento**" T_c ed il suo reciproco, indicato come f_c , prende il nome di "**frequenza di campionamento**".



$$y = f(nT_c)$$

n appartiene all'insieme \mathbf{N} dei n° interi positivi

y appartiene all'insieme \mathbf{R} dei n° reali

Quando il segnale analogico presenta delle variazioni sufficientemente lente da poterlo considerare costante entro un breve intervallo di tempo (la cui durata indicheremo con d) è possibile effettuare il campionamento prelevando **NON** il valore istantaneo assunto dal segnale negli istanti di campionamento, ma piuttosto il **valore medio** calcolato in intervalli di durata d che si succedono ad intervalli T_c .

Vedremo che questa considerazione sarà utile quando si introdurranno i convertitori AD a valore medio. Si può essere indotti a pensare che il campionamento provochi una riduzione del contenuto informativo del segnale analogico in quanto si perde l'informazione sul valore assunto dal segnale in tutti gli istanti **diversi** da quelli di campionamento.

Il teorema del campionamento ci dice invece che, in condizioni **ideali**, la esecuzione del campionamento **non provoca perdita di informazione**.

Teorema fondamentale del campionamento (o di Shannon – Nyquist)

Un segnale continuo $v(t)$ può essere univocamente ricostruito dalla conoscenza dei suoi **campioni** purchè la durata dell'intervallo che separa due campioni successivi sia uguale o inferiore a

$$T_{\min} = 1 / 2 f_{\max} \quad [\text{secondi}]$$

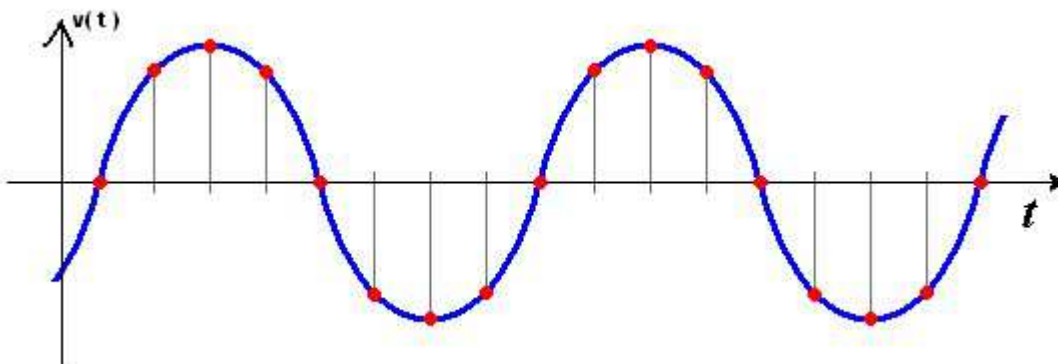
dove f_{\max} è la frequenza più alta fra quelle che costituiscono lo **spettro** del segnale.

Dal **Teorema di Fourier** :

*Lo spettro di un segnale $v(t)$ è un grafico in cui si riportano in ascissa le frequenze e in ordinata le ampiezze massime dei vari segnali **sinusoidali** (detti componenti **armoniche**) che, sommati tra loro, danno origine a $v(t)$.*

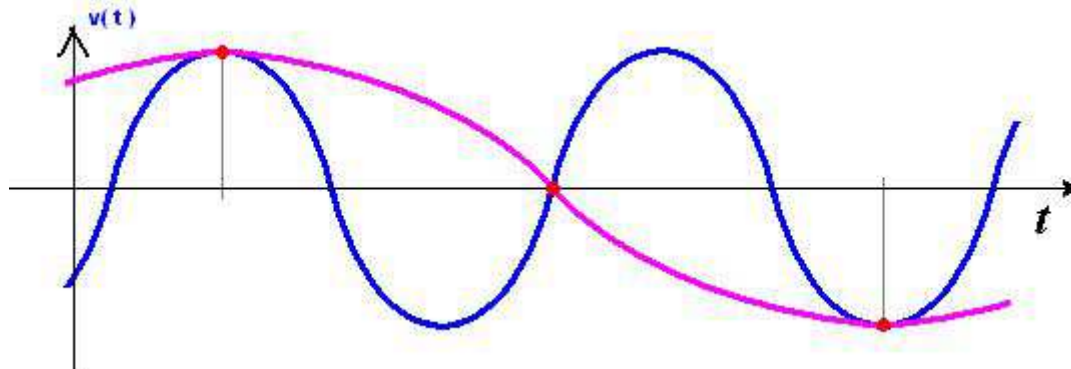
In altre parole lo spettro contiene le informazioni sul contenuto armonico (cioè frequenziale) di un dato segnale .

Questo significa che **ogni armonica** del segnale $v(t)$, anche quella di frequenza **più alta**, deve essere campionata **due volte per periodo**. Solo così si garantisce la corretta ricostruzione del segnale, a partire dai suoi campioni.



ALIASING

Quando la distanza temporale che separa i campioni uguaglia o supera il limite fissato dal teorema di Shannon-Nyquist, risulta impossibile ricostruire univocamente il segnale analogico originale dai suoi valori campionati dato che questi potrebbero appartenere a molteplici segnali : si indica questo fenomeno con il termine "aliasing" (dal termine latino **alias** traducibile con "altro, diverso ").



La quantizzazione

Da un punto di vista di principio, per quantizzare il segnale si deve innanzitutto definire il campo di valori entro cui il segnale deve mantenersi per permettere una corretta quantizzazione.

Per il campo sopra citato, chiamato "**campo di misura**" (**codominio del segnale analogico**) vengono usualmente considerate due alternative:

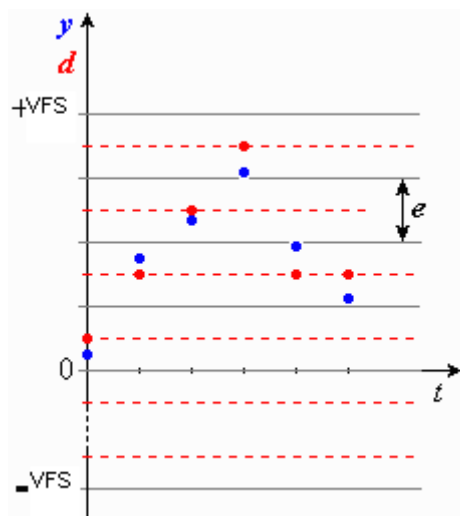
- **campo unipolare** con estremo inferiore nullo ed estremo superiore V_{FS} :
campo di misura = $[0, +V_{FS}]$
- **campo bipolare** con estremo inferiore $-V_{FS}$ ed estremo superiore $+V_{FS}$:
campo di misura = $[-V_{FS}, +V_{FS}]$

Definito il campo di misura lo si deve suddividere in un numero arbitrario (ma **finito**) di intervalli contigui.

Si individua poi il valore centrale di ciascun intervallo in cui è stato suddiviso il campo di misura. Si sostituisce infine al valore di ciascun campione il valore centrale dell'intervallo in cui esso si trova

Errore di quantizzazione

La alterazione (errore) che al massimo può essere apportata al valore di ciascun campione è pari alla **semi-ampiezza** dell'intervallo entro cui il valore del campione (analogico) si trova. Se si indica con il simbolo q l'ampiezza dell'intervallo , l'errore introdotto dalla fase di quantizzazione (chiamata "errore di quantizzazione") risulta essere pari a $\pm q / 2$.



Facendo riferimento ad una quantizzazione uniforme in L intervalli di uguale ampiezza, operata in un campo di misura bipolare $[-V_{FS}, +V_{FS}]$ si ha:

$$q = 2 V_{FS} / L$$

pertanto l' errore di qu antizzazione, che indichiamo con il simbolo ϵ , vale :

$$\epsilon = \pm V_{FS} / L \quad L = 2^N \quad \text{con } N = n \bullet \text{ di bit}$$

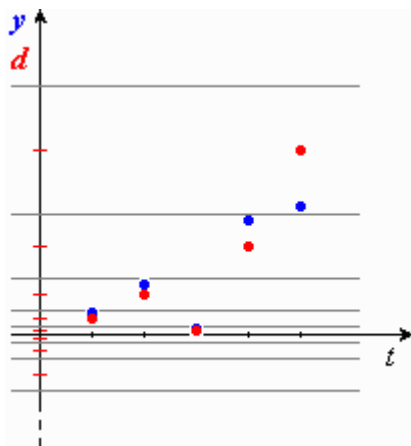
E' evidente che l'errore di quantizzazione può essere ridotto agendo sia sull'ampiezza del campo di misura, sia sul numero degli intervalli in cui questo viene suddiviso con quantizzazione uniforme.

E' poi altrettanto evidente che uno stesso valore dell'errore (assoluto) di quantizzazione ha un peso più o meno rilevante a seconda del valore del campione a cui si riferisce: **quanto più il valore del campione è piccolo, tanto maggiore è il valore dell'incertezza relativa di quantizzazione.**

Proprio per cercare di contenere a valori "accettabili" la incertezza relativa di quantizzazione sono state introdotte le quantizzazioni non uniformi.

Quantizzazione non uniforme: contenimento della massima incertezza relativa di quantizzazione

Nella quantizzazione non uniforme gli intervalli in cui viene suddiviso il campo di misura possono avere ampiezza che decresce mano a mano che il livello centrale dell'intervallo diminuisce: sono state sviluppate diverse quantizzazioni non uniformi, ciascuna delle quali caratterizzata per la legge con la quale varia l'ampiezza degli intervalli (leggi lineari, logaritmiche, ecc.).



In tutti i casi lo scopo è quello di **ridurre** l'errore assoluto per i campioni di **minor valore** lasciando invece errori assoluti maggiori per i campioni di maggior valore.

Quantizzazione non uniforme: contenimento dell 'errore assoluto di quantizzazione

Se non è possibile, per causa di altri vincoli progettuali, ridurre il campo di misura oppure aumentare il numero degli intervalli, non è possibile ridurre l 'errore assoluto di quantizzazione, ma si può tuttavia operare in maniera da ridurre il suo valore in un elevato numero di campioni.

Vi sono quantizzazioni non uniformi basate sullo studio statistico dell'andamento del segnale: in quei campi di valore in cui vi è la maggiore probabilità di riscontrare il valore dei campioni si attua un maggior numero di suddivisioni allo scopo di ridurre la incertezza assoluta di quantizzazione che affligge questi campioni.

Dato che essi rappresentano la maggiore parte del segnale campionato si ha comunque un beneficio, anche se alcuni campioni, che hanno valore esterno al campo finemente suddiviso, verranno ovviamente gravati da un'incertezza assoluta di quantizzazione di valore molto maggiore.

Il numero N di intervalli in cui suddividere il campo di misura è arbitrario, ma data la diffusione dei sistemi basati su aritmetica binaria è consuetudine adottare un **valore di N che sia una potenza di 2 oppure che risulti una potenza di 2 diminuita di una unità (es. $2^8-1 = 255$).**

La codifica

La fase di codifica consiste nell'associare ad ogni intervallo in cui è stato suddiviso il campo di misura, una parola (espressa in codice binario) che lo identifica in modo univoco.

Dal punto di vista misuristico non vi sono particolarità degne di nota, salvo il ricordare che il numero di bit usati per la codifica determina il numero massimo di intervalli in cui è possibile suddividere il campo pertanto influisce sul valore della incertezza di quantizzazione che può essere ottenuto.

Sono in uso diverse codifiche binarie fra le quali le più diffuse sono le seguenti :

- **binario puro** :

codifica usata per **campi unipolari** [0 , $+V_{FS}$] con la corrispondenza :

valore analogico [V] **valore digitale (N bit)**

0 000...000

($+ V_{FS} - q$) 111...111

- **binario con offset** :

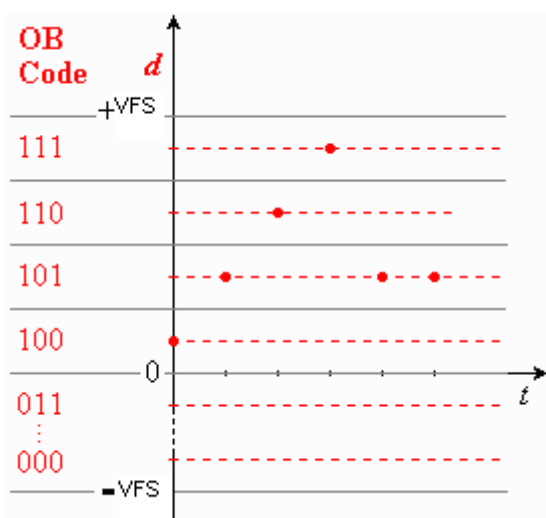
codifica usata per **campi bipolari** [$- V_{FS}$, $+ V_{FS}$] con la corrispondenza :

valore analogico [V] **valore digitale (N bit)**

$- V_{FS}$ 000...000

($+ V_{FS} - q$) 111...111

La figura sotto riportata mostra un esempio di codifica di tipo "**binario con offset**":



I 6 valori del segnale numerico rappresentati sono, nell'ordine con cui sono stati convertiti:
100, 101, 110, 111, 101, 101

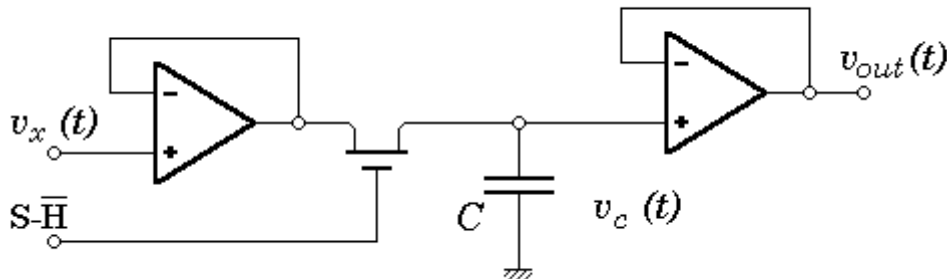
3. Il circuito Sample-Hold

Scopo del sample-hold

Il campionamento "elettronico" può essere eseguito mediante un dispositivo chiamato "**sample-hold**" il quale, acquisito il valore del segnale nell'istante di campionamento, usa un condensatore come **dispositivo di memorizzazione analogica** per mantenere costante il segnale applicato in ingresso al "quantizzatore / codificatore" (convertitore A / D)

Principio di funzionamento del sample-hold

Da un punto di vista estremamente semplificato si può schematizzare il funzionamento del componente sample-hold con il circuito mostrato nella figura sotto riportata.



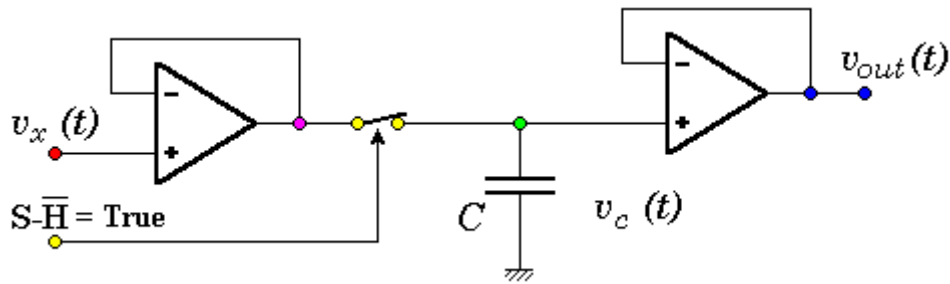
Due **inseguitori di tensione** disaccoppiano (separano elettricamente) la sorgente del segnale ed il circuito utilizzatore dalla capacità "*di memoria*" C che viene caricata tramite un interruttore bidirezionale realizzato con un transistor JFET.

Infatti quando l'interruttore è ON (**fase di SAMPLE**), il condensatore " vede " verso sx (cioè verso la sorgente) una R molto bassa (la R_{OUT} dell' A.O. + la R_{ON} del FET), mentre verso dx (verso il convertitore A / D) vede una R altissima (la R_{IN} dell' A.O.), quindi si carica molto velocemente , raggiungendo rapidamente la tensione del generatore di segnale che a sua volta è posto nella situazione ideale grazie alla R_{IN} altissima dell'inseguitore.

Quando il JFET è OFF (**fase di HOLD**) , il C vede sia verso sx che verso dx una R altissima , per cui **non** si può scaricare.

In questo modo riusciamo a campionare pressochè istantaneamente il segnale analogico e il campione viene mantenuto costante per tutto il tempo necessario al convertitore per quantizzarlo e codificarlo.

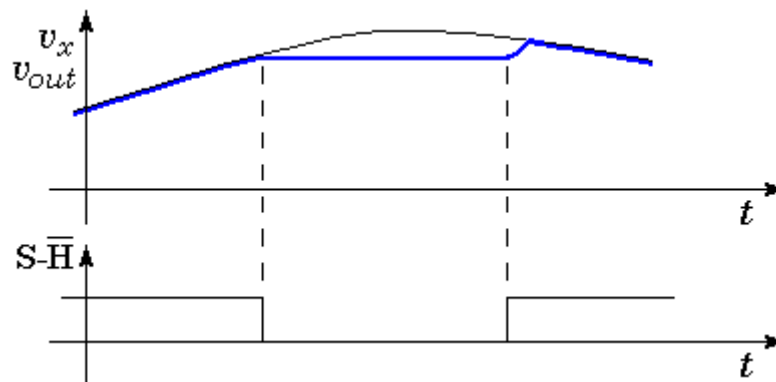
Finita la conversione del campione, si passa a una nuova fase di sample and hold. Da un punto di vista di principio si può schematizzare il JFET come un interruttore comandato elettricamente da un **treno di impulsi con periodo T_c** , come nello schema seguente:



Se la linea S-H assume un potenziale "alto" (assumendo così lo stato logico "vero", cioè **1**), la tensione $v_c(t)$ ai capi della capacità C risulta seguire l'andamento della $v_x(t)$.

In questa situazione la carica elettrica Q immagazzinata nella capacità di memoria C risulta essere in ogni istante t direttamente proporzionale al valore di $v_x(t)$:

$$Q(t) = C \cdot v_x(t)$$



Nell'istante i -esimo di campionamento ($t = i \cdot T_c$) in cui si desidera acquisire un campione di $v_x(t)$ basta portare la linea S-H ad un potenziale "basso" (cioè allo stato logico "falso", cioè **0**): in questo modo il JFET risulta interdetto.

La carica immagazzinata sulle armature di C non può più modificarsi dato che gli unici percorsi attraverso i quali si potrebbe avere una circolazione di cariche sono costituiti dal **JFET interdetto** (resistenza idealmente infinita) e dall'**inseguitore di tensione** posto a dx (resistenza di ingresso idealmente infinita).

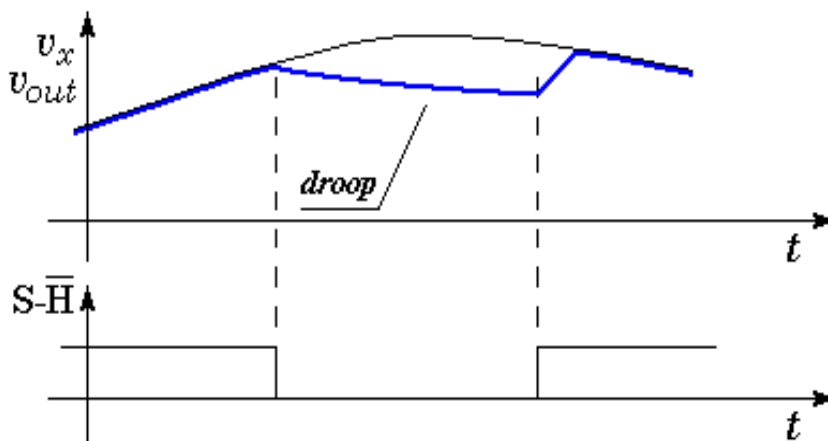
In questa situazione si ha allora : $v_c(t) = Q(i \cdot T_c) / C$ **per qualsiasi** $t > i \cdot T_c$

Terminata la fase di quantizzazione / codifica, basta riportare S-H a **1** per fare in modo che la tensione $v_c(t)$, dopo un breve transitorio, torni a seguire il segnale di ingresso $v_x(t)$

Cause di errore del sample-and-hold

Come tutti i componenti reali il sample-and-hold è fonte di alterazione del segnale, pertanto è causa di errore.

- Una prima causa di incertezza è costituita dalla realtà fisica dei due inseguitori che rende la tensione di uscita di ciascuno di loro **leggermente diversa** da quella di ingresso.
- Una seconda causa di errore è dovuta alla **banda passante non infinita** del dispositivo: anche ipotizzando di usare inseguitori di tensione dotati di banda illimitata si deve ricordare che il FET in conduzione presenta una resistenza parassita, **in serie**, **non nulla**. La presenza di una tale resistenza parassita R_{ON} e della capacità di memoria C porta a costituire all'interno del sample-and-hold un **filtro "passa-basso"** con una costante di tempo pari a $R_{ON} \cdot C$ (e $f_t = 1 / 2\pi R_{ON} C$)
- Una ulteriore causa di errore è dovuta al fatto che un condensatore reale presenta una pur modesta, ma non nulla, **corrente di conduzione all'interno del dielettrico (isolante)** interposto fra le armature, che permette una perdita di carica. A questa corrente si deve poi aggiungere quella che fluisce verso massa attraverso la resistenza parassita di ingresso dell'inseguitore di tensione posto in uscita al sample-and-hold e quella che fluisce attraverso il FET che, anche se interdetto, non risulta essere un circuito "perfettamente aperto". Per effetto di queste correnti si ha una lenta, ma inesorabile perdita delle cariche, pertanto **la tensione $v_c(t)$ non resta perfettamente costante**, ma presenta una variazione che si può supporre retta da una legge esponenziale chiamata "*droop*".

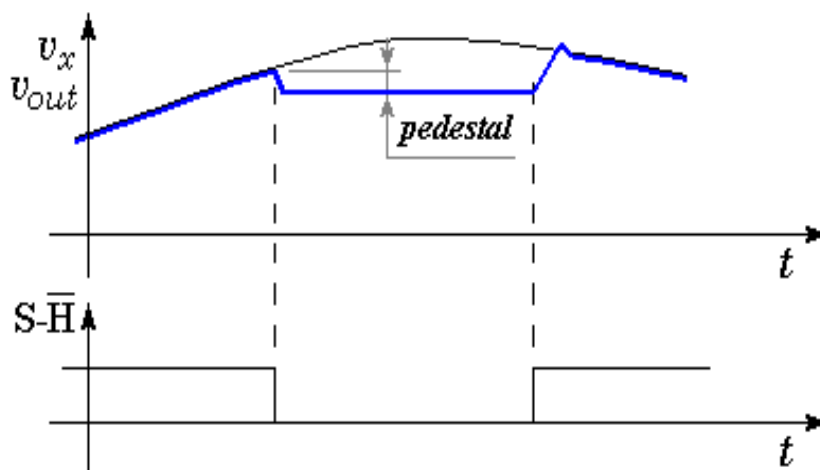


Volendo ridurre la velocità di variazione della $v_c(t)$ senza intervenire sul FET e sull'inseguitore di tensione di uscita non si può fare altro che aumentare il valore della capacità di memoria C in modo da rendere percentualmente minore la carica perduta rispetto a quella immagazzinata.

Questa operazione, però, contribuisce a ridurre ulteriormente la banda passante del dispositivo per quanto detto poco sopra. Vi è poi una ulteriore causa di incertezza il cui effetto si manifesta con una più o meno marcata diminuzione a gradino della tensione $v_c(t)$ in corrispondenza della **transizione di livello della linea S-H** , che ha luogo nell'istante di campionamento.

Questa diminuzione viene indicata con il nome di "*pedestal* " oppure con l'espressione "*hold-step*" (gradino di hold) ed è provocata dalla presenza della capacità parassita C_{dg} fra *drain* e *gate* del FET.

Nella figura sotto riportata in cui viene mostrato lo hold-step, per chiarezza grafica si considera trascurabile il droop.



Per diminuire lo hold step si dovrebbe aumentare il valore C della capacità di memoria ma, come abbiamo già visto, il suo valore viene limitato per non fare diminuire troppo la banda del dispositivo.

4. PARAMETRI DEI CONVERTITORI A/D

I parametri e i dati caratteristici principali che definiscono le prestazioni dei convertitori A/D sono:

- ◆ **Dinamica della tensione di ingresso (Range di IN)** : rappresenta il campo di valori consentiti per la tensione di ingresso.
- ◆ **Impedenza di ingresso**: la gamma di valori si estende da 1 [k Ω] a 1 [M Ω]
- ◆ **Configurazione dei dati di uscita** : riguarda i livelli di tensione e corrente, il codice, il formato.
- ◆ **Tempo di conversione** : i valori variano dal centinaio di **ms** a qualche **ns** per dispositivi di altissima velocità.
- ◆ **Risoluzione** : rappresenta la più piccola variazione del segnale analogico che può essere captata dal convertitore, provocando la variazione in uscita del bit meno significativo(**LSB**)
- ◆ **Precisione** :fornisce la misura dello **scarto massimo** fra i valori di tensione analogica **reale** ed **ideale** richiesti per ottenere un dato valore digitale in uscita.
- ◆ **Errore di linearità** : è la deviazione massima della curva di trasferimento reale (**OUT** digitale in funzione di **IN** analogico, detta anche **Transcaratteristica**) rispetto alla retta passante per i punti estremi 0 [V] e V_{FS} , retta che interpola la curva di trasferimento ideale.
- ◆ **Errore di linearità differenziale** : esprime la massima variazione dell' ampiezza della fascia di valori analogici corrispondente ad un dato valore digitale rispetto all'ampiezza teorica (LSB). In altre parole , questo errore provoca un' altezza dei vari gradini **non costante** e quindi un 'altezza non costante dei vari gradini della caratteristica.
- ◆ **Errore di offset** : fa in modo che la curva di trasferimento reale **non** passi per l'origine.
- ◆ **Errore di guadagno**: corrisponde alla differenza di pendenza fra la curva di trasferimento ideale e quella reale.
- ◆ **Coefficienti di temperatura** : specificano l'instabilità dei vari parametri al variare della temperatura

5. CLASSIFICAZIONE ADC

- **In base alla struttura circuitale :**
 - ◆ a comparazione in parallelo
 - ◆ a retroazione
 - ◆ a integrazione
- **In base al tempo di conversione , dal più veloce , al più lento :**
 - ◆ ADC flash
 - ◆ ADC a successive approssimazioni (a retroazione)
 - ◆ ADC a doppia rampa (a integrazione)
- **In base alla precisione :** in ordine inverso al tempo di conversione

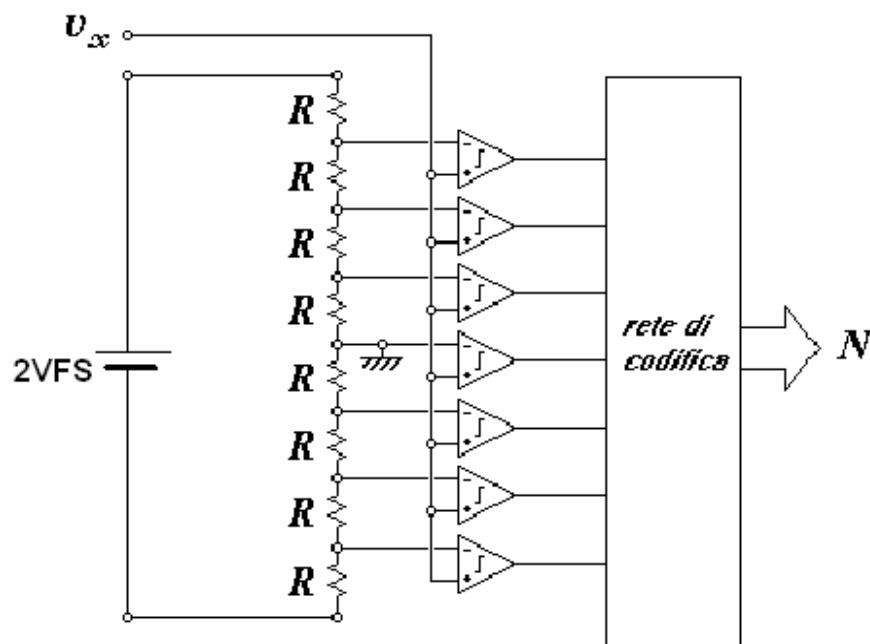
6. VARIE ARCHITETTURE A / D

1. Convertitore A/D parallelo o "flash"

Schemi elettrici di principio

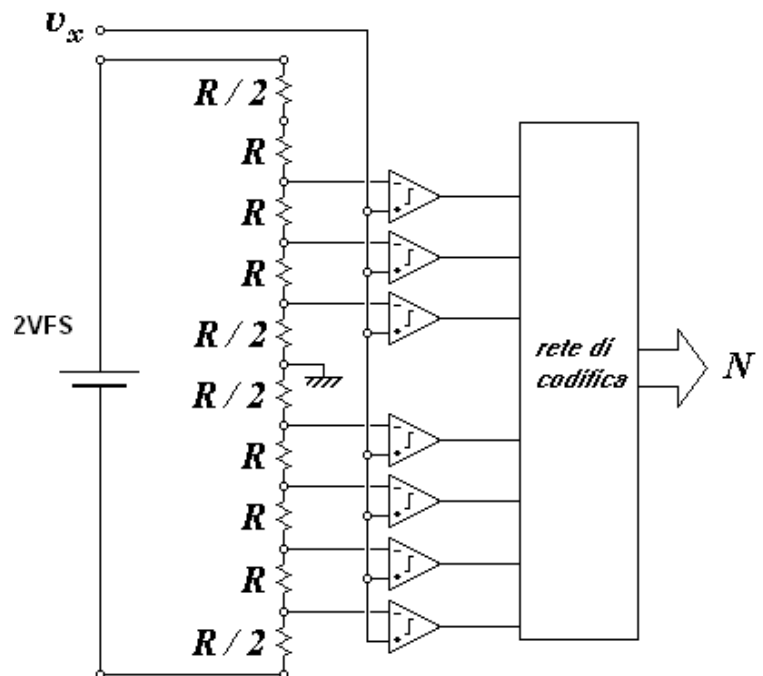
Il convertitore flash opera come circuito quantizzatore / codificatore. Si possono realizzare schemi che attuano quantizzazioni uniformi , su un **campo di misura bipolare** :

schema a)



schema b)

In tutti i casi il dispositivo è costituito da un partitore resistivo che genera le tensioni corrispondenti agli estremi degli intervalli in cui è stato suddiviso b il campo di misura, da una schiera di comparatori analogici e da una rete combinatoria che ha il compito di eseguire la codifica del valore di uscita.

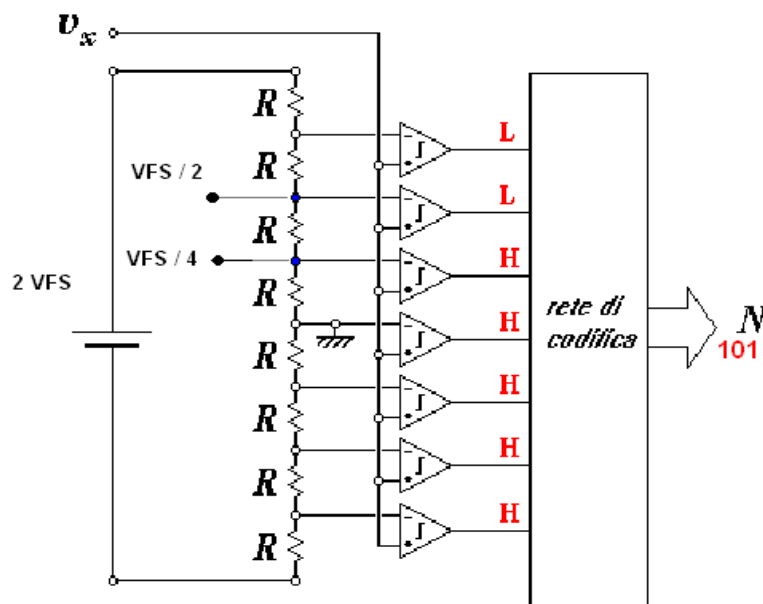


Funzionamento

Il funzionamento è estremamente semplice e rispecchia esattamente il processo di quantizzazione già descritto: ciascun comparatore della schiera confronta il valore della tensione di ingresso, applicata sull' IN **non invertente**, con il valore di soglia V_s fornito sull' IN **invertente** dal corrispondente nodo del partitore resistivo, per verificare se v_x è maggiore o minore. Come risultato si avrà un gruppo di comparatori con uscita al livello **H** ($v_x > V_s$) ed un altro gruppo con uscita al livello **L** ($v_x < V_s$): la coppia di comparatori "di frontiera" individua l'intervallo di tensioni entro cui si trova v_x .

La rete combinatoria ha semplicemente il compito di codificare tale informazione nel formato binario prescelto (binario puro, binario con offset, binario in complemento a due, Gray, BCD ecc.)

es:



Nell'esempio sopra riportato, in cui la rete di codifica utilizza la **codifica binaria con offset**, il valore della tensione incognita V_x risulta appartenere all'intervallo $[1/4 V_{FS}, 1/2 V_{FS}]$.

Appare evidente dall'esame degli schemi circuitali sopra riportati che le situazioni che vedono la tensione incognita inferiore alla tensione di confronto minima (uscita di tutti i comparatori al livello **L**) oppure superiore alla tensione di confronto massima (uscita di tutti i comparatori al livello **H**) devono essere considerate come "**non valide**" in quanto potenzialmente fuori campo di misura.

La rete combinatoria ha semplicemente il compito di codificare tale informazione nel formato binario prescelto (binario puro, binario con offset, binario complementato a due, gray, bcd, ecc.).

Cause di errore

Come tutti i dispositivi reale anche il convertitore A/D flash è fonte di incertezza : all'errore di quantizzazione, intrinseco nel processo di conversione ed **ineliminabile**, si aggiungono le incertezze provocate dalle seguenti cause:

- instabilità a lungo termine di V_{FS}
- non linearità del partitore resistivo provocata dalle differenze fra i valori dei resistori che lo costituiscono.
Le variazioni di resistenza prodotte dalla temperatura (**Deriva termica**) possono invece non influire se i resistori hanno tutti lo stesso coefficiente di temperatura e e la medesima temperatura.
- sensibilità non infinita ed offset non nullo dei comparatori

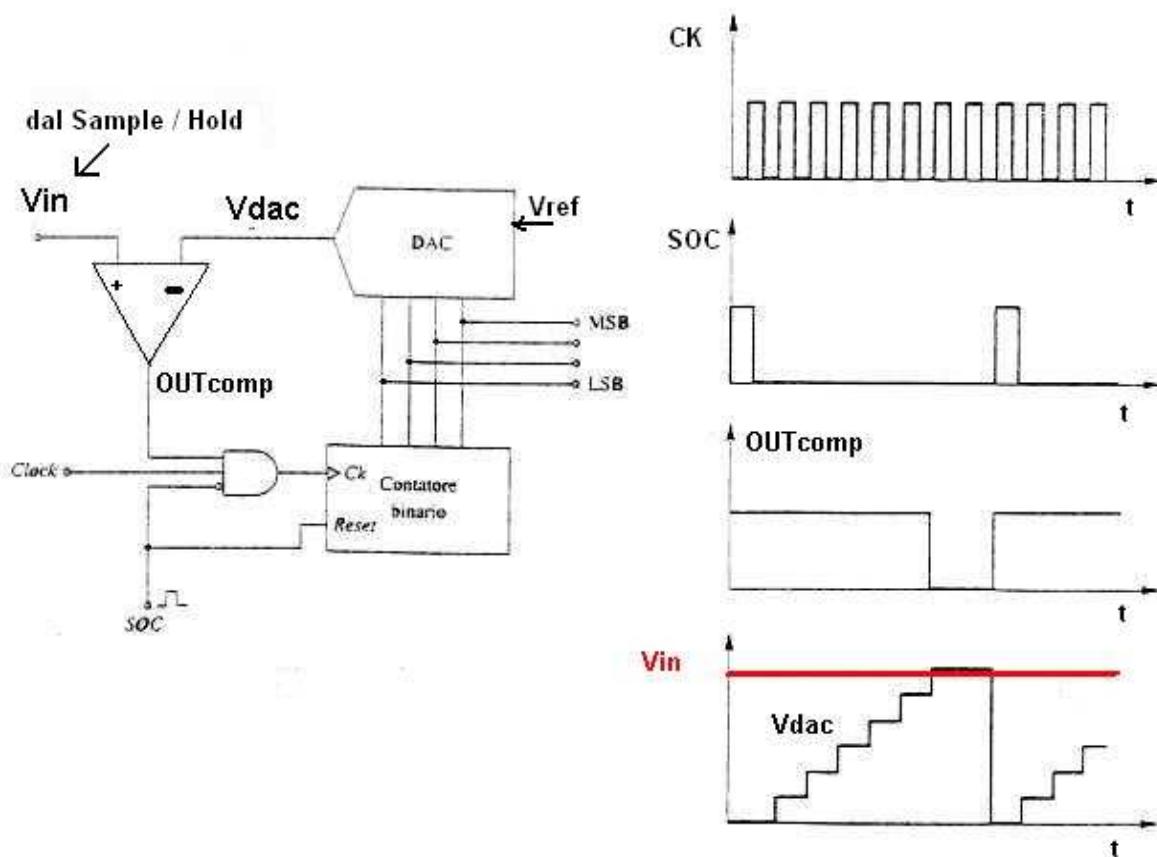
Pregio principale

Rapidità di conversione (**10 ns per 8 bit**), che permette frequenze di campionamento che possono arrivare fino al **centinaio di MHz**.

Difetto principale

Elevato numero di componenti elementari che è necessario **integrare** sul chip per ottenere una prestabilito errore di quantizzazione. Considerando che per realizzare un convertitore a **8 bit**, con cui è possibile suddividere il campo di misura in solo **256** intervalli, sono necessari ben **256** resistori, **255** comparatori ed una rete di codifica a **255** ingressi ed **8** uscite, si comprende perchè questi convertitori vengano usati solamente in quelle applicazioni in cui il contenimento dell'errore di quantizzazione non è un requisito prioritario.

2. Convertitori a retroazione :



- **2 a) Convertitore a rampa digitale (a gradinata)**

- Un convertitore a conteggio è composto da un contatore binario, un convertitore D/A e un comparatore, oltre che alla logica di controllo e temporizzazione.

Funzionamento : il comando di conversione **SOC** inizializza il sistema azzerando il contatore tramite l'ingresso di **Reset** e abilitando successivamente, tramite la porta **AND**, il conteggio degli impulsi di clock.

L' uscita del contatore, convertita dal DAC, fornisce una tensione **Vdac** crescente con andamento a gradinata, per questo motivo viene anche chiamato convertitore a rampa digitale.

Quando questa tensione raggiunge e supera lievemente il valore di **Vin**, il comparatore commuta portando **OUT_{comp}** a **0** e disabilitando il conteggio.

Il numero di impulsi conteggiati dal contatore è proporzionale a **Vin** e il tempo di conversione dipende dal valore di **Vin**

(si assume come tempo di conversione quello relativo al caso peggiore , cioè $V_{in} = V_{ref}$, per cui $T_{conv} = 2^N * T_{CK}$)

Per una data frequenza di campionamento e per un dato numero di bit d'uscita, il convertitore a conteggio richiede una frequenza di clock **molto più elevata** di quella utilizzata da un convertitore ad approssimazioni successive.

Per **N** bit di uscita occorre prevedere un tempo di conversione pari a 2^N cicli di clock Perciò i convertitori a rampa digitale si prestano per applicazioni in cui la frequenza di campionamento sia **inferiore a 100 [kHz]**

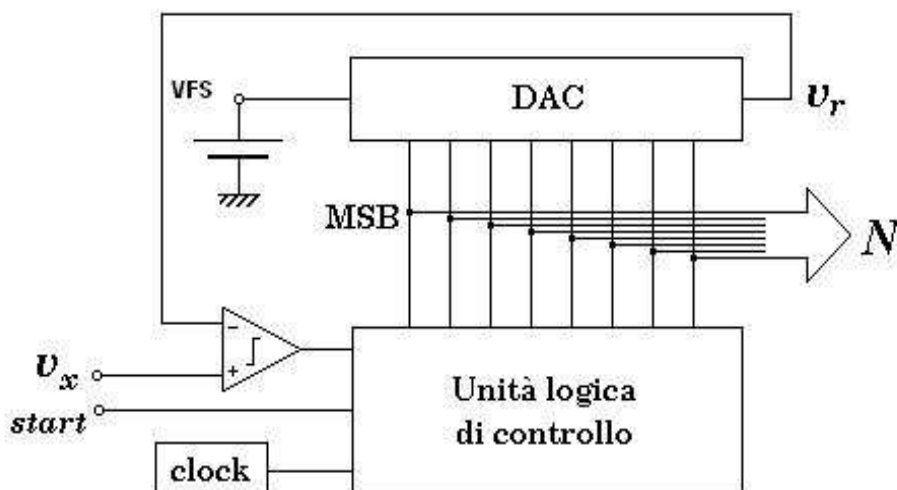
2 b) Convertitore A / D "a successive approssimazioni"

Schema elettrico di principio

N.B.

Nello schema seguente (e nella descrizione del funzionamento del dispositivo) si considera un campo di misura "unipolare" non negativo [0, V_{FS}] .

Volendo realizzare campi bipolari [$-1/2 V_{FS}$, $+1/2 V_{FS}$] sarà necessario introdurre una semplice modifica circuitale.



Il convertitore a successive approssimazioni è composto da **4** principali elementi:

- un generatore campione di f.e.m. V_{FS}
- un convertitore "digitale/analogico" **DAC** con ingresso a **N** bit che dà in uscita un segnale analogico v_T il cui valore è proporzionale al prodotto fra il valore di V_{FS} ed il valore numerico **N** posto al suo ingresso
- un comparatore
- una unità logica di controllo **ULC** che può variare il valore numerico **N** secondo una particolare strategia. E' un Registro ad approssimazioni successive (**SAR**).

Nel circuito è poi presente anche un oscillatore locale (**clock**) che cadenza il susseguirsi delle fasi di conversione. Come si potrà vedere la frequenza di oscillazione di questo dispositivo non è causa di incertezza pertanto si può usare anche un dispositivo a rete RC senza penalizzare le prestazioni del dispositivo.

Funzionamento

Il convertitore a successive approssimazioni opera mediante una ricerca del valore attuata a passi sempre più fini (**RICERCA DICOTOMICA**).

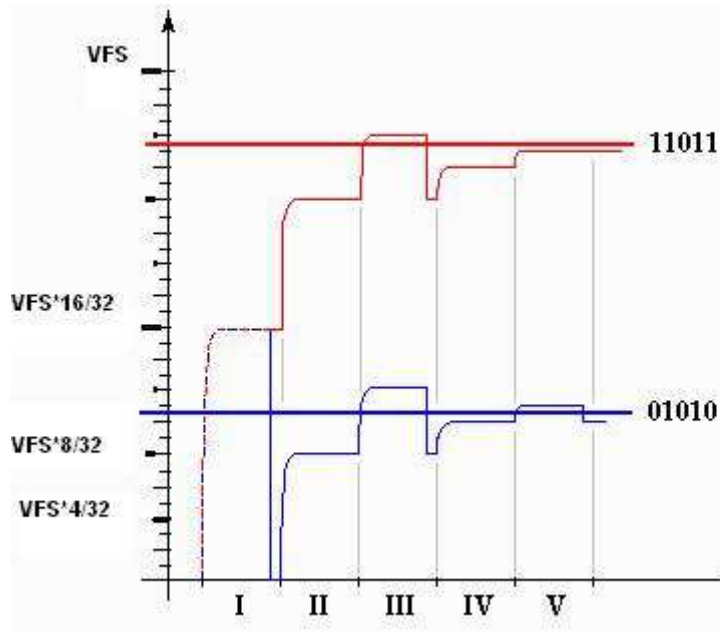
- Inizialmente, rispondendo al comando di start ed al successivo primo impulso del clock, la **ULC** pone in ingresso al **DAC** una parola binaria **N** con il bit più significativo **MSB** al livello **H** e tutti gli altri al livello **L**
- il **DAC** genera quindi una tensione v_r il cui valore è fornito da
$$V_{FS} 2^{n-1} / 2^n = 1/2 V_{FS}$$
- il comparatore confronta il segnale di ingresso v_x con il segnale di riferimento v_r : una uscita al livello **H** segnala che v_x è maggiore di v_r
- al successivo impulso di clock la **ULC** esamina lo stato della uscita del comparatore per determinare se v_x è maggiore o minore di v_r . In funzione del risultato del confronto la **ULC** decide come fissare il valore del bit più significativo di **N** :

se v_x è maggiore di v_r il bit viene stabilmente fissato al livello **H**,

se v_x è minore di v_r il bit viene riportato e fissato al livello **L**;

- immediatamente dopo aver fissato il livello del bit più significativo la **ULC** porta al livello **H** il secondo bit (a partire dal **MSB**)
- il **DAC** genera quindi una tensione v_r che assume due diversi valori a seconda dello stato di **MSB**:
 - se **MSB = L** si ha $v_r = 1/4 V_{FS}$
 - se **MSB = H** si ha $v_r = 1/2 V_{FS} + 1/4 V_{FS} = 3/4 V_{FS}$
- il comparatore confronta il segnale di ingresso v_x con il nuovo segnale di riferimento v_r ed al successivo impulso di clock la **ULC**, in base all'uscita del comparatore, stabilisce a quale livello fissare il livello del secondo bit in analogia a quanto fatto al punto 4.
 - se v_x è maggiore di v_r il secondo bit viene stabilmente fissato al livello **H**,
 - se v_x è minore di v_r il secondo bit viene riportato e fissato al livello **L**
- il ciclo poi riprende dal punto 5. con la **ULC** che agisce, in successione, su tutti i bit di cui dispone.
- la conversione ha termine quando la **ULC**, operato l'ultimo esame dell'uscita del comparatore, stabilisce a quale livello fissare l'ultimo bit, quello "meno significativo" o **LSB**:
 - se v_x è maggiore di v_r lo **LSB** viene stabilmente fissato al livello **H**,
 - se v_x è minore di v_r lo **LSB** viene riportato e fissato al livello **L**

- Nella figura sotto riportata viene mostrato l'andamento della tensione v_r in due casi diversi basato sull'ipotesi di disporre di un DAC a 5 bit; la codifica usata è quella di tipo "binario puro":
- nel diagramma tracciato in blu la tensione di ingresso v_x appartiene all'intervallo $[V_{FS} \cdot 10 / 32 , V_{FS} \cdot 11 / 32]$
- nel diagramma tracciato in rosso la tensione di ingresso v_x appartiene all'intervallo $[V_{FS} \cdot 27 / 32 , V_{FS} \cdot 28 / 32]$



Cause di errore

Come tutti i dispositivi reali anche il convertitore A/D a successive approssimazioni è fonte di errore: all' errore di quantizzazione, **intrinseco nel processo di conversione ed ineliminabile** , si aggiungono le incertezze provocate dalle seguenti cause:

- instabilità a lungo termine di V_{FS}
- non linearità del DAC.
- sensibilità non infinita ed offset non nullo del comparatore

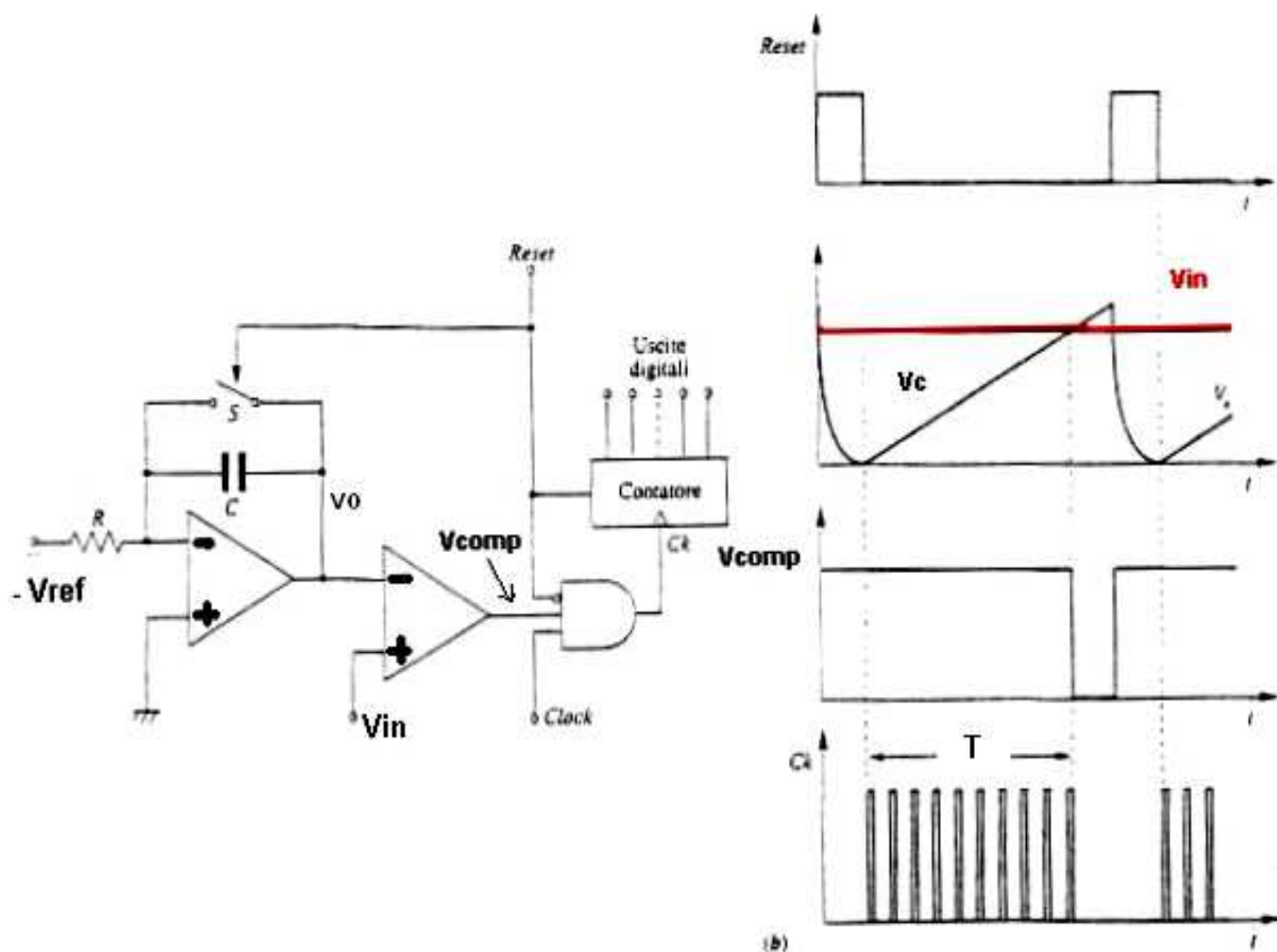
Pregi principali

- elevata risoluzione (fino a **18 bit**)
- relativa rapidità di conversione (**10 μ s per 16 bit**)
- economicità

3. Convertitori ad integrazione

Esistono due tipi di convertitori ad integrazione: convertitori ad una rampa e quelli a doppia rampa.

3 a) Convertitore ad una rampa:



Questo convertitore viene anche chiamato convertitore *tensione-tempo* dal momento che, contando i cicli di clock, fornisce la misura dell' intervallo di tempo T proporzionale a V_{in} .

Funzionamento : il segnale analogico V_{in} da convertire è confrontato con il segnale a rampa generato da un circuito integratore a cui è applicata una particolare tensione di riferimento costante e negativa : $-V_{ref}$

Finché la tensione incognita V_{in} è maggiore di V_o , l'uscita del comparatore è a livello alto (1) e abilita il conteggio del contatore binario ad N bit, a cui viene inviato un segnale di clock a frequenza fissa.

Quando v_o supera V_{in} , il comparatore commuta al livello basso(**0**) e il contatore si blocca, mantenendo memorizzato il numero conteggiato, che sarà tanto più grande quanto più alto è il valore di V_{in} (**e quanto più grande è il tempo necessario alla rampa per raggiungere V_{in}**).

L'interruttore **S**, comandato da un opportuno segnale di controllo o di **Reset**, chiudendosi provvede a scaricare velocemente il condensatore portando a **0** l'uscita v_o .

Lo stesso segnale di **Reset** contemporaneamente disabilita il conteggio e azzerà il contatore.

Poiché l'uscita dell'integratore è espressa come

$$v_o = - (-V_{ref}) * t / RC$$

e la commutazione avviene quando, passati T secondi, $v_o = V_{in}$, il numero N_x a cui arriva il contatore nell'intervallo **T** (**n° di cicli di CK contati nell'intervallo T**), sarà fornito dalla formula precedente avendo sostituito t con T e v_o con V_{in} :

$$V_{in} = V_{ref} * T / RC = V_{ref} * N_x T_{ck} / RC$$

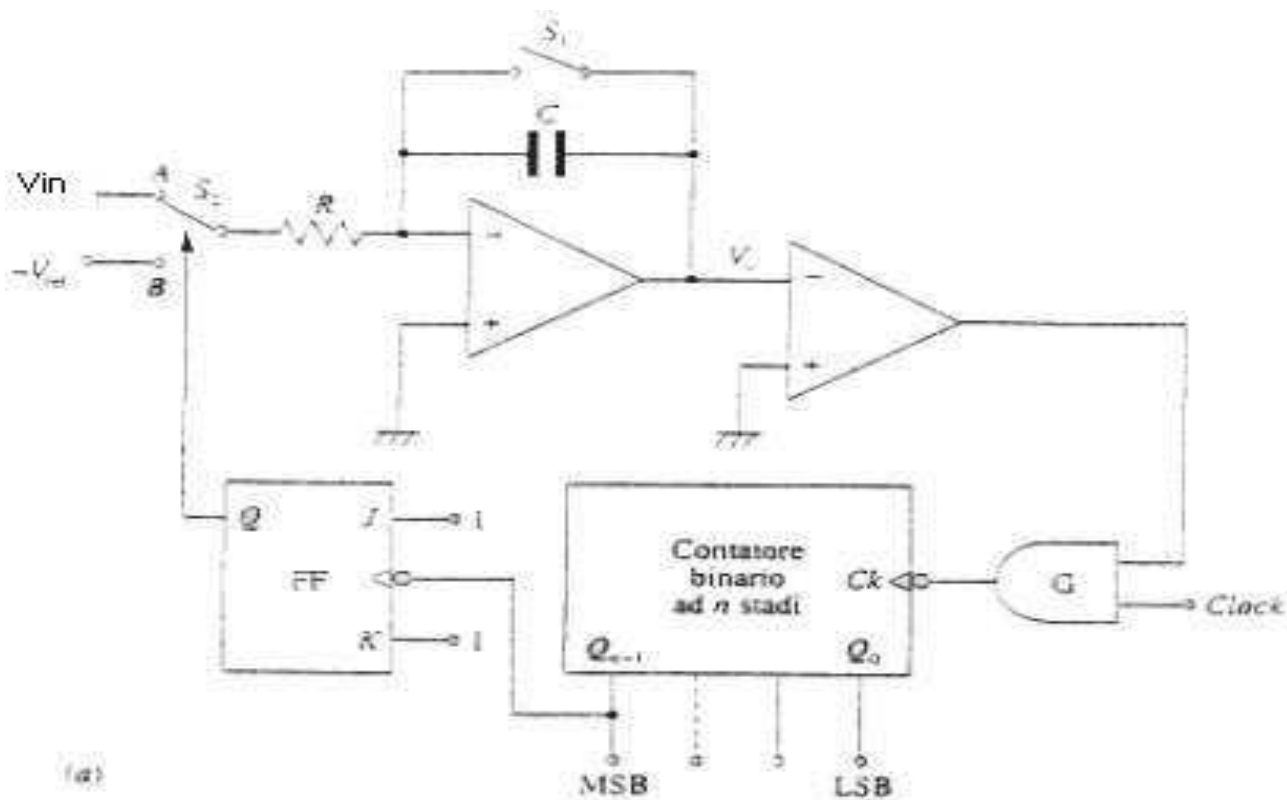
$$N_x T_{ck} = (V_{in} / V_{ref}) * RC$$

$$N_x = (V_{in} / V_{ref}) * RC * 1 / T_{ck}$$

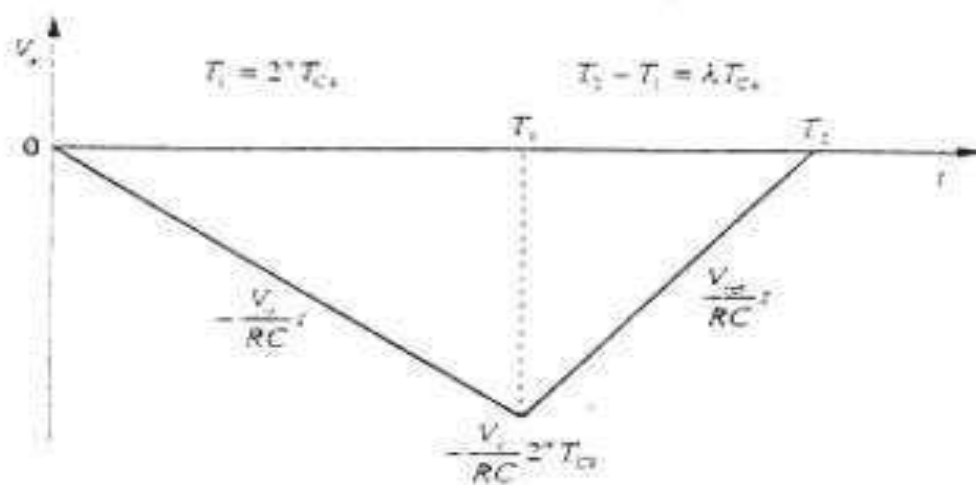
La precisione e la stabilità sono piuttosto limitate dal momento che i valori forniti da questo convertitore dipendono dalla frequenza di clock, dalla costante di tempo RC dell'integratore, dalla tensione di riferimento V_{ref} .

3 b) Convertitori a doppia rampa

Gli inconvenienti appena enunciati vengono superati ricorrendo al convertitore a doppia rampa.



(a)



(b)

Funzionamento

All'inizio del processo di conversione, dopo che il sistema è stato azzerato, il commutatore S_1 si trova nella posizione A e la tensione campionata V_{in} , in questo caso positiva, è applicata all'ingresso dell'integratore. La tensione di uscita di quest'ultimo sarà una rampa negativa $V_o = V_{in} * t / RC$. L'uscita del comparatore si mantiene quindi alta e abilita il conteggio degli impulsi di clock, di periodo T_{ck} , da parte del contatore binario ad N stadi.

Il conteggio prosegue per 2^N cicli di clock, finché la commutazione a zero di tutte le uscite del contatore non porta ad **1** l'uscita del flip flop FF.

A questo punto S_1 viene commutato nella posizione **B** e all'ingresso dell'integratore si presenta la tensione di riferimento $-V_{ref}$, di polarità opposta a quella di V_{in} . L'uscita dell'integratore, che ha raggiunto il valore $-V_{in}T_1/RC$, comincia a salire con pendenza V_{ref} / RC . Il contatore conta fino a quando l'uscita dell'integratore, raggiungendo il valore **0**, fa commutare il comparatore al livello alto, così da ristabilire il segnale di clock.

Il numero N_x memorizzato nel contatore è proporzionale al valore di V_{in} . Si noti infatti che durante la rampa ascendente la pendenza è fissa e indipendente dal valore di V_{in} ;

La durata di questa rampa $T_2 - T_1 = N_x T_{Ck}$, dipende però dal valore di tensione a cui è scesa in precedenza l'uscita dell'integratore, ovvero da V_{in} .

Si avrà :

$$V_{in} / RC * T_1 = V_{ref} / Rc * (T_2 - T_1)$$

Ricordando che $T_1 = 2^n T_{Ck}$ e $T_2 - T_1 = N_x T_{ck}$, si ottiene :

$$V_{in} * 2^n T_{Ck} = V_{ref} * N_x T_{ck} \quad \text{da cui :}$$

$$N_x = V_{in} / V_{ref} * 2^n$$

Il sistema funziona correttamente se $V_{in} < V_{ref}$; se poi $V_{ref} = 2^n$, N_x indica indirettamente il valore numerico di V_{in} .

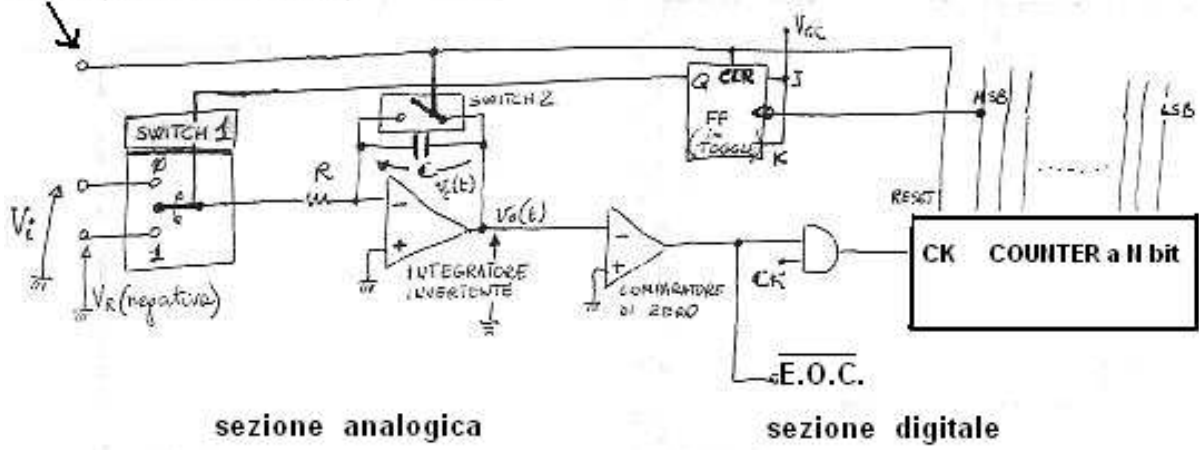
Naturalmente alla fine del conteggio il dato digitale N_x viene memorizzato in un registro di uscita, il contatore e il flip flop FF vengono azzerati e il condensatore C scaricato mediante la chiusura di S_2 . Il sistema è così pronto per una nuova conversione.

Questo convertitore offre notevole precisione e stabilità se la tensione di riferimento è precisa e stabile; non è invece critica la frequenza del segnale di clock purché sia stabile durante ciascun ciclo di conversione. Inoltre si deve osservare che l'integrazione del segnale da convertire consente una notevole riduzione dei disturbi alternativi ad esso sovrapposti.

Questo convertitore presenta però l'inconveniente di un tempo di conversione elevato e dipendente dall'entità del segnale analogico di ingresso; viene perciò usato in sistemi di misura dove la velocità non è un parametro di primaria importanza.

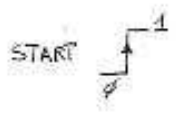
Le principali limitazioni del convertitore descritto sono dovute alle correnti di perdita degli interruttori, alla tensione di offset e alle correnti di polarizzazione dell'operazionale.

s.o.c. (start conversion)

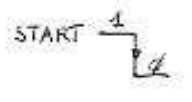


sezione analogica

sezione digitale



- 1) SW2 si chiude e cortocircuita il condensatore dell'integratore, scaricandolo, in modo che $v_c^{\text{INIZIALE}} = 0 [V]$
- 2) l'uscita Q del FF-JK va a 0 (clear attivato) e comanda lo switch 1, portandolo sull'ingresso V_i analogica
- 3) viene azzerato il contatore tramite l'ingresso di Reset (attivo alto)



- 1) si apre lo SWITCH 2, l'integratore inizia a integrare la tensione V_i applicata ad R; la tensione d'uscita $v_o(t) = -v_c(t)$ è una rampa discendente e negativa, essendo V_i un valore di tensione positivo, mantenuto costante per tutto il tempo di conversione; $v_c(t) = \frac{1}{RC} \int_0^t V_i dt + v_{c(\text{iniz})} = \frac{V_i}{RC} t$; $v_o(t) = -\frac{V_i}{RC} t$
- 2) la V^- del comparatore è perciò negativa, OUT COMP = 1, AND fa passare il CK (onda quadra = 1 = onda quadra), il COUNTER conta fino alla configurazione massima (tutti 1), impiegando un tempo pari a $2^N T_{CK}$.
- 3) il successivo ciclo di CK fa passare MSB da 1 a 0 e questo fronte di discesa riduce al FF-JK di cambiare stato e portare l'uscita Q a 1. (il FF è un TOGGLE)
- 4) lo SW1 si collega a V_R (negativa), parte una rampa crescente (ancora negativa, però) ; $v_o(t) = \frac{1}{RC} \int_0^t V_R dt + v_{o(\text{min})}$; la $v_o(t)$ è una rampa comprendesi positiva (V_R è negativo, $v_o(t) = -v_c(t)$) che parte però da un valore di tensione $V_{o(\text{min})}$ negativo, che è il valore di tensione raggiunto dalla rampa discendente del 1°
- 5) quando $v_o(t)$ supera lo zero, OUT COMP = 0, si blocca il COUNTER e il CODICE BINARIO al suo interno è uguale al n° di cicli di clock necessari per far arrivare la II° rampa a zero. $\overline{E.O.C.}$ segnala, con un livello basso, la fine conversione.

Perciò il contatore effettua due cicli di conteggio : nel primo conta da N zeri a N UNIT ($N = n^{\circ}$ di BIT) e nel frattempo l'integratore genera una rampa discendente con durata fissa ($2^N T_{CK}$) e pendenza dipendente da V_i (questo valore sarà in genere diverso ad ogni nuova conversione, perciò abbiamo che questo

Tipo di A/D genera una prima serie di rampe con durata fissa ($2^N T_{CK}$) e pendenza "variabile", pari a $\frac{V_i}{RC}$ (e V_i a variare di volta in volta).

Sia chiaro però che, per ogni conversione, il valore di V_i è mantenuto costante! La prima rampa, quindi, scende fino a un livello minimo di tensione pari a

$$V_{0 \min} = -\frac{V_i}{RC} 2^N T_{CK}$$

Subito dopo il contatore ricade e l'integratore comincia a integrare il valore negativo (fisso) V_R .

La II^a rampa (crescente), partendo da $V_{0 \min}$, impiega un certo tempo a raggiungere lo zero, mentre il contatore conta un certo n° di clock.

$$V_0^{II}(t) = -\frac{V_R}{RC} t + V_{0 \min}$$

Determiniamo il tempo necessario a raggiungere lo zero (FINE CONVERSIONE), durante il quale il contatore conta N_x clock:

$$0 = -\frac{V_R}{RC} (N_x T_{CK}) - \frac{V_i}{RC} 2^N T_{CK}$$

$$0 = -V_R N_x - V_i 2^N \Rightarrow N_x = -\frac{V_i 2^N}{V_R}$$

Esempio:
$$\begin{cases} V_i = 5,7 [V] \\ V_R = -10 [V] \\ N = 8 \end{cases}$$

$N_x \equiv N^{\circ}$ BINARIO PRESENTE NEL CONTATORE E COLLEGATO AL VALORE DI $V_i \Rightarrow (N_x)_{10} = -\frac{5,7}{-10} 2^8 = +0,57 \cdot 256 = 145,92 \Rightarrow (146)_{10}$

cioè $(10010010)_2$

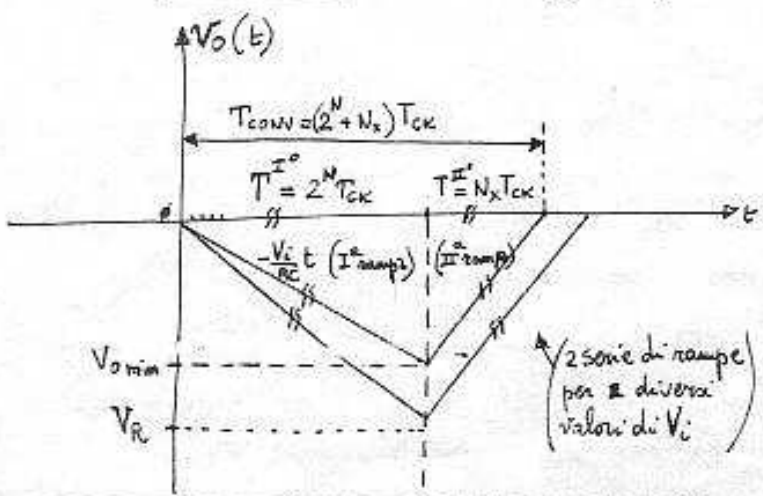
Bisogna sempre approssimare per eccesso; infatti se prendiamo $N_x = (145)_{10}$, otteniamo

$$-V_R N_x - V_i 2^N = +10 \cdot 145 - 5,7 \cdot 256 = 1450 - 1459,2 = -9,2$$

cioè la rampa non ha ancora raggiunto lo zero e il comparatore non può cambiare stato, bloccando il contatore. Invece con $N_x = 146$, la rampa raggiunge e supera lo zero e finisce la conversione.

Per ciò $N_x = K V_i$ con $K = -\frac{2^N}{V_R}$

I^a serie di rampe: durata fissa, pendenza "variabile",
II^a serie di rampe: pendenza fissa, durata "variabile",



N.B.: i valori di RC non influenzano la conversione!

Ovviamente, la risoluzione dell'A/D è pari al $q = \frac{V_R}{256} = \frac{10}{256} \approx 39 [mV]$; ciò vuol dire che tutti i valori di V compresi in una fascia di 39 [mV] avranno lo stesso codice digitale.

Es: $0 < V_i < 39 [mV] \Rightarrow N_x = (00000001)_2$
 $564 < V_i < 5,703 [V] \Rightarrow N_x = (10010010)_2$

Il tempo di conversione dipende dal valore di V_i ; perciò ci si mette nel caso peggiore: $V_i = 10V = -V_R \Rightarrow T_{conv} = 2 \cdot 2^N T_{CK} = 2 T_{CK}$

Quesiti di ricapitolazione

- La conversione A/D
 - Quale è lo scopo della conversione A/D?
 - Cos'è, e come si attua, il campionamento di un segnale analogico?
 - Il campionamento provoca una perdita di informazione?
 - Cos'è, e come si attua, la quantizzazione?
 - La quantizzazione provoca una perdita di informazione?
 - Cosa fare per evitare l'aliasing e ridurre la incertezza di quantizzazione?
- Il circuito "sample-and-hold"
 - Come è fatto, in linea di principio, e come opera un sample-and-hold.
 - Cosa è il droop? Quale è il valore limite per il droop? Come ridurre il droop?
 - Cosa è il "pedestal" (altrimenti detto "hold-step")? Come ridurre il pedestal?
 - Diminuendo droop e pedestal cosa potrebbe accadere alla banda passante del dispositivo?
- I convertitori A/D
 - Tracciare lo schema e descrivere il principio di funzionamento e le principali cause di incertezza del convertitore "flash". Quanto tempo impiega un convertitore flash ad eseguire il suo compito?
 - Idem per il convertitore "a successive approssimazioni"

Domande d'esame

- Le caratteristiche di un segnale analogico e di un segnale numerico.
- I pregi ed i difetti dei segnali degli strumenti numerici nei confronti di quelli analogici
- La conversione analogico-digitale: campionamento, quantizzazione codifica.
- Il campionamento, la frequenza minima di campionamento, l'errore di alias.
- La quantizzazione, il numero di bit e la incertezza di quantizzazione.

La conversione A/D delle grandezze variabili nel tempo

In generale l'informazione presente in un segnale è contenuta nella sua variazione nel tempo. Il problema di convertire un segnale da analogico a digitale senza perdere informazione, o contenendo la perdita, presenta due aspetti distinti: il primo di carattere assolutamente generale e l'altro legato alla implementazione tecnologica della conversione stessa.

■ ■ Limiti posti dal teorema di campionamento di Shannon

Il processo di conversione di una grandezza analogica in digitale è di tipo discreto oltre che nelle ampiezze anche nel tempo. Infatti la conversione avviene in un certo periodo di tempo, per cui la conversione di due valori successivi è sempre separata da un certo intervallo. In altri termini, *nella conversione A/D è intrinseco un processo di campionamento*: il segnale analogico viene campionato e sui singoli campioni si opera una conversione A/D.

Teorema del campionamento

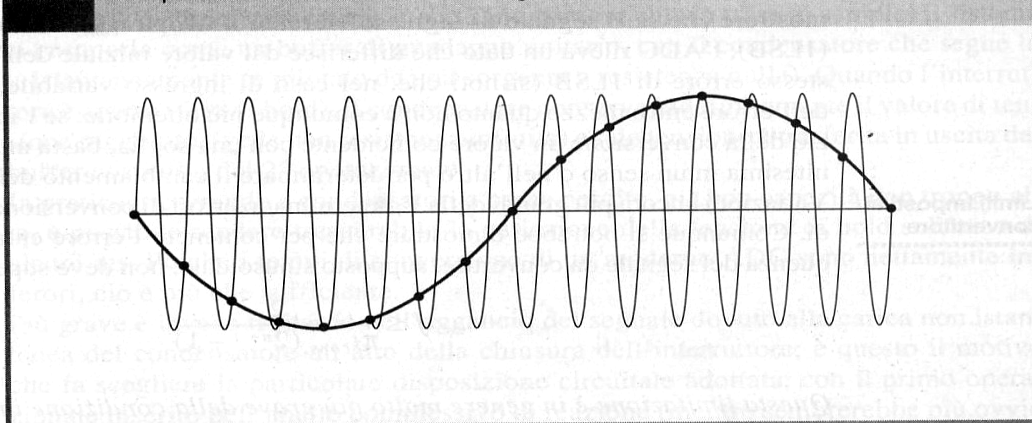
La cadenza con cui si devono rilevare i campioni per non avere perdite nell'informazione è connessa con il suo spettro di frequenza, ed è quantificata dal **teorema del campionamento di Shannon**, che afferma che la frequenza di campionamento f_c deve essere:

$$f_c \geq 2f_{MAX} \quad 40$$

dove f_{MAX} è la massima frequenza utile dello spettro del segnale da campionare (se il segnale ha un limite superiore di frequenza f_{MAX} può corrispondere a questo limite, altrimenti corrisponde alla massima frequenza significativa per l'informazione presente nel segnale).

Si rimanda a testi specifici per un approfondimento del teorema e per l'analisi completa delle sue implicazioni. Qui ci si limita a osservare che il teorema pone una condizione molto stringente, nel senso che un campionamento troppo "raro" non si traduce in una semplice perdita quantitativa di informazione, bensì in una modificazione sostanziale del segnale ricostruito, dovuta all'alterazione del suo spettro originale, come si può vedere dall'esempio di figura 16, dove una sinusoide è campionata con una frequenza insufficiente: *il segnale ricostruito dai campioni appare come una sinusoide di frequenza più bassa che presenta gli stessi campioni del segnale originale*.

FIG. 16 Esempio di errata ricostruzione di un segnale campionato a frequenza troppo bassa.



Se il campionamento è corretto, perché effettuato a una frequenza f_c che rispetta la **40**, è possibile ricostruire il segnale analogico originario inviando i campioni del segnale (eventualmente riconvertiti in analogico se erano stati precedentemente convertiti in digitale) in un filtro passa-basso che lasci passare solo le componenti armoniche del segnale originario. Se come nel caso di figura 16 f_c è troppo limitata, nessuna operazione di filtraggio sui campioni può ricostruire l'andamento vero. Per quanto riguarda la scelta dell'ADC, le considerazioni fatte determinano un limite superiore al tempo di conversione t_{conv} : infatti, nel rispetto della **40**, il periodo di campionamento T_c deve essere:

Limiti imposti al convertitore

$$T_c = \frac{1}{f_c} \leq \frac{1}{2f_{MAX}} \quad 41$$

Evidentemente tra un campione e l'altro l'ADC deve avere il tempo necessario per effettuare la conversione e quindi deve essere:

$$t_{conv.} \leq \frac{1}{2f_{MAX}} \quad 42$$

In pratica si rende necessario un valore consistentemente minore, sia per la non idealità delle circuitazioni usate, sia per prevedere, in aggiunta al tempo di conversione, un tempo per il trasferimento del dato convertito in memoria, o addirittura per la sua elaborazione, nei sistemi a tempo reale.

Dalla 42 si può ricavare:

$$f_{MAX} \leq \frac{1}{2t_{conv.}} \quad 43$$

che esprime il limite massimo di frequenza del segnale noto il tempo di conversione dell'ADC.

■ ESEMPIO 1

Se $t_{conv.} = 10 \mu s$ (il tempo di conversione di un ADC ad approssimazioni successive di medio costo), i segnali da convertire non devono presentare componenti armoniche significative a frequenze superiori a $1/20 \mu s = 50 \text{ kHz}$.

■ ■ L'effetto della variazione del segnale durante la conversione

Il teorema di Shannon dice a quale frequenza campionare un segnale variabile per non perdere informazioni sul suo andamento temporale. Esiste però anche un altro problema relativo alla conversione A/D dei singoli campioni: se durante la conversione la grandezza varia, qual è il valore su cui l'ADC effettua la conversione?

Se si considera un ADC ad approssimazioni successive, si potrebbe facilmente dimostrare che se il segnale di ingresso, durante il tempo $t_{conv.}$, varia entro un quanto (1LSB), l'ADC rileva un dato che differisce dal valore iniziale dell'ingresso entro lo stesso errore di 1LSB (si noti che, nel caso di ingresso variabile, il contenimento dell'errore entro mezzo quanto non è comunque più ottenibile: se l'ingresso ha all'inizio della conversione un valore coincidente con una soglia, basta una variazione infinitesima in un senso o nell'altro per determinare il cambiamento dello LSB).

Variazioni ancora più grandi della V_i determinano errori di conversione ancora più grandi. Comunque si potrebbe dimostrare che per contenere l'errore entro un LSB la frequenza del segnale da convertire, supposto sinusoidale, non deve superare il valore:

$$f \leq \frac{2}{\pi t_{conv.} (2^{n+1} - 1)} \quad 44$$

Questa limitazione è in genere molto più grave della condizione imposta dal teorema di Shannon.

■ ESEMPIO 2

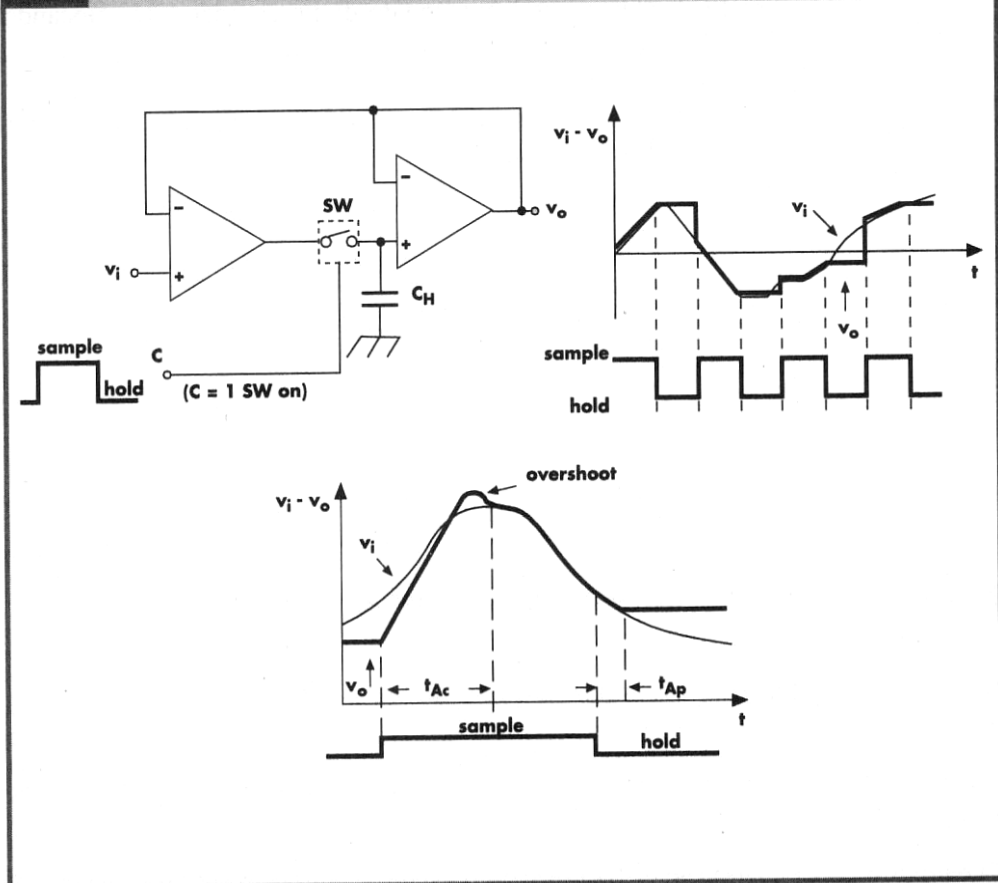
Si immagini che l'ADC con tempo di conversione $10 \mu s$ dell'esempio n. 1 abbia una risoluzione di 8 bit; la 44 dà come limite appena circa 125 Hz.

Il Sample & Hold

Questo problema, che ridurrebbe notevolmente il campo di applicazione dei convertitori A/D, è risolvibile con una certa semplicità tramite la tecnica del **Sample & Hold** (campiona e mantieni). Essa consiste sostanzialmente nel conservare con un condensatore il campione del valore istantaneo della tensione di ingresso per un tempo sufficiente alla conversione.

Lo schema di massima di un tipico circuito S&H è riportato in figura 17 insieme alle relative forme d'onda.

FIG. 17 La tecnica del Sample & Hold.



L'analisi del circuito è semplice: con l'interruttore chiuso (fase di sample) il sistema si comporta come un buffer di guadagno unitario, con il condensatore che segue la v_i istantaneamente (è pilotato da una sorgente a resistenza nulla). Quando l'interruttore è aperto (fase di hold), il condensatore conserva indefinitamente il valore di tensione raggiunto (vede una resistenza infinita) e tale tensione è trasferita in uscita dal buffer costituito dal 2° operazionale.

In pratica, ricorrendo a condensatori a basse perdite, già con capacità non troppo alte, è possibile rendere trascurabile la variazione della tensione di hold sull'arco di alcuni ms. Poiché i tempi di conversione di un moderno ADC sono nettamente inferiori, ciò è più che sufficiente.

Più grave è invece il ritardo nell'aggancio del segnale dovuto alla carica non istantanea del condensatore all'atto della chiusura dell'interruttore; è questo il motivo che fa scegliere la particolare disposizione circuitale adottata, con il primo operazionale inserito nell'anello complessivo di reazione (mentre sembrerebbe più ovvio farlo lavorare come un semplice buffer). In effetti si può dimostrare che così la banda passante è molto più elevata e di conseguenza è più veloce la risposta; un ulteriore contributo a migliorare la situazione consiste nell'adottare una capacità (a basse perdite) quanto più piccola possibile, compatibilmente con le esigenze della fase di hold.

Prestazioni del S&H

I parametri più significativi di un S&H reale sono quelli che seguono.

Tempo di acquisizione (*acquisition time* t_{Ac}): è il tempo richiesto dall'uscita per agganciare un nuovo valore nel passaggio da hold a sample. Di solito è fornito per uno specifico gradino di uscita.

Tempo di apertura (*aperture time* t_{Ap}): è il tempo intercorrente tra il comando di hold e l'effettivo sganciamento dell'ingresso.

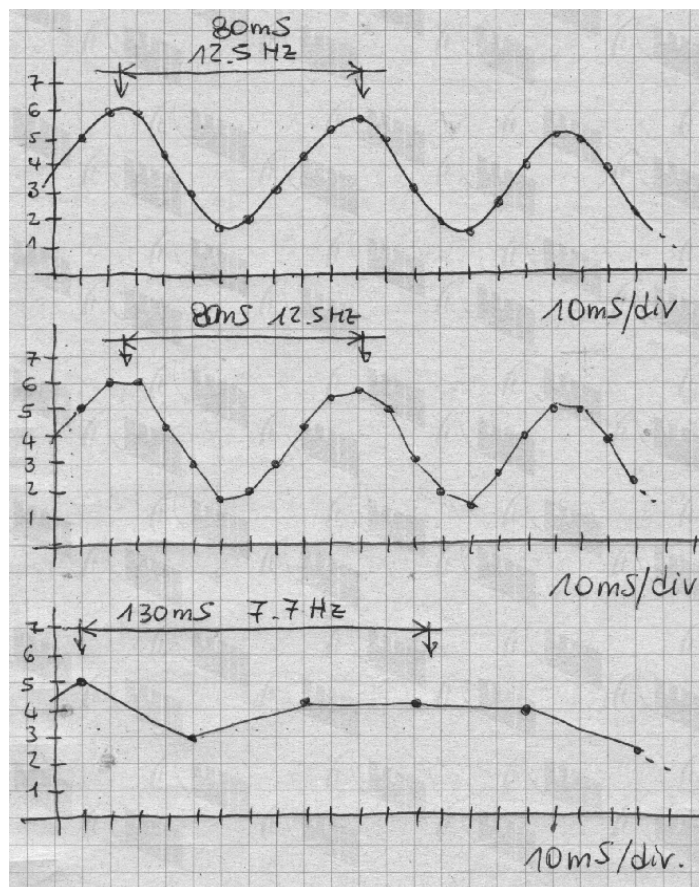
Velocità di decadimento (*droop rate* dV_{CH}/dt): è la variazione nel tempo (in V/s) della tensione di uscita in modo hold.

Conversione analogico/digitale di segnali

Il fenomeno chiamato ALIAS

Una delle comuni trappole in cui cade chi si accosta per le prime volte al mondo della digitalizzazione dei segnali è il fenomeno dell'alias. La parola ALIAS spesso è usata per identificare le varie identità di criminali che si spacciano per qualcuno che non sono. L'Aliasing o il camuffamento di segnali è un fenomeno deleterio per la conversione dei segnali. Perché? Perché un segnale ci appare come non è in realtà. Quando convertiamo un segnale da analogico a digitale pizzichiamo il segnale analogico ad intervalli regolari, valutiamo l'intensità del segnale in ogni istante e quindi possiamo tradurre su un grafico la forma d'onda.

Questo è ciò che possiamo vedere nella figura sottostante. Nel primo grafico vediamo come la linea continua del segnale analogico di forma vagamente sinusoidale sia stato "pizzicato" o campionato a intervalli regolari di 10 millisecondi, che corrisponde a $1s/0.010ms = 100Hz$. I campioni sono stati riprodotti nel secondo grafico unendoli con una linea retta. La forma d'onda è piuttosto somigliante. Ma cosa accade se diminuiamo il numero di campioni?



In quest'ultimo tracciato vediamo come siano stati tolti 3 campioni ogni 4, come se il campionamento fosse stato ridotto di 4 volte. La frequenza di campionamento diventa perciò $1/0.040ms = 25Hz$. Che accade alla nostra forma d'onda iniziale? La figura ben illustra come ciò che appare dopo la riduzione della frequenza di campionamento è una forma d'onda che nulla ha a che fare con l'originale ma che apparirebbe plausibile osservandola in un oscilloscopio digitale o un digitalizzatore come quelli ad uso sismico. Altro dato di fatto è che misurando la frequenza della forma d'onda originale lunga 8 divisioni, 80ms o 12.5Hz essa diventa nell'ultimo grafico di 130ms e cioè 7.7Hz qualcosa di molto diverso dall'originale.

Un ALIAS fastidiosissimo perchè ci può dare nella migliore delle ipotesi delle forme d'onda illeggibili; nella peggiore delle ipotesi delle forme d'onda leggibili ma che condurranno presto ad errate conclusioni.

La regola base della conversione a/d (Nyquist) dice che una forma d'onda va campionata ad almeno il doppio della frequenza che occorre registrare. Se ci interessa registrare avendo la certezza di registrare, per esempio, 5 Hz allora dovremmo campionare ad almeno a 10Hz.

Ma non finisce qui. Se campioniamo a 10Hz dobbiamo altresì esser certi di non avere all'ingresso del nostro convertitore analogico digitale NESSUN TIPO DI FREQUENZA superiore a 5Hz altrimenti otterremo

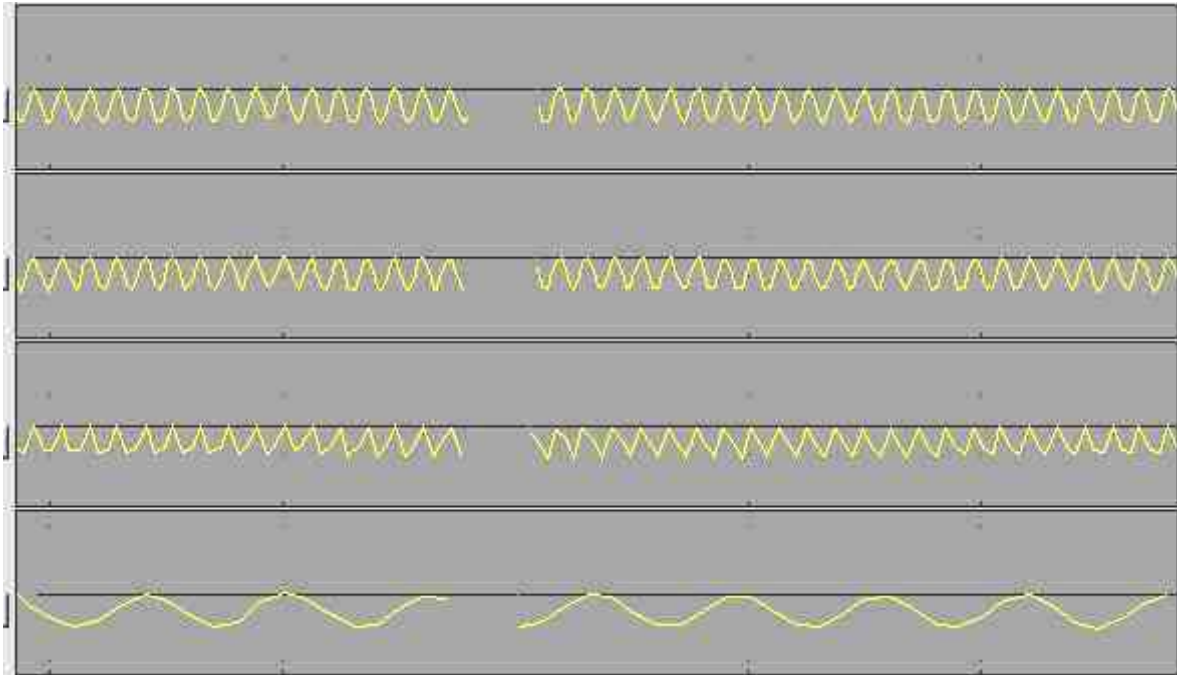
altre forme d'onda che sono ALIAS delle frequenze superiori a 5Hz. Per questo è INDISPENSABILE porre un filtro ANTI-ALIAS PRIMA dell'ingresso del convertitore A/D.

ATTENZIONE! Nella pratica si RACCOMANDA di campionare ad almeno 4 o 5 volte la frequenza massima attesa. Se vogliamo analizzare tutto da 0 a 10 Hz dovremmo campionare ad almeno 50 SPS (Hz).

Ovviamente è conseguenziale che se abbiamo un'apparecchiatura con un filtro anti-alias a 5Hz diventerà praticamente superfluo campionare a frequenze superiori di (5×5) 25Hz.

Un altro esempio è rappresentato dalla figura seguente.

L'algoritmo JPG ha fatto perdere un po' di qualità ma è ancora intelligibile.



Le quattro tracce sono state campionate con una frequenza, nell'ordine dall'alto verso il basso di 100, 50, 20 e 5 sps.

La frequenza applicata era di un'onda sinusoidale di 8Hz

Potete vedere come la prima traccia campionata a 100Hz rappresenti molto bene la forma d'onda.

La seconda traccia a 50Hz è buona ed è praticamente la stessa della prima. Questo mette in evidenza che è del

tutto superfluo campionare a frequenze troppo superiori della massima frequenza attesa.

La terza traccia diventa differente. E' campionata a 20Hz e la frequenza di 8Hz diventa leggermente triangolare a testimoniare che si sta perdendo un po' dell'informazione della forma d'onda originale, ma la sua caratteristica principale è conservata si tratta ancora di una frequenza di 8 Hz.

L'ultima traccia è evidentemente un **ALIAS**. E' campionata a 5Hz ed è completamente differente.

Rappresenta una forma d'onda sinusoidale di 2 Hz che **NON E' ASSOLUTAMENTE** la forma d'onda originale di 8 Hz.