

COGNOME : NOME :

<p>1. Il teorema di Shannon – Nyquist dice che un segnale analogico costituito da varie componenti armoniche di frequenza compresa tra f_{\min} e f_{\max} è campionato correttamente se :</p> <p><input type="checkbox"/> $f_c > f_{\max}$ <input type="checkbox"/> $f_{\min} < f_c < f_{\max}$ <input type="checkbox"/> $f_c > 2 f_{\min}$ <input type="checkbox"/> $f_c = 44.100$ [Hz] <input checked="" type="checkbox"/> Nessuna delle precedenti</p>	<p>2. D/A a resistori pesati : un valore di $R_f <$ di quello nominale ($R_{\min}/2$) provoca :</p> <p><input type="checkbox"/> errore di guadagno , con V_{\max} reale $>$ V_{\max} nominale <input checked="" type="checkbox"/> errore di guadagno , con V_{\max} reale $<$ V_{\max} nominale <input type="checkbox"/> errore di offset <input type="checkbox"/> errore di non linearità <input type="checkbox"/> Nessuna delle precedenti</p>
<p>3. D/A a resistori pesati (valori nominali) con $N = 6$ bit , $V_{FS} = -10$ [V] , codice di IN = 101001 :</p> <p><input type="checkbox"/> $V_{out} = 6,25$ [V] <input type="checkbox"/> $V_{out} = 12,8125$ " <input checked="" type="checkbox"/> $V_{out} = 6,40625$ >>>> $10/2^6 * 41$ >>>> $(41)_{10} = (101001)_2$ <input type="checkbox"/> $V_{out} = -6,40625$ " <input type="checkbox"/> Nessuna delle precedenti</p>	<p>4. A/D a successive approssimazioni : se $V_{in} < V_{D/A}$, il SAR deve:</p> <p><input type="checkbox"/> mantenere 1 del MSB e shiftarlo a dx <input checked="" type="checkbox"/> azzerare MSB e shiftare 1 a dx <input type="checkbox"/> azzerare MSB <input type="checkbox"/> mantenere 1 del MSB e shiftarlo a sx <input type="checkbox"/> Nessuna delle precedenti</p>
<p>5. Nello schema del Sample & Hold, i 2 buffer servono a :</p> <p><input checked="" type="checkbox"/> rendere piccola la τ di carica e grande la τ di scarica del Condensatore <input type="checkbox"/> rendere piccola la τ di scarica e grande la τ di carica del Condensatore <input type="checkbox"/> isolare il Condensatore <input type="checkbox"/> far sì che il C si carichi lentamente e si scarichi velocemente <input type="checkbox"/> Nessuna delle precedenti</p>	<p>6. A/D a gradinata con $N = 8$ bit , $V_{FS} = 10$ [V] , $V_{in} = 6,58$ [V] , $f_{CK} = 2$ [MHz] ; il Tempo di conversione (per questa V_{in}) è :</p> <p><input type="checkbox"/> 338 [μs] <input type="checkbox"/> 84 [μs] <input checked="" type="checkbox"/> 84,5 [μs] >>> N° gradini = $6,58 / (10/2^8) = 168,448$ >>> 169 <input type="checkbox"/> 336 [μs] $T_{ck} = 0,5$ [us] >>> $T_{conv} = 169 * 0,5 = 84,5$[us] <input type="checkbox"/> Nessuna delle precedenti</p>
<p>7. A/D flash a 3 bit con $V_{FS} = 5$ [V] e $V_{in} = 3,2$ [V] : il codice di OUT è :</p> <p><input type="checkbox"/> 111 1° soglia = $q/2 = 5/16 = 0,3125$ [V] <input type="checkbox"/> 110 2° soglia = $3 * 5/16 = 0,9375$ [V] <input type="checkbox"/> 100 3° soglia = $5 * 5/16 = 1,5625$ [V] <input checked="" type="checkbox"/> 101 >>> 5 soglie superate 4° soglia = $7 * 5/16 = 2,1875$ [V] <input type="checkbox"/> Nessuna delle precedenti 5° soglia = $9 * 5/16 = 2,8125$ [V]</p>	<p>8. Quale di queste affermazioni è vera ?</p> <p><input type="checkbox"/> I D/A integrati usano lo schema a resistori pesati <input type="checkbox"/> L' A/D + veloce è quello a gradinata <input type="checkbox"/> Il D/A con rete a scala non ha errore di offset <input checked="" type="checkbox"/> L' aliasing è provocato da una f_{camp} troppo bassa <input type="checkbox"/> Nessuna delle precedenti</p>

[Valutazione : BASE : 20 pt ; 5 pt per ogni risposta esatta ; 0 pt per nessuna risposta ; -1 pt per ogni risposta errata]

9. Calcolare la massima ampiezza che può avere un segnale sinusoidale con frequenza $f = 300$ [Hz], per poterlo acquisire senza il Modulo Sample/Hold, con un ADC a succ. approssimaz. a 8 bit e Tempo di conversione $T_c = 30$ [μ s], $V_{FS} = -10$ [V] [10 pt]

10. Un segnale elettrico con Range $-5 \div +5$ [V], dev'essere acquisito con un errore percentuale inferiore allo 0,1 % del Fondo Scala, da un ADC avente Tempo di conversione pari a 20 [μ s] e $f_{camp} = 8$ [KHz]

Determinare :

- il Numero di bit dell' ADC
- necessità o meno del S/H

[10 pt]

• $\epsilon = q/2 = VFS / 2^{(N+1)} = 0,1\% VFS = 0,1 * 10 / 100 = 0,01$ [V] = 10 [mV]

10 [V] / $2^{(N+1)} < 10$ [mV] >>>> verificata se $N = 9$ (almeno) >>>> $10 / 1024 = 9,765625$ [mV]

- bisogna determinare la max variazione che l' armonica di ordine + elevato può subire in un intervallo temporale pari al Tempo di conversione dell' ADC :

11. Descrivere il funzionamento ADC a successive approssimazioni .

[20 pt]

[Vedi file di Teoria](#)

Punteggio totale : pt

VOTO :