

I SISTEMI D'ACQUISIZIONE DATI

SAD.1. Introduzione ai sistemi d'acquisizione dati.

Un Sistema d'Acquisizione Dati (SAD) è un sistema costituito da un certo numero di canali di conversione analogico-digitale che interfacciano sensori e trasduttori ad un sistema di memorizzazione ed elaborazione (Fig.1). Il dispositivo d'elaborazione assicura la gestione del sistema e dei dati acquisiti ed è generalmente connesso ad un host computer (es. PC) che esegue particolari compiti come la visualizzazione dei segnali, l'archiviazione e l'elaborazione dei dati.

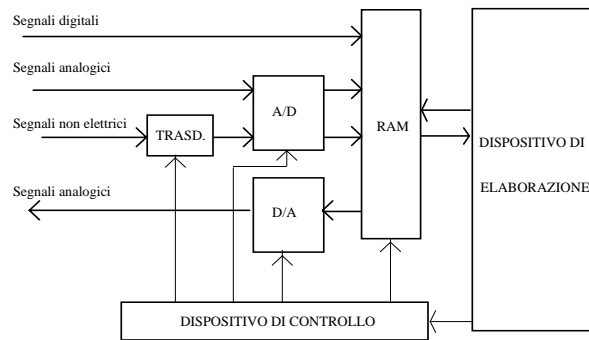


Fig.1 - Architettura di un sistema d'acquisizione dati.

I SAD sono usati in molti settori, quali quelli delle misure, del controllo di processi industriali, della gestione di impianti produttivi. Essi consentono l'acquisizione di segnali analogici mediante le seguenti fasi operative:

- condizionamento;
- campionamento;
- conversione.

I canali d'ingresso prevedono opportuni blocchi di condizionamento del segnale, quali attenuatori, amplificatori, filtri, convertitori corrente-tensione, amplificatori d'isolamento.

In un SAD sono spesso inseriti anche dei convertitori D/A per fornire in uscita dei segnali analogici con i quali pilotare attuatori, plotter, ecc.

SAD.1.1. Sistema d'acquisizione dati a singolo canale.

A livello d'architettura interna, bisogna distinguere tra SAD con un solo canale e SAD multicanale.

Il primo è il sistema di conversione più semplice, nel quale è inserito un solo ADC. Esso può funzionare sia alla massima frequenza di funzionamento possibile (free running) sia ad una frequenza di campionamento imposta da un circuito di controllo.

Per adeguare il segnale d'ingresso alla scala del convertitore A/D è necessario spesso eseguire un cambiamento di scala, mediante un amplificatore a guadagno programmabile che consente di ottenere diversi valori d'amplificazione, in funzione del valore digitale assegnato dal dispositivo d'elaborazione al suo registro di controllo.

La frequenza di campionamento è determinata da tre grandezze:

- il tempo richiesto per la stabilizzazione del segnale d'ingresso (settling time);
- il tempo richiesto dal convertitore A/D per effettuare la conversione;
- il tempo richiesto per il trasferimento del valore acquisito in memoria.

SAD.1.2. Sistema d'acquisizione dati multicanale.

Prevede più canali d'acquisizione del segnale. Diverse sono le configurazioni possibili, a seconda del numero di ADC utilizzati. È possibile prevedere un convertitore per ogni canale,

ottenendo un'architettura del tipo di Fig.2.

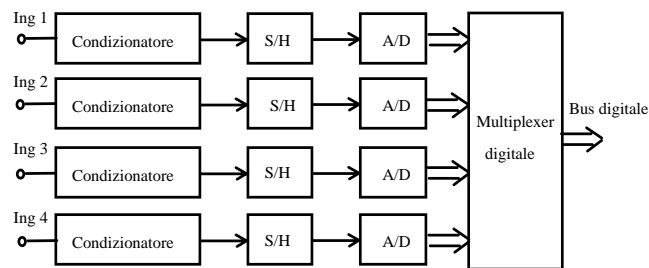


Fig.2 - SAD multicanale a campionamento simultaneo.

Ogni canale ha il circuito di condizionamento, il S/H e l'A/D. Le uscite digitali sono inviate su un bus mediante un multiplexer digitale che consente di commutare uno per volta gli ingressi digitali sull'uscita. Il bus digitale consente il trasferimento dei dati verso una memoria o verso un microprocessore.

È possibile ridurre il numero di componenti, utilizzando ad esempio un solo A/D. In questo caso (Fig.3) a valle dei S/H dovrà essere inserito un multiplexer analogico che consente di commutare le uscite analogiche dei S/H sull'ingresso dell'A/D. Alcuni circuiti di controllo gestiranno le varie fasi dell'acquisizione. Generalmente i S/H eseguono il campionamento nello stesso istante (acquisizione simultanea), ma essi vengono poi commutati sequenzialmente verso l'A/D che esegue le varie conversioni in istanti di tempo differenti.

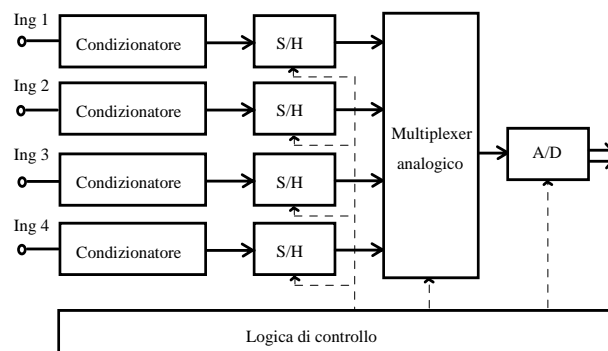


Fig.3 - SAD multicanale a campionamento simultaneo con singolo convertitore.

I vantaggi di questa architettura sono: riduzione dei costi (soprattutto per A/D ad alta risoluzione), riduzione delle dimensioni della scheda, necessità di effettuare la calibrazione di un solo A/D. Come svantaggi va citato l'aumento del periodo di conversione: un solo A/D deve convertire più canali, inoltre dopo la commutazione del multiplexer bisognerà aspettare che il segnale si stabilizzi prima di attivare la conversione. Poiché il tempo necessario al segnale per stabilizzarsi (settling-time) dipende essenzialmente dalla differenza tra il livello di tensione del canale attuale e quello del precedente, esso si riduce se è possibile selezionare consecutivamente canali con livelli di tensione prossimi tra loro. In molti SAD il ritardo tra la commutazione del multiplexer e l'inizio della conversione è fisso. In questo caso per ridurre l'errore dovuto al settling-time si possono prendere consecutivamente più campioni del segnale, scartando i primi valori, a scapito però di un'ulteriore riduzione della frequenza di campionamento.

È possibile ridurre ulteriormente il numero di componenti, utilizzando un solo S/H, come in Fig.4. In questo caso però il campionamento dei vari canali viene eseguito in istanti di tempo differenti, per cui quest'architettura si presta per l'acquisizione di segnali lentamente variabili. Considerazioni analoghe possono essere fatte nel caso di sistemi con più canali d'uscita analogici, realizzati con un solo DAC, un demultiplexer e più S/H o con più DAC.

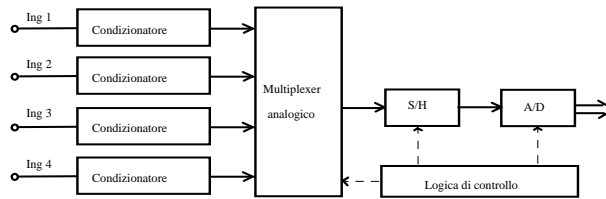


Fig.4 - SAD multicanale.

SAD.2. Classificazione delle sorgenti di segnale e dei sistemi di misura.

Uno dei primi requisiti per un SAD, ed in generale per qualsiasi tipo di strumento, è che lo stadio d'ingresso adatti il segnale proveniente da una generica sorgente di segnale alle caratteristiche degli stadi successivi. L'inserzione dello strumento di misurazione inoltre non deve perturbare le caratteristiche elettriche del segnale e deve eliminare o ridurre gli effetti di eventuali segnali di disturbo. Quindi è necessario adottare opportune configurazioni dello stadio d'ingresso che sono legate anche alle caratteristiche della sorgente del segnale in esame.

Il primo passo è pertanto quello di identificare il tipo di sorgente in esame, allo scopo di scegliere lo stadio d'ingresso più opportuno. Il segnale da acquisire è generalmente una tensione che può essere riferita al potenziale di terra oppure fluttuante. Nel primo caso uno dei morsetti d'uscita della sorgente è collegato all'impianto di terra, mentre nel secondo caso la sorgente è completamente isolata da terra. Esempi di sorgenti fluttuanti sono le batterie, i generatori alimentati a batteria e le termocoppie. La sorgente di segnale può essere di tipo sbilanciato, riferita a terra o fluttuante, oppure bilanciata rispetto ad un punto comune che può essere a terra o fluttuante (Fig.5).

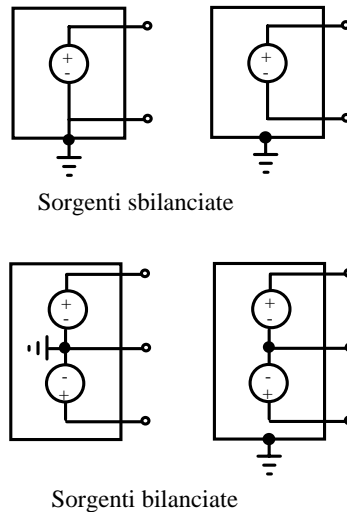


Fig.5 - Sorgente di segnale riferita a terra e fluttuante.

Il sistema di misurazione può essere: differenziale, riferito al potenziale di terra o pseudo differenziale.

In un sistema di misurazione differenziale o senza riferimento, nessuno degli ingressi è connesso a massa o a terra (Fig.6). Ogni tensione V_{mc} presente tra entrambi i terminali e la terra è detta tensione di modo comune. Un sistema di misurazione differenziale ideale è influenzato solo dalla differenza di potenziale esistente tra i due terminali d'ingresso + e -, mentre ha una reiezione totale alla tensione di modo comune. Nei sistemi reali, in effetti, la reiezione non è totale, ma è limitata, anche se sempre molto elevata. A tal fine il SAD ha una gamma di tensioni di modo comune all'interno della quale può funzionare (common mode voltage range) e che non vanno mai superate per salvaguardare l'integrità della strumentazione e la sicurezza dell'operatore.

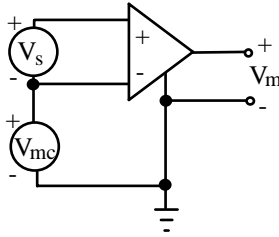


Fig.6 – 133

In un sistema di misurazione riferito al potenziale di terra, la tensione viene misurata con riferimento al potenziale di terra (Fig.7).

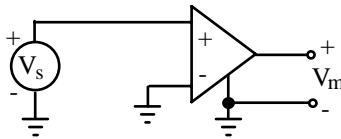


Fig.7 - Sistema di misurazione riferito a terra.

Una variante è rappresentata dal sistema in cui la misura viene eseguita con riferimento al potenziale di un punto (analog input sense) diverso da terra (Fig.8). Questa tecnica si dice *single-ended senza riferimento* o NRSE (Non Referenced Single-Ended) o pseudo differenziale.

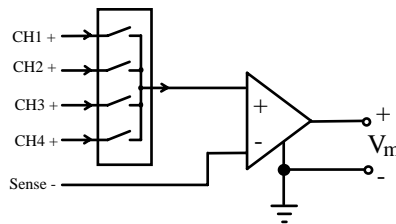


Fig.8 - Sistema di misurazione pseudo differenziale.

Relativamente al punto cui viene riferito il segnale prodotto dalla sorgente o quello applicato allo stadio d'ingresso del SAD, spesso si parla in termini generici ed impropri di massa. Il significato di questo termine risulta spesso poco comprensibile, anche perché con esso si fa riferimento ad elementi diversi. Per massa di un circuito di misurazione si dovrebbe intendere un piano equipotenziale di riferimento che costituisce una via di ritorno per i circuiti di segnale. In un sistema elettronico ci sono però più piani di riferimento:

- il circuito di terra, che costituisce il collegamento verso i dispersori infissi nel terreno (posti al potenziale di 0 V);
- la massa delle alimentazioni (DC ed AC);
- la massa dei segnali (che potrebbero diventare due se si hanno segnali bilanciati e sbilanciati isolati tra loro);
- la massa della struttura metallica (chassis) del sistema, generalmente connessa all'impianto di terra.

In alcuni casi essi sono interconnessi, anche se questa soluzione comporta un generale aumento dei disturbi indotti sul circuito di misurazione.

Infatti, ad esempio nel caso di sorgente di segnale e di sistema di misurazione con riferimento a terra, spesso si utilizza il circuito di terra come ritorno dei segnali, al fine di risparmiare conduttori. Ciò però introduce disturbi sui segnali sia perché il circuito di terra non è un buon conduttore a causa di collegamenti non rigidi, corrosione dei giunti, impiego di materiali non altamente conduttivi, sia perché le correnti di ritorno dei segnali e quelle disperse anche da altri circuiti, producono cadute di tensioni che si presentano come disturbi di modo comune.

La separazione della massa dell'alimentazione dalle altre migliora la situazione, anche se ciò è spesso difficile da realizzare: il ritorno dell'alimentazione DC si può separare dal circuito solo se si usano convertitori DC/DC.

Per quanto riguarda la massa di riferimento dei segnali, essa può essere isolata o connessa allo chassis. In alcuni casi l'isolamento riduce l'entità dei disturbi, anche se la presenza di inevitabili capacità parassite verso lo chassis tra i terminali di ingresso e di uscita di un circuito potrebbe alterarne il corretto funzionamento, soprattutto per segnali ad alta frequenza. Nel caso di segnali a radiofrequenza è necessario collegare la massa di riferimento allo chassis dell'apparato, al fine di minimizzare accoppiamenti non voluti tra i circuiti.

SAD.3. Il rumore sul segnale d'ingresso

All'ingresso del sistema di misurazione, al segnale prodotto dal sensore o dal circuito in esame potranno essere sovrapposti altri segnali indesiderati, indicati generalmente come rumori o disturbi, che possono perturbare il sistema dando luogo ad errori di misurazione. Tali disturbi sono causati da fenomeni interni al circuito in esame o al SAD, oppure da fenomeni esterni, come:

- accoppiamenti induttivi o capacitivi con circuiti esterni (disturbi irradiati);
- collegamento diretto con il circuito che genera rumore (disturbi condotti);
- differenza di potenziale tra i circuiti di terra (o di massa) della sorgente di segnale e del sistema di misurazione (disturbi condotti).

SAD.3.1. Rumore interno

Il rumore interno è generato da tutti i dispositivi elettrici ed elettronici ed è dovuto all'agitazione termica causata dalla temperatura. In ogni resistenza l'energia termica produce il movimento di particelle elettricamente cariche, che danno luogo ad un segnale elettrico. La potenza corrispondente a tale rumore, detto rumore Johnson, risulta pari a:

$$P=4 k T B$$

dove: k è la costante di Boltzmann ($1,38 \cdot 10^{-23}$ J/K)

T è la temperatura assoluta in K

B è la larghezza di banda del sistema in Hz.

Il valore efficace della tensione di rumore sviluppato in una resistenza R risulta pari a (legge di Nyquist)¹:

$$V_n = 2\sqrt{kTBR}$$

Ad esempio la tensione di rumore prodotta su una resistenza da 10 k Ω , alla temperatura ambiente (290 K), in un sistema con larghezza di banda di 10 kHz è pari a circa 1,26 μ V.

La riduzione di questo rumore non è possibile, se non modificando la struttura interna del dispositivo che la produce. Le azioni possibili sono:

- cercare di ridurre il rumore interno avvicinandosi il più possibile al livello teorico; ciò può ottenersi ottimizzando lo stadio d'ingresso scegliendo opportunamente il livello d'impedenza ed utilizzando componenti a basso livello di rumore;
- ridurre la larghezza di banda mediante un filtro, naturalmente se ciò non inficia anche le caratteristiche del segnale;
- raffreddare il circuito causa del disturbo.

Questo rumore non può essere eliminato e rappresenta quindi il limite inferiore per la sensibilità di un sistema di misurazione. Infatti, quando la sensibilità di uno strumento si avvicina a questo limite teorico, il segnale viene mascherato dal rumore. Nel caso di un SAD, questo rumore sarà presente sia all'interno del sensore o trasduttore che genera il segnale oggetto della misurazione e sia all'interno dello stesso SAD.

¹ Essendo $P=V_n^2/R$.

SAD.3.2. Disturbi dovuti a forze elettromotrici termoelettriche.

Rappresentano la causa maggiore di disturbo quando si misurano tensioni continue di piccola ampiezza. Esse nascono quando si connettono insieme metalli diversi posti a differenti temperature. Ogni giunzione metallo-metallo costituisce una termocoppia che genera una forza elettromotrice proporzionale alla differenza di temperatura ed al coefficiente legato al tipo di metallo.

Tipo di giunzione	Potenziale termoelettrico
rame - oro	0,3 $\mu\text{V}/^\circ\text{C}$
rame - argento	0,3 $\mu\text{V}/^\circ\text{C}$
rame - alluminio	5 $\mu\text{V}/^\circ\text{C}$
rame - ottone	3 $\mu\text{V}/^\circ\text{C}$
rame - (piombo-stagno)	1-3 $\mu\text{V}/^\circ\text{C}$
rame - ossido di rame	1000 $\mu\text{V}/^\circ\text{C}$

Consideriamo come esempio un SAD con conduttori interni di rame, collegato ad un circuito esterno con un conduttore di rame ed uno di metallo diverso (Fig.9). Nei punti di contatto tali conduttori formano due giunzioni G1 e G2. Se le due giunzioni sono alla stessa temperatura non ci sono problemi in quanto le fem prodotte dalle due giunzioni si compensano automaticamente. Se invece esiste una differenza di temperatura, nasce una fem risultante.

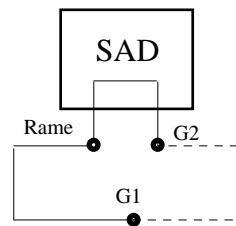


Fig.9. Nascita di una fem termoelettrica

SAD.3.3. Accoppiamenti induttivi

I campi magnetici possono essere statici, come ad esempio il campo magnetico terrestre, o variabile nel tempo, come quello prodotto da una corrente variabile.

Un campo magnetico variabile prodotto da una sorgente esterna e concatenato con il circuito di misurazione, fa nascere in esso una forza elettromotrice (fem) indotta indesiderata (Fig.10), che viene vista dallo stadio d'ingresso del sistema di misurazione in serie con la sorgente di segnale (rumore di *modo serie*). L'ampiezza dei disturbi indotti è inversamente proporzionale alla distanza dal circuito interferente. Particolarmente sfavorevoli sono i disturbi indotti dai conduttori di alimentazione a frequenza di rete (anche di diverse centinaia di millivolt), sia perché tali conduttori sono generalmente attraversati da correnti d'intensità elevata e quindi daranno luogo a campi magnetici particolarmente intensi, sia perché i disturbi a bassa frequenza sono i più difficili da eliminare.

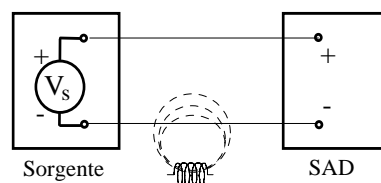


Fig.10 - Nascita di un disturbo per accoppiamento induttivo.

SAD.3.4. Accoppiamenti capacitivi

Le capacità parassite presenti tra una sorgente AC esterna (ad esempio una linea di alimentazione) ed il circuito di misurazione consentono la circolazione di correnti indesiderate (Fig.11).

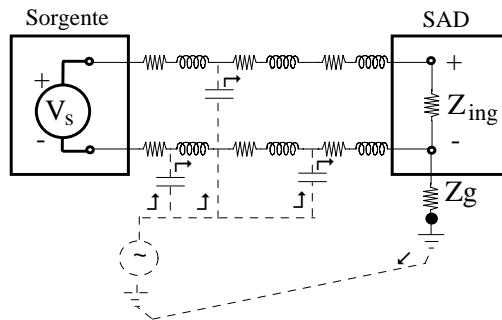


Fig.11 - Nascita di un disturbo per accoppiamento capacitivo.

La corrente capacitiva che circola nella resistenza d'ingresso Z_{ing} del SAD produce una caduta di tensione indesiderata. Inoltre, le correnti capacitive fanno nascere delle cadute di tensione sulle resistenze ed induttanze dei cavi di collegamento. Tali disturbi crescono al crescere della frequenza (per effetto della riduzione della reattanza capacitiva parassita), al crescere della tensione della sorgente AC ed al ridursi della distanza di separazione dal circuito interferente.

Il circuito equivalente relativo al fenomeno dell'accoppiamento tra la sorgente dell'interferenza ed il circuito di misura è riportato in Fig.12, dove Z_{out} è l'impedenza d'uscita della sorgente interferente, Z_{ing} è l'impedenza d'ingresso del circuito di misura, Z_c è l'impedenza dovuta all'accoppiamento. Come si vede l'entità del disturbo dipende non solo dal valore di Z_c ma anche dal valore della tensione della sorgente di disturbo V_d , da Z_{out} e da Z_{ing} .

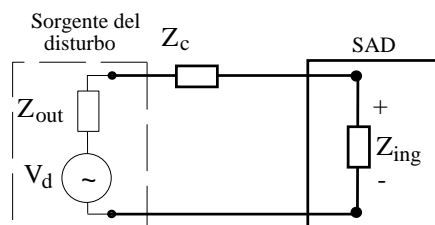


Fig.12 - Circuito equivalente relativo al fenomeno dell'accoppiamento

SAD.3.5. Differenza di potenziale tra due punti del circuito di terra

Se la sorgente di segnale e lo stadio d'ingresso del sistema di misurazione sono entrambi connessi a terra, o ad uno stesso sistema di riferimento (massa), i due punti di connessione a terra possono trovarsi a potenziale diverso V_{mc} . La tensione esistente tra i due punti di terra è dovuta alla circolazione di correnti sui conduttori di terra, a causa del loro valore di resistenza (o in generale d'impedenza) diverso da zero. Tali correnti possono essere sia quelle di ritorno dei segnali di misura, sia quelle prodotte da circuiti esterni (Fig.13).

Va notato che tali disturbi, oltre ad essere presenti su impianti estesi su un'area relativamente grande, sono altresì presenti anche tra le masse di due schede inserite nello stesso apparato, come ad esempio un PC, non essendo il circuito di massa ad impedenza nulla. Aumentare la sezione o il numero dei conduttori di terra allo scopo di ridurne la resistenza non consente di ridurre completamente questi disturbi, soprattutto nel caso di segnali alternati. Infatti, a causa dell'induttanza parassita dei collegamenti, all'aumentare della frequenza le cadute sul circuito di terra aumentano, aumentando quindi il livello del rumore.

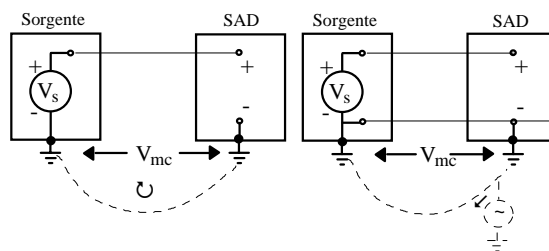


Fig.13 - Rumore di modo comune con sorgente e SAD a terra

SAD.3.6. Interferenze RF esterne

In molti casi l'intero circuito di misurazione può comportarsi come un'antenna, ricevendo quindi disturbi dovuti a segnali a radio frequenza esterni, come quelli prodotti dai trasmettitori radio e televisivi, telefoni cellulari e monitor dei computers. In particolare tali disturbi si manifestano come correnti indotte, la cui circolazione fa nascere tensioni di disturbo ai capi delle impedenze poste in serie agli ingressi di misura.

Tali disturbi sono difficili da eliminare, soprattutto se il segnale da misurare è una tensione alternata di piccola ampiezza. Va tuttavia ricordato che negli ultimi anni la normativa europea ha imposto norme più restrittive per ridurre le emissioni indotte involontariamente dai sistemi elettrici ed elettronici e per aumentarne contemporaneamente l'immunità.

Nel caso in cui il sistema di misurazione sia estremamente sensibile a questi tipi di disturbi, è possibile utilizzare dei nuclei toroidali di ferrite, su cui avvolgere i cavi del circuito (Fig.14). Inoltre è necessario usare cavi schermati.

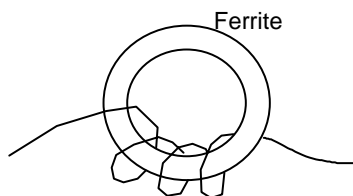


Fig.14 - Riduzione di disturbi RF mediante toroide di ferrite.

SAD.4. Classificazione del segnale di disturbo

Le varie cause di disturbo precedentemente esaminate producono come effetto risultante un'alterazione del segnale di misura, detta rumore.

Dal punto di vista delle caratteristiche, il segnale di disturbo può essere:

- un segnale continuo costante o variabile nel tempo,
- un segnale alternato costante o variabile nel tempo,
- un segnale a banda larga (disturbi causati da apparati elettromedicali, neon, spazzole delle macchine elettriche, rumore termico) o stretta (disturbi causati da trasmettitori radio, televisivi e per telecomunicazioni);
- un segnale impulsivo, generalmente causato da una grossa variazione di corrente (disturbi causati da relays, spazzole delle macchine elettriche, alimentatori switching).

Dal punto di vista della misurazione il rumore può essere essenzialmente visto come rumore di modo serie o di modo comune.

- Il rumore di modo serie o normale è schematizzabile con una sorgente di disturbo V_{mn} posta in serie sul circuito di collegamento (Fig.18). Tale rumore può avere sia una componente continua (Fig.19) che alternata (Fig.20), che si sovrappongono al segnale d'ingresso.

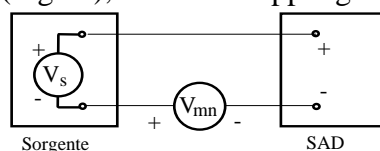


Fig.18 - Schematizzazione di un sistema con rumore di modo normale

Le componenti AC di *modo normale* possono essere sia componenti casuali sia correlate ad un segnale (generalmente quello di rete) e si possono ridurre integrando il segnale oppure utilizzando dei filtri passa-basso ².

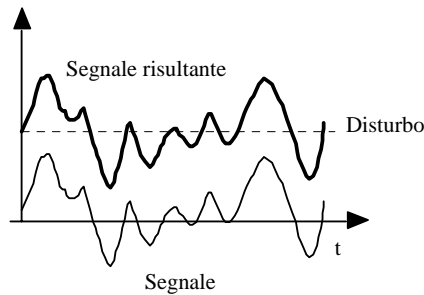


Fig.19 - Effetto sul segnale da un disturbo serie di tipo continuo.

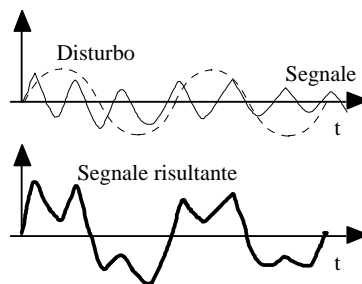


Fig.20 - Effetto sul segnale da un disturbo serie di tipo alternato.

In Fig.21 è riportato l'andamento tipico di un rumore con la funzione di densità di probabilità (PDF), che è massima in corrispondenza del valor medio del segnale.

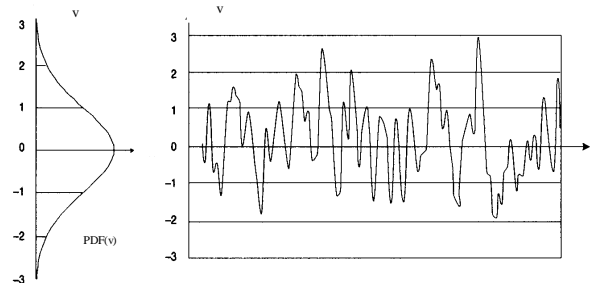


Fig.21 - Funzione densità di probabilità di un rumore di modo serie.

Con l'*integrazione* la reiezione al rumore che si ottiene dipende dall'intervallo di integrazione scelto: si hanno elevate attenuazioni (circa 80 dB) di componenti a frequenza esattamente multipla dell'inverso del periodo d'integrazione, mentre per frequenze maggiori o minori di esso il grado di attenuazioni decresce (Fig.22). L'integrazione è conveniente in caso di rumore a frequenza di rete o in relazione ad essa.

I *filtri* hanno un valore di attenuazione più omogeneo al variare della frequenza, anche se aumentano però sensibilmente il tempo di misurazione, rispetto all'uso dell'integrazione, a parità di grado di reiezione. Il loro uso è conveniente in caso di rumore a banda larga.

² Un filtro è essenzialmente un dispositivo o circuito che per quanto riguarda il segnale interferente presenta un'impedenza serie di valore elevato ed un'impedenza parallelo di valore basso. In questo modo le componenti del segnale vengono trasmesse inalterate mentre le componenti interferenti vengono derivate ed eliminate.

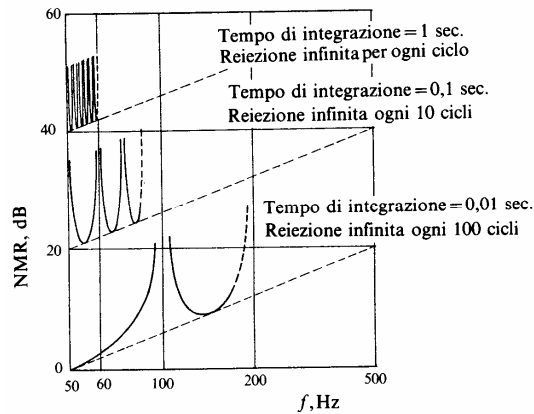


Fig.22 - Reiezione di modo comune con la tecnica dell'integrazione.

- Il rumore di *modo comune* è schematizzabile con una sorgente di disturbo V_{mc} posta tra il morsetto a potenziale inferiore del sistema di misurazione e la terra (Fig.23). La tensione di rumore di modo comune è una tensione misurabile tra ogni morsetto d'ingresso ed un terzo punto di riferimento. Anche tale rumore può avere sia una componente continua (Fig.24) che alternata (Fig.25). I problemi connessi con i disturbi di modo comune possono essere eliminati con trasformatori d'isolamento, stadi d'ingresso differenziali o schermi.

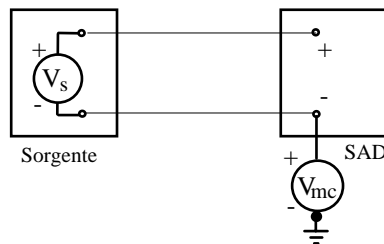


Fig.23 - Schematizzazione di un sistema con rumore di modo comune

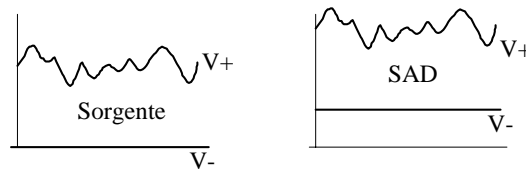


Fig.24 - Effetto sul segnale da un disturbo di modo comune di tipo continuo.

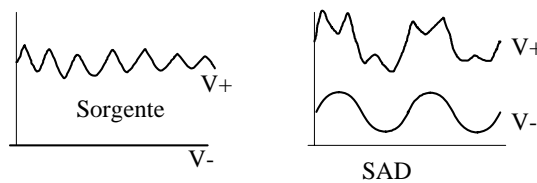


Fig.25 - Effetto sul segnale da un disturbo di modo comune di tipo alternato.

La tensione di modo comune V_{mc} produce la circolazione di una corrente di modo comune, che può assumere valori anche elevati. Al punto P tale corrente si divide in due componenti di diversa ampiezza che circolano sui due conduttori di collegamento e che producono due cadute di tensione su Z_1+Z_{ing} e su Z_2 , la cui risultante si presenta come una tensione di modo serie (Fig.26).

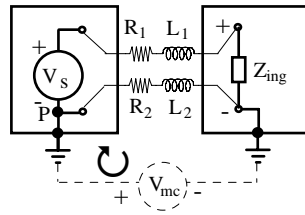


Fig.26 – Circolazione di una corrente di modo comune.

L'uso di trasformatori *d'isolamento* consente teoricamente di eliminare completamente la circolazione di correnti di modo comune tra sorgente e SAD, anche se in pratica essa circola attraverso la capacità parassita tra i due avvolgimenti (Fig.27).

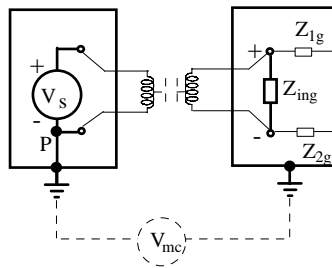


Fig.27 - Capacità parassita in un trasformatore d'isolamento.

Una soluzione migliore è quella di avere un SAD con *stadio d'ingresso differenziale* in cui, non essendo l'ingresso (-) riferito a terra, la tensione differenziale è quella effettiva della sorgente (Fig.28).

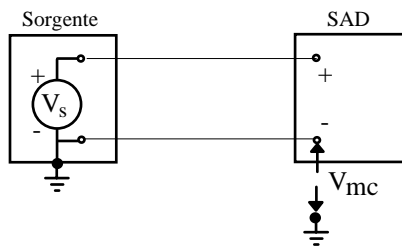


Fig.28 – Eliminazione della corrente di modo comune con SAD a stadio d'ingresso differenziale.

In questo caso l'impedenza d'isolamento Z_{2g} tra l'ingresso (-) e la terra deve risultare molto minore dell'impedenza d'ingresso Z_{ing} del SAD e dell'impedenza Z_{1g} tra l'ingresso (+) e la terra, al fine di far circolare corrente solo su R_2 , L_2 e Z_{2g} ed ottenere quindi un disturbo di modo serie, eliminabile con l'integrazione e il filtraggio (Fig.29).

In altri casi la tensione di modo comune viene eliminata mediante uno schermo G, detto comunemente *guardia*, che racchiude tutti i circuiti di misurazione del SAD ed è isolato sia da essi sia dallo chassis esterno (Fig.30) ³.

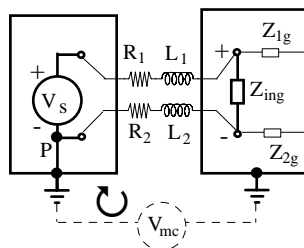


Fig.29 – Schematizzazione delle impedenze d'isolamento in un SAD a stadio d'ingresso differenziale.

Z_{1g} e Z_{2g} sono le impedenze d'isolamento della guardia dai morsetti d'ingresso, Z_{3g} è

³ La tecnica della guardia prevede essenzialmente un ingresso flottante con uno schermo che consente di rendere trascurabili le correnti di dispersione.

l'impedenza d'isolamento della guardia dallo chassis, che è collegato a terra.

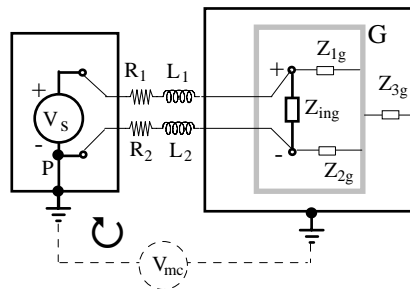


Fig.30 - Guardia non collegata.

Il solo inserimento della guardia non presenta nessun vantaggio significativo, potendo richiudersi le correnti di modo comune verso terra mediante la Z_{3g} . La guardia viene però dotata di un morsetto per effettuarne il collegamento con la terra della sorgente (Fig.31). In questo modo si crea una via a bassa impedenza per la circolazione della corrente di modo comune. Se si usano cavi schermati la guaina esterna va connessa a terra dal lato della sorgente ed alla guardia dal lato del SAD.

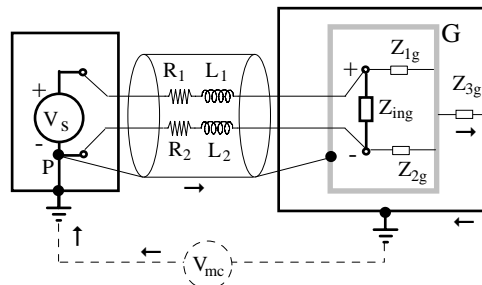


Fig.31 - Guardia collegata.

La tecnica della guardia oltre a ridurre le interferenze di modo comune, consente inoltre di ridurre le interferenze dovute alle capacità parassite ed alle conduttanze di dispersione.

SAD.5. Scelta dello stadio d'ingresso del SAD

La tecnica di misurazione migliore per una sorgente di segnale riferita a terra è quella differenziale o quella NRSE.

Nel caso di sorgente a terra e sistema di misurazione a terra (Fig.32), la tensione misurata V_m è data dalla somma della tensione da misurare e della differenza di potenziale esistente tra la terra della sorgente e quella del SAD: $V_m = V_s + V_{mc}$. La V_{mc} può essere sia una tensione continua, che introduce un errore di offset nella misurazione, che una tensione alternata, generalmente a 50 Hz. La V_{mc} inoltre produce la circolazione di una corrente nell'anello di terra che, passando attraverso la resistenza ed induttanza parassite dei due collegamenti darà luogo ad una tensione di modo serie. La configurazione di misurazione da utilizzare è invece quella di Fig.33, in cui il sistema di misurazione non è connesso a terra e non c'è circolazione di corrente dovuta alla V_{mc} , anche se tale corrente potrebbe scorrere richiudendosi attraverso le capacità parassite.

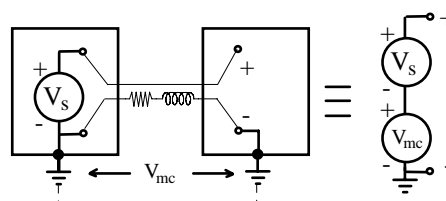


Fig.32 - Sistema di misurazione e sorgente a terra: configurazione errata.

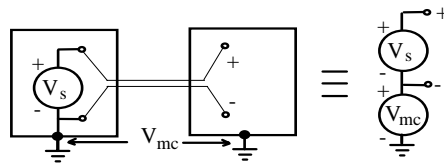


Fig.33 - Sistema di misurazione e sorgente a terra: configurazione corretta.

Nel caso di sorgenti fluttuanti, la tensione può essere misurata con sistemi di misurazione differenziali, a terra o NRSE. Nel caso di sistema di misurazione differenziale, bisogna garantire che la tensione di modo comune della sorgente sia compresa nel campo d'ingresso del sistema di misurazione. Usando un sistema di misurazione differenziale o NRSE, il livello di tensione della sorgente può risultare al di fuori di tale campo per effetto ad esempio della corrente di bias iniettata dall'amplificatore (Fig.34).

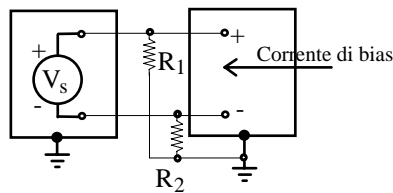


Fig.34 - Sistema di misurazione per sorgente fluttuante.

Tali correnti possono essere eliminate inserendo delle resistenze verso terra da $10 \div 100 \text{ k}\Omega$; per accoppiamenti in DC è necessario inserire solo R_2 , mentre per accoppiamenti in AC è necessario anche $R_1=R_2$.

I sistemi di misurazione differenziali trovano diversi campi applicativi.

Elettronica di potenza. Si applicano per la misurazione su circuiti connessi alla rete elettrica, come il circuito primario degli alimentatori switching e gli azionamenti elettrici, per la caratterizzazione dinamica di dispositivi elettronici (MOSFET, IGBT).

Circuiti bilanciati. Per la misurazione si alcuni sistemi che utilizzano segnali bilanciati: sistemi audio professionali, reti telefoniche, sistemi di registrazione magnetica (analogici e digitali), interfacce di comunicazione (RS-422).

Trasduttori. In alcuni trasduttori la piccola ampiezza del segnale e la necessità di eliminare l'anello di terra (ground loop) preclude l'uso di sistemi single-ended. Un esempio di applicazione è il ponte di Wheatstone a sbilanciamento, in cui bisogna prelevare il segnale di tensione sulla diagonale del ponte. Un altro esempio è quello di trasduttori alla cui uscita AC è sovrapposta una componente DC, che deve essere rimossa. Spesso tale componente è a bassa frequenza ($< 2 \text{ Hz}$) e quindi non si possono usare amplificatori in AC.

Misure biomediche. I segnali elettrici derivanti dall'attività neurologica hanno piccola ampiezza (anche $< 1 \text{ mV}$), frequenza inferiore ai 20 Hz , con tensioni di modo comune centinaia o migliaia di volte superiori. Inoltre l'impedenza interna della sorgente di segnale equivalente è elevata.

Va comunque osservato che i sistemi a massa fluttuante possono presentare dei problemi: un accumulo di carica elettrostatica, che potrebbe scaricarsi su un circuito danneggiandolo; un pericoloso innalzamento della tensione dello chassis, in caso di guasto ad un circuito interno al sistema.

SAD.6. Condizionamento dei segnali d'ingresso.

In un SAD, come in generale per un qualsiasi sistema di misurazione, è necessario adattare il segnale d'ingresso alle caratteristiche degli stadi successivi. Diversi sono i condizionamenti cui può essere sottoposto il segnale, tra di essi quelli più frequentemente utilizzati sono citati nel seguito.

Il tipo più comune di condizionamento è l'*amplificazione*. Segnali di piccola ampiezza, come quelli generati da termocoppie ad esempio, devono essere amplificati al fine di migliorare la risoluzione nella fase di conversione in formato digitale. In genere si amplifica il segnale in modo da avere un'estensione in ampiezza prossima al valore di fondo scala del convertitore A/D. Inoltre l'amplificazione del segnale consente di migliorare il rapporto segnale/rumore (S/R). A tal fine è bene che l'amplificatore sia posto il più vicino possibile alla sorgente di segnale, in modo da ridurre gli effetti del rumore.

L'*attenuazione* del segnale ha lo scopo di ridurre l'ampiezza, in modo da aumentare la portata del SAD.

L'*espansione delle linee di I/O*, utilizzando la tecnica del multiplexing. I multiplexer possono essere realizzati sia con circuiti elettronici allo stato solido (solid-state relays) che con dispositivi elettromeccanici. Alcuni multiplexer hanno internamente la logica per la decodifica del canale selezionato (Fig.35). I parametri principali dei multiplexer analogici sono:

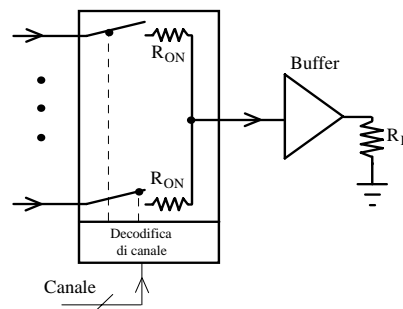


Fig.35 - Multiplexer analogico.

- il tempo di commutazione (switch time), che va dai 50 ns ad oltre 1 μ s; esso dipende essenzialmente dalla capacità parassita (può raggiungere anche 100 pF), che con l'impedenza d'uscita della sorgente di segnale forma un circuito RC, la cui costante di tempo rallenta il tempo di risposta al transitorio dovuto alla commutazione;
- la resistenza del canale chiuso RON (on-resistance), che va dai 25 ohm ad alcune centinaia di ohm, che introduce un'attenuazione sul segnale se il multiplexer deve pilotare un carico RL, fornendo quindi una corrente elevata; per questo motivo si inserisce spesso un buffer di separazione;
- l'isolamento del canale aperto (off-channel isolation o crosstalk), che va dai 50 dB ai 90 dB;
- la modulazione della resistenza del canale chiuso (RON modulation), cioè la variazione della resistenza con il livello del segnale, che potrebbe distorcere il segnale trasmesso;
- la forza elettromotrice (fem) termoelettrica rispetto al rame, particolarmente importante se il segnale applicato al commutatore è di piccola ampiezza, come quelli prodotti dalle termocoppie; ad esempio, alcuni relè hanno fem termoelettriche di alcuni microvolt (reed switch)⁴.

L'*isolamento galvanico* del trasduttore dal sistema di condizionamento è frequentemente richiesto per:

- ridurre il rumore dovuto all'anello di massa: l'isolamento elimina le correnti che circolano nell'anello di massa e quindi le tensioni di rumore che potrebbero ridurre la qualità del segnale;
- evitare danni all'operatore ed alle apparecchiature in caso di presenza di componenti del segnale ad alta tensione;
- evitare che il segnale presente su un canale influenzi i segnali presenti sugli altri;
- eliminare disturbi impulsivi (spikes).

⁴ Le fem termoelettriche sono generate dal gradiente termico tra due metalli diversi (es. Cu-Sn 3 μ V/°C, V Cu-Si 420 μ V/°C).

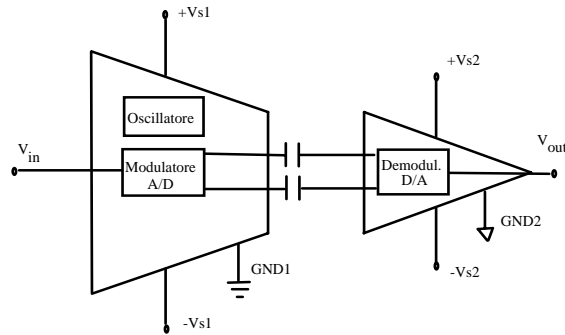


Fig.36 - Schema di principio di un amplificatore d'isolamento.

L'isolamento è ottenuto realizzando la trasmissione senza collegare direttamente trasmettitore e ricevitore, ma realizzando un accoppiamento induttivo, capacitivo o ottico (Fig.36). Tali dispositivi sono detti optoisolatori.

Con questi dispositivi gli effetti del rumore di modo comune vengono completamente rimossi e si riduce notevolmente anche il segnale di disturbo irradiato.

Spesso i segnali vanno filtrati per eliminare componenti indesiderate del segnale. Uno dei filtri più spesso utilizzati è il filtro passa-basso che elimina tutte le componenti a frequenza superiore ad un certo valore, detto frequenza di taglio. Esso consente di ridurre il livello del rumore sovrapposto al segnale, di sopprimere componenti di frequenza superiore alla massima banda del SAD, che è regolata in sostanza dalla frequenza di acquisizione, eliminando quindi il fenomeno dell'aliasing.

Nel caso di alcuni sensori il sistema di condizionamento deve inoltre fornire il segnale di eccitazione. Esempio tipico è rappresentato dai sensori di deformazione (strain gauges) e dalle RTD (Resistance Temperature Detector) che richiedono una tensione o corrente di eccitazione per poterne misurare la resistenza. In questo modo, essendo fornita potenza al sensore tramite il circuito di condizionamento, non è necessario utilizzare alimentatori esterni.

Alcuni sensori, come gli strain gauges, vengono spesso inseriti in un ramo del ponte di Wheatstone a sbilanciamento. Il circuito di condizionamento rappresenta quindi il completamento di un circuito a ponte, costituito da 3 o da 2 resistenze, a seconda che il sensore sia costituito da 1 o da 2 resistenze.

In alcuni casi è richiesta la *linearizzazione* dell'uscita di un sensore, in modo da semplificare la fase di conversione del livello di tensione misurato nel valore della grandezza del fenomeno in esame. Si ottiene in tal modo un legame tra ingresso ed uscita costante del tipo $V_{out} = A V_{in}$, nello specifico intervallo di funzionamento.

Ciò può essere ottenuto mediante un circuito analogico di condizionamento di tipo non lineare (Fig.37), utilizzando circuiti a componenti passivi o attivi. Il più utilizzato come circuito di linearizzazione è l'amplificatore logaritmico, con un legame ingresso-uscita del tipo $V_{out}=k \log V_{in}$.

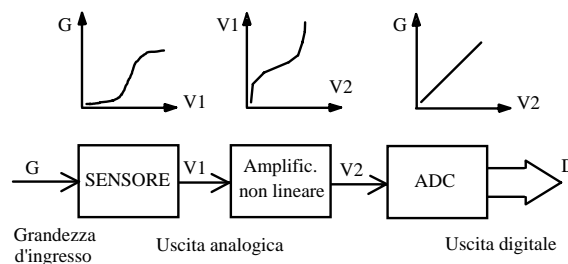


Fig.37 - Linearizzazione mediante amplificatore non lineare.

In altri casi si usa un convertitore A/D a caratteristica non lineare (ratiometric ADC) (Fig.38) o

un'elaborazione dei valori numerici acquisiti (tabella di look-up, algoritmo di linearizzazione).

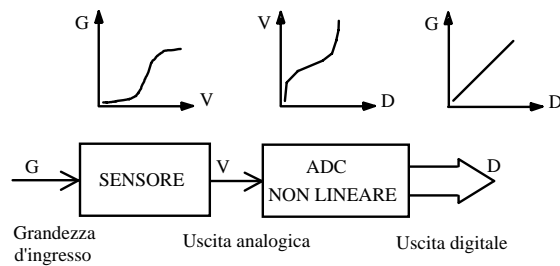


Fig.38 - Linearizzazione mediante ADC non lineare.

A rigore tutti i segnali sono analogici e variabili nel tempo, ma per vedere come essi possono essere condizionati può essere fatta la classificazione di Fig.39.



Fig.39 - Classificazione dei segnali

SAD.6.1. Segnali analogici.

I segnali analogici possono assumere un qualsiasi livello.

I segnali continui (DC) possono essere segnali statici o segnali lentamente variabili. Il parametro fondamentale di un segnale DC è la sua ampiezza, o livello, ad un dato istante. Segnali di questo tipo sono generati da sensori di temperatura, di pressione, di flusso e di sforzo.

La loro acquisizione non pone grossi problemi in termini di frequenza di campionamento o di sincronizzazione, quanto di precisione e sensibilità in DC del SAD.

I segnali analogici nel dominio del tempo sono segnali il cui contenuto informativo si riferisce non solo al livello assunto dal segnale, ma anche a come questo varia nel tempo (forma d'onda). Come esempi si possono citare i segnali in uscita da un elettrocardiografo, o i segnali prodotti da un sintetizzatore audio.

Segnali di questo tipo richiedono spesso la determinazione di alcuni parametri quali la pendenza o la disposizione e la forma dei picchi. Questi possono essere determinati acquisendo una sequenza di campioni del segnale che devono essere sufficientemente vicini nel tempo. Inoltre tali campioni devono essere acquisiti a partire da un certo istante, allo scopo di garantire che si riferiscano al segnale d'interesse. La loro acquisizione richiede specifici valori di: risoluzione, frequenza di campionamento, precisione in AC e DC, capacità di sincronizzazione.

I segnali analogici nel dominio della frequenza sono segnali il cui contenuto informativo si riferisce al contenuto in frequenza del segnale (spettro in frequenza). Come esempi si possono citare i segnali in uscita da un sonar, da un sensore di vibrazione o da un dispositivo di conversione statica dell'energia (inverter). La loro acquisizione richiede specifici valori di: risoluzione, frequenza di campionamento, precisione in AC, capacità di sincronizzazione, filtraggio antialiasing.

Il condizionamento di segnali analogici (Fig.40) prevede:

- . amplificazione,
- . isolamento,
- . filtraggio,
- . eccitazione dei sensori,

. linearizzazione.

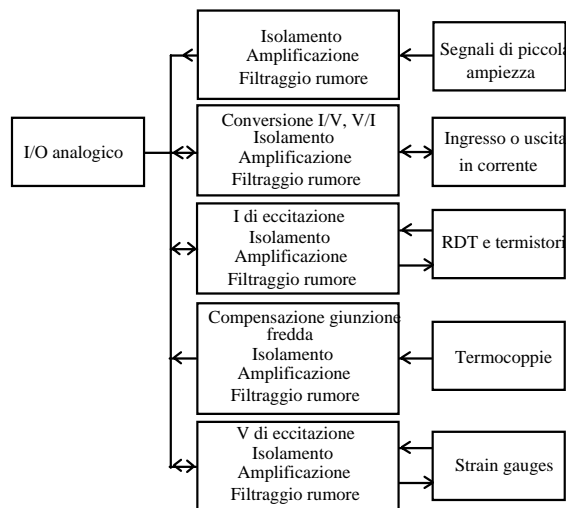


Fig.40 - Condizionamento dei segnali analogici.

SAD.6.2. Segnali digitali.

I segnali digitali assumono solo due diversi livelli logici discreti: un livello alto (ON) ed uno basso (OFF). Possono essere distinti 2 tipi diversi di segnale digitale:

un primo tipo in cui il contenuto informativo del segnale si riferisce al solo livello da esso assunto in un certo istante (segnale di stato o on-off); come esempi si possono considerare:

- . segnale d'ingresso: segnalazione dello stato di apertura o di chiusura di un interruttore;
- . segnale d'uscita: segnale di comando per una valvola;

un secondo tipo in cui il contenuto informativo si riferisce: (i) al numero di transizioni di stato del segnale, (ii) alla velocità (rate) con cui avvengono o (iii) al tempo che intercorre tra una transizione e l'altra (*treno di impulsi*); come esempi si possono considerare:

- . segnale d'ingresso: segnale prodotto da un encoder;
- . segnale d'uscita: segnale prodotto da una base dei tempi (clock).

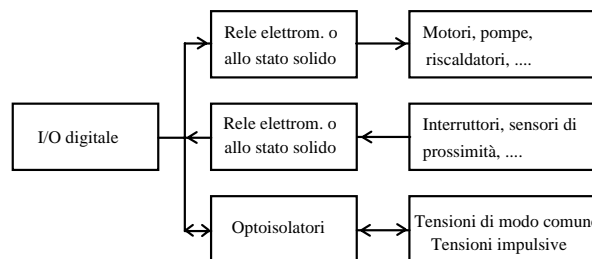


Fig.41 - Condizionamento dei segnali digitali.

Anche il condizionamento dei segnali digitali deve spesso prevedere un blocco funzionale che isoli galvanicamente il dispositivo del processo industriale che genera tali segnali ed i dispositivi o strumenti posti a valle di esso. Potrebbero infatti presentarsi diversi problemi:

- . è presente una tensione di modo comune elevata (gli impulsi sono sovrapposti ad un segnale a tensione elevata);
- . sono presenti delle tensioni impulsive (spikes) sovrapposte al segnale digitale che potrebbero produrre danneggiamenti ai circuiti a valle.

I segnali digitali che un sistema di controllo di processo genera per comandare un attuatore devono essere opportunamente condizionati. Infatti un attuatore, che è in genere costituito da un elettromagnete, un motore o una pompa, richiede un segnale con tensione dell'ordine di almeno alcune decine di volt. I dispositivi che generano i segnali digitali nel controllore producono in

uscita tensioni dell'ordine dei volt e correnti dell'ordine di pochi milliampere. A tal fine i segnali digitali vanno a comandare dei relè (elettromeccanici o allo stato solido), dei transistor o degli SCR a valle dei quali sono posti gli attuatori.

Lo stato di alcuni dispositivi presenti nel processo, quali interruttori, sensori di prossimità, interruttori di fine corsa, termostati, pressostati, deve essere convertito in un segnale digitale. Ciò si ottiene inserendo dei relè allo stato solido che convertono la tensione di stato in un segnale digitale. In questo modo si eliminano anche i problemi legati alla diversa tensione tra i segnali generati dai dispositivi presenti nel processo controllato ed i limiti di tensione imposti dalla logica digitale.

SAD.7. Multiplexer

Quando il numero dei canali del SAD è elevato vengono utilizzati dei multiplexer per aumentare il numero dei canali analogici (multiplexer analogici) o il numero dei canali digitali (multiplexer digitali) (Fig.58). Questi sono essenzialmente dei commutatori che consentono di connettere uno degli ingressi al dispositivo collegato in uscita.

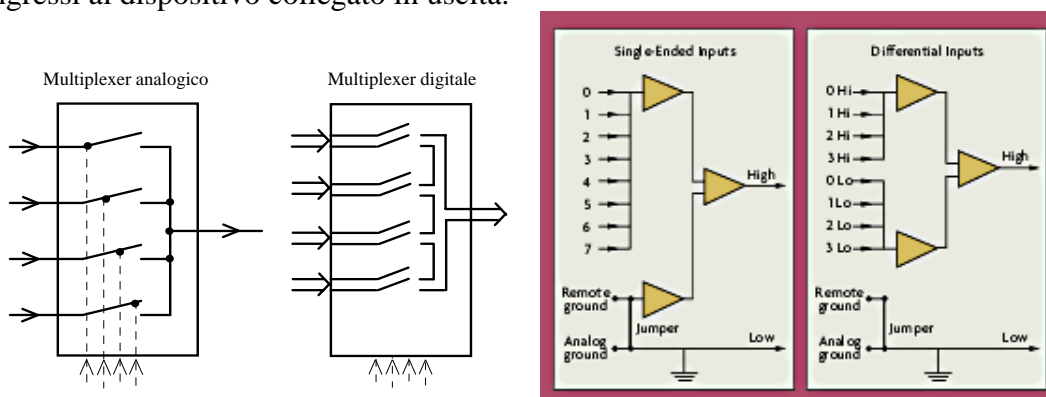


Fig.58 - Schema funzionale di un multiplexer.

Alcuni multiplexer hanno internamente la logica per la decodifica del canale selezionato (Fig.59).

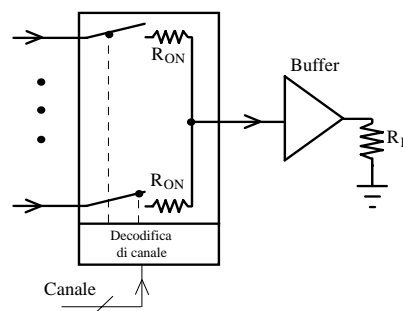


Fig.59 - Multiplexer c circuito di decodifica.

I parametri principali dei multiplexer analogici sono:

- il tempo di commutazione (switch time), che va dai 50 ns ad oltre 1 μ s;
- la resistenza del canale chiuso R_{ON} (on-resistance), che va dai 25 ohm ad alcune centinaia di ohm, che introduce una attenuazione sul segnale se il multiplexer deve pilotare un carico R_L ; per questo motivo s'inserisce spesso un buffer di isolamento;
- l'isolamento del canale aperto (off-channel isolation o crosstalk), che va dai 50 ai 90 dB;
- la modulazione della resistenza del canale chiuso (R_{ON} modulation), cioè la variazione della con il livello del segnale, che introduce distorsione sul segnale.

E' possibile realizzare gli elementi commutazione anche mediante dispositivi elettromeccanici, in particolare i relays. I relays elettromeccanici sono costituiti da una bobina attraverso la quale viene fatta circolare una corrente e che produce l'apertura e chiusura di un contatto metallico.

Possono essere realizzati sia con contatti normalmente aperti (NA) che normalmente chiusi (NC).. Hanno bassa resistenza nello stato di chiuso e piccola fem termoelettrica. Il problema principale è quello dell'usura delle parti meccaniche a causa del movimento e dei contatti, a causa del riscaldamento e degli archi elettrici.

I relays reed sono sempre elettromeccanici, ma molto più piccoli come dimensioni, con un contatto mobile sottile e flessibile (reed) disposto in un contenitore sigillato. Questi dispositivi hanno bassi valori di resistenza di contatto, piccole fem termoelettriche, tempo di vita e velocità superiori agli altri elettromeccanici. Le portate in tensione e corrente sono però ridotte.

SAD.8. Campionamento e conversione.

Il campionamento è l'operazione con cui si discretizza nel tempo il segnale d'ingresso trasformandolo in una successione di valori, campioni appunto, che verranno successivamente digitalizzati. Come campionamento del segnale generalmente si indica non solo la sua discretizzazione nel tempo, ma anche il suo mantenimento fino alla successiva chiusura dell'interruttore. Queste due fasi sono realizzate da appositi circuiti detti Sample & Hold (S/H).

Il segnale di ingresso, che la sezione di campionamento ha discretizzato nel tempo, è discretizzato anche in ampiezza mediante l'operazione di conversione, eseguita dal convertitore A/D che provvede alla codifica binaria del campione analogico.

I convertitori A/D a valore istantaneo consentono la trasformazione di un segnale analogico $V(t)$ in una sequenza di valori numerici $\{V_k\}$. La conversione A/D avviene concettualmente tramite due fasi di campionamento e di quantizzazione e codifica. Il campionamento trasforma un segnale continuo in una serie di impulsi (campioni) equispaziati nel tempo (T_c) di ampiezza $V(t_k)$ pari a quella del segnale campionato al tempo t_k . La rappresentazione in frequenza di un segnale campionato è dato dalla ripetizione dello spettro del segnale continuo nell'intorno di multipli della frequenza di campionamento, come mostrato in Fig.60.

È possibile riottenere il segnale continuo dai suoi campioni eliminando tali repliche, tramite un opportuno filtraggio passa basso (interpolazione). Affinché l'interpolazione sia possibile è necessario che le repliche non si sovrappongono allo spettro del segnale continuo.

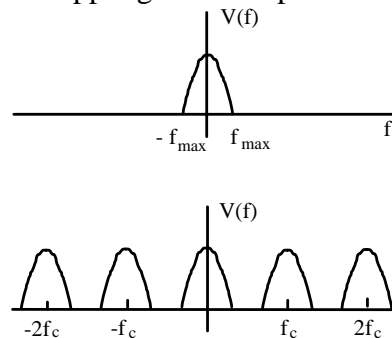


Fig.60 - Spettro del segnale analogico $V(f)$ e del segnale campionato.

Ciò è garantito se la frequenza di campionamento è pari ad almeno il doppio della frequenza massima del segnale. Per analisi non a banda limitata, è necessario che anche l'ingresso sia sottoposto ad un filtraggio passa basso (anti-aliasing) con frequenza di taglio pari alla metà della frequenza di campionamento. La frequenza di campionamento, dunque, è legata alla frequenza del segnale.

Mediante la quantizzazione e la codifica ogni impulso è trasformato in un codice numerico. I possibili codici numerici d'uscita sono in numero finito e corrispondono ai valori del segnale analogico equispaziati di un intervallo Q .

SAD.8.1. Campionamento.

Il *campionamento* è l'operazione con cui si discretizza nel tempo il segnale di ingresso trasformandolo in una successione di valori, campioni appunto, che verranno successivamente digitalizzati. Il modo più semplice per estrarre dei valori a tempo discreto dal segnale in analisi è quello di mettere un interruttore (sample) in serie al segnale che si chiuda e si apra ad intervalli definiti, collegando il segnale di ingresso alla sezione di conversione per il tempo t_a in cui l'interruttore è chiuso. Più piccolo è questo tempo t_a , più fedele sarà la ricostruzione del segnale a partire dai suoi campioni.

In Fig.61 è rappresentato il processo di campionamento di un segnale analogico: in a) è rappresentato il segnale d'ingresso, in b) gli impulsi di campionamento, in c) il segnale campionato ed in d) il corrispondente segnale convertito.

Un convertitore per eseguire la conversione richiede un certo tempo che dipende da diversi fattori:

- . la risoluzione del convertitore;
- . la tecnica con la quale viene eseguita la conversione;
- . la velocità massima dei componenti elettronici utilizzati nel convertitore.

Il tempo di conversione necessario per una particolare applicazione va correlato con la velocità di variazione del segnale da convertire, oltre che con la precisione che si desidera eseguire.

Il tempo di conversione viene spesso indicato come *tempo di apertura* t_a e rappresenta l'incertezza, in termini di tempo, nell'effettuazione della conversione. Il tempo di apertura dà luogo ad un'incertezza nella valutazione dell'ampiezza del segnale, se questo varia durante questo tempo. In pratica la variazione del segnale durante la fase di conversione produce una variazione del valore numerico di uscita, rispetto al caso in cui il segnale è a livello costante, che dipende dal tempo di conversione e dalla variazione in ampiezza del segnale durante questo tempo.

In Fig.62 viene mostrato l'andamento di un segnale all'ingresso di un convertitore A/D che ha una variazione di ΔV durante il tempo di apertura t_a . L'errore può essere considerato come un errore di ampiezza (nel senso che la tensione varia rispetto a quella relativa all'istante di campionamento) o di tempo (nel senso che il valore convertito non corrisponde all'istante voluto): i due errori sono legati dalla relazione:

$$\Delta V = t_a \left| \frac{dV(t)}{dt} \right| \quad (34)$$

dove $dV(t)/dt$ è la velocità di variazione del segnale di ingresso nel tempo. Da notare che ΔV rappresenta il valore massimo dell'errore, mentre l'errore effettivamente commesso dipende da come viene effettuata la conversione, cioè dalla durata effettiva del tempo di conversione.

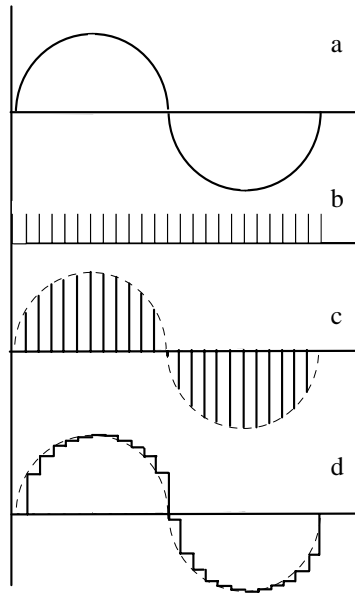


Fig.61 - Campionamento di un segnale analogico.

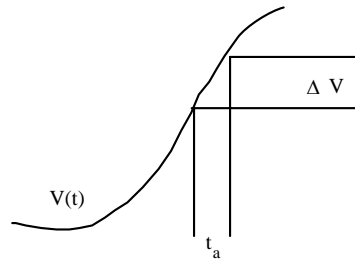


Fig.62 - Tempo di apertura t_a ed errore di ampiezza.

Generalmente si richiede che questa variazione sia limitata a $\Delta V \leq \frac{1}{2}Q$. Ciò si spiega considerando che per ogni intervallo di quantizzazione si associa un codice che rappresenta numericamente il valore analogico di tensione corrispondente al centro del passo di quantizzazione stesso, con un errore di $\pm \frac{1}{2}Q$.

Considerando un convertitore A/D che richiede per l'effettuazione della conversione un tempo T_c , si può calcolare la massima variazione del segnale dalla relazione:

$$\left| \frac{dV}{dt} \right| = \frac{\Delta V}{T_c} \leq \frac{Q/2}{T_c} = \frac{V_{FS}/2^N}{2} \frac{1}{T_c} = \frac{V_{FS}}{2 \cdot 2^N} f_c \quad (35)$$

Esempio. Si consideri un convertitore A/D che debba convertire un segnale sinusoidale, la cui tensione picco-picco V corrisponda alla tensione di fondo scala del convertitore $V = V_{FS}$.

Il segnale può essere espresso analiticamente mediante la relazione:

$$V(t) = \frac{V_{FS}}{2} \sin(\omega t) = \frac{V}{2} \sin(\omega t) \quad (36)$$

la cui velocità di variazione è data dalla relazione:

$$\left| \frac{dV}{dt} \right| = \frac{d}{dt} \left[\frac{V}{2} \sin(\omega t) \right] = \frac{V}{2} \omega \cos(\omega t) \quad (37)$$

il cui valore massimo è:

$$\left| \frac{dV}{dt} \right|_{\max} = \left[\frac{V}{2} \omega \cos(\omega t) \right]_{t=0} = \frac{V}{2} \omega = \pi f V \quad (38)$$

Tenendo conto della (6-11) si può scrivere:

$$\frac{V_{FS}}{2} \omega = \frac{V_{FS}}{2} 2^N f_c \quad \Rightarrow \quad T_c = \frac{1}{\omega 2^N} \quad (39)$$

da cui la massima frequenza del segnale è:

$$f = \frac{1}{2\pi 2^N T_c} \quad (40)$$

Si noti che la frequenza del segnale d'ingresso cresce al crescere della frequenza di campionamento (si riduce t_a). Sembrerebbe anche che essa sia inversamente proporzionale al numero di bits N , ma ciò è dovuto al fatto che all'aumentare di N , a parità di fondo scala, si riduce il valore del passo di quantizzazione e quindi l'errore ammissibile ($\pm 1/2 Q$)⁵.

A causa del tempo finito di conversione, per la (6-14) rispetto alla frequenza di Nyquist bisogna considerare una limitazione di $\pi 2^N$ nel caso di segnali sinusoidali ($f_c \geq \pi 2^N 2f$).

SAD.8.2. Sample and Hold.

Al fine di evitare questo tipo di errore è possibile utilizzare degli opportuni componenti che consentono di mantenere costante il segnale in ingresso al convertitore durante tutto il ciclo di conversione. Tali componenti sono detti di campionamento e tenuta o Sample and Hold (S/H).

Nel S/H le due fasi di campionamento e di tenuta sono controllate mediante un opportuno segnale esterno⁶.

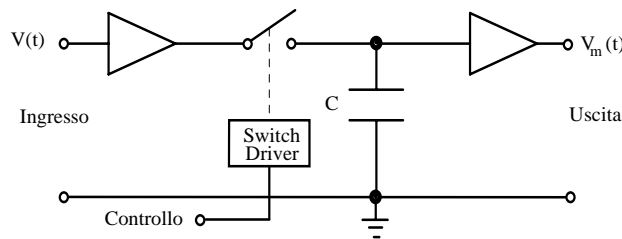


Fig.63 - Schema di principio di un sample and hold.

Nel S/H c'è un buffer (amplificatore a guadagno unitario) d'ingresso con alta impedenza di ingresso, in modo che la sorgente non sia caricata (non ci sia assorbimento di corrente) Fig.63. C'è inoltre un buffer d'uscita, anch'esso ad alta impedenza di ingresso, che presenta in uscita la tensione del condensatore senza farlo scaricare. In Fig.64 sono riportati i segnali di ingresso ed uscita dal S/H ed il segnale di controllo.

⁵Esempio.

Si voglia determinare la massima frequenza del segnale d'ingresso consideri per un convertitore A/D a 12 bit con $T_c=0,04$ ms, $f_c=25$ kHz:

$$f = \frac{1}{2\pi 2^{12} \cdot 4 \cdot 10^{-5}} = 0,97 \text{ Hz}$$

cui corrisponde una velocità di variazione del segnale analogico d'ingresso:

$$\left| \frac{dV}{dt} \right| = \frac{V_{FS}}{2} 2^N f_c = \frac{10}{2} 2^{12} 25 \cdot 10^3 = 30 \text{ V/s}$$

Si consideri un convertitore A/D a 12 bit del tipo ad approssimazioni successive con $T_c=1,5\mu\text{s}$. Si voglia determinare la massima frequenza del segnale d'ingresso:

$$f = \frac{1}{2\pi 2^{12} 1,5 \cdot 10^{-6}} = 25,9 \text{ Hz}$$

cui corrisponde una velocità di variazione del segnale analogico d'ingresso:

$$\left| \frac{dV}{dt} \right| = \frac{10}{2} 2^{12} 1,5 \cdot 10^{-6} = 813,8 \text{ V/s}$$

Si vede quindi come la durata della conversione influenzi le prestazioni del convertitore in termini di velocità di variazione del segnale analogico d'ingresso.

⁶Ci sono in effetti due tipi di dispositivi: il sample and hold che mantiene il livello precedentemente campionato finché non si invia un nuovo comando di campionamento ed il track and hold che mantiene il livello precedentemente campionato finché non termina la conversione, per poi chiudere lo switch e cominciare ad inseguire il segnale che viene mantenuto al livello raggiunto quando arriva il comando di campionamento.

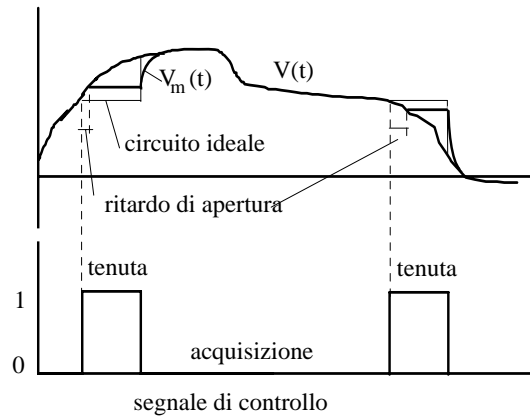


Fig.64 - Modalità di funzionamento di un sample and hold.

Quando il segnale di controllo è a livello basso l'interruttore è chiuso ed il segnale in uscita dall'amplificatore $V_m(t)$ segue l'andamento del segnale d'ingresso $V(t)$. Quando il segnale di controllo passa a livello alto l'interruttore si apre e la capacità C memorizza il valore della tensione all'istante di apertura.

Esiste tuttavia un certo ritardo tra il comando di apertura e l'inizio della fase di mantenimento. Questo ritardo è costituito da un ritardo fisso τ_0 (apertura delay time: ritardo d'apertura) ed un ritardo variabile τ_e (incertezza d'apertura). Il *ritardo d'apertura* rappresenta il ritardo tra il comando di HOLD e l'effettivo inizio della fase di HOLD. Il ritardo tra il comando di SAMPLE e l'effettivo inizio di questa fase si dice *ritardo di chiusura* (turn-off time). L'*incertezza d'apertura* rappresenta la differenza tra il massimo ed il minimo ritardo di chiusura. Le specifiche su questi ritardi sono molto importanti nei SAD multicanale, poiché essi introducono errori nella misura della fase associata a segnali acquisiti con due diversi canali.

Questo tempo τ_e rappresenta per il S/H lo stesso errore rappresentato dal periodo di conversione T_c per il convertitore A/D, precedentemente analizzato.

SAD.8.3. Processo di quantizzazione e codifica.

La *quantizzazione* è il processo mediante il quale si ha la trasformazione di un segnale analogico di tipo continuo in un insieme di stati d'uscita discreti, imponendo che i campioni assumano ampiezze discrete, entro determinati estremi. Il segnale d'ingresso, che la sezione di campionamento ha discretizzato nel tempo, è discretizzato anche in ampiezza. Il valore quantizzato è quindi un valore intero preso da una lista contenente un numero finito di valori interi, a ciascun dei quali è associato un determinato livello di tensione, ottenendo la conversione A/D dei singoli campioni. L'ADC sceglie, operando con una certa logica, il codice relativo al livello più vicino al campione da convertire, realizzando quindi la funzione di trasferimento di tipo non lineare, riportata in Fig.65 per un ADC ideale.

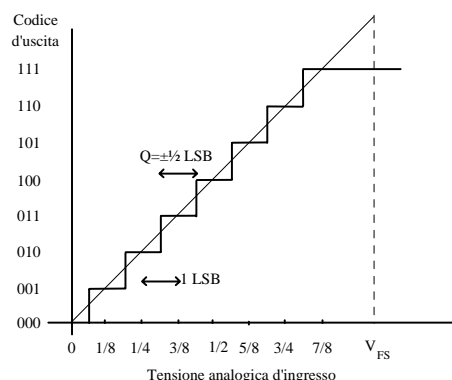


Fig.65 - Funzione di trasferimento di un convertitore A/D.

Sull'asse delle ascisse sono riportati i valori analogici d'ingresso normalizzati in funzione del valore del fondo scala (V_{FS} in figura). Sull'asse delle ordinate sono riportati sia i codici digitali d'uscita che i valori frazionari. La funzione riportata in Fig.65 fa riferimento ad un convertitore con 8 stati d'uscita. Assegnando un codice ad ogni stato d'uscita si ottiene la funzione di trasferimento di un ADC a 3 bits. La *codifica* consiste, infatti, nell'assegnazione di un codice digitale ad ognuno dei suddetti stati d'uscita.

L'uscita binaria rappresenta quindi un'approssimazione del valore analogico d'ingresso, che può essere espressa come il rapporto tra la tensione d'ingresso ed una tensione di riferimento nota, arrotondata al valore digitale più prossimo, secondo la relazione:

$$\text{Codice} = \text{rnd} \left(\frac{V_{in}}{V_{FS}} 2^N \right) \quad (41)$$

dove: V_{in} è il valore della tensione d'ingresso, variabile tra 0 e V_r ;

V_{FS} è il valore della tensione di fondo scala;

N è il numero di bits del convertitore A/D;

rnd è la funzione di arrotondamento del termine tra parentesi al valore l'intero più prossimo.

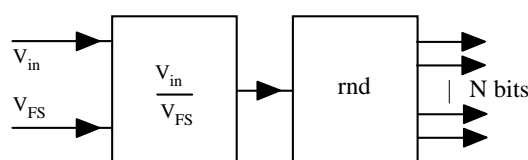


Fig.66 - Rappresentazione della funzione realizzata da un convertitore A/D.

Essendo i codici digitali d'uscita in formato PCM (Pulse Code Modulation), i tradizionali convertitori A/D sono anche detti convertitori PCM.

Nella seguente tabella vengono riportati i valori della frazione decimale del fondo scala corrispondente al codice assegnato, il valore digitale del codice ed il valore decimale corrispondente (tra 0 e 7/8 del fondo scala).

Traducendo in una successione più o meno lunga di bit il valore analogico di ingresso si introduce un errore di quantizzazione. Questo errore è tanto minore quanto maggiore è il numero di bit. Infatti, analizzando la figura si può notare che in tutto il campo di funzionamento esistono intervalli di valori analogici che corrispondono allo stesso codice di uscita.

Frazione decimale	bit2 (x1/2)	bit1 (x1/4)	bit0 (x1/8)	Valore decimale
0	0	0	0	0
1/8=2 ⁻³ (LSB)	0	0	1	1
2/8=1/4	0	1	0	2
3/8=1/4+1/8	0	1	1	3
4/8=1/2	0	1	0	4
5/8=1/2+1/8	1	0	1	5
6/8=1/2+1/4	1	1	0	6
7/8=1/2+1/4+1/8	1	1	1	7

L'ampiezza di tale intervallo è detta intervallo o *passo di quantizzazione* Q . Esso vale $1/8 FS$ nel

caso esaminato ed è in generale valutabile dividendo il valore di fondo scala per il numero degli stati digitali di uscita:

$$Q = V_{FS} / 2^N \quad (42)$$

dove: V_{FS} è il valore della tensione di fondo scala;

N è il numero di bit del convertitore A/D.

Va precisato che esistono due tipi di caratteristiche come mostrato in Fig.67 per un convertitore a 2 bit: la prima, quella di Fig.67a), che ha un numero di livelli d'uscita pari (4) ed è detta *midtread* e la seconda, quella di Fig.67b), che ha un numero di livelli d'uscita dispari (5) ed è detta *midriser*⁷.

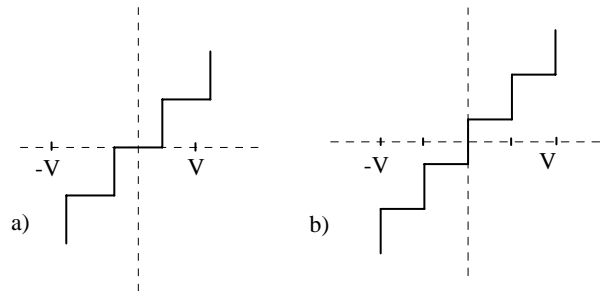


Fig.67 - Funzioni di trasferimento di un convertitore A/D.

La grandezza Q rappresenta la più piccola parte che può essere risolta (discriminata) dal sistema di quantizzazione. Normalmente viene indicata come *bit meno significativo* o LSB (Least Significant Bit): indica, infatti, anche di quanto deve variare il segnale analogico per causare una variazione del bit meno significativo.

Osservando la caratteristica di conversione si può vedere che data una particolare tensione d'ingresso è possibile determinare quale sarà il corrispondente valore del codice digitale d'uscita. Viceversa, dato un particolare valore del codice digitale d'uscita è possibile determinare il corrispondente valore della tensione d'ingresso solo all'interno di una fascia d'incertezza, come riportato in Tab.6.3.

Il segnale quantizzato è pertanto un'approssimazione di quello originario. La quantizzazione è un'operazione che introduce una degradazione irreversibile nel contenuto informativo di un segnale. Essa può anche essere interpretata come una generazione irreversibile di rumore (rumore di quantizzazione). In Fig.68 è riportato anche l'andamento dell'errore di quantizzazione E_Q nel campo operativo del convertitore. Tale errore è pari alla differenza tra il valore della tensione analogica applicata all'ingresso ed il valore corrispondente all'uscita numerica, ottenuto moltiplicando il codice d'uscita per l'ampiezza del passo di quantizzazione:

$$E_Q = (\text{codice} \times Q) - V_{ing} \quad (43)$$

Tab.6-3 Relazione tra i codici d'uscita, i valori delle tensioni di transizione $V_t(k)$ tra i codici e gli intervalli di tensione tra i codici.

Tensioni di transizione	Codici d'uscita	Intervallo di tensione tra i codici
$V_t(2^N-1)$	2^N-1	
$V_t(2^N-2)$	2^N-2	$V_t(2^N-1) - V_t(2^N-2)$
.....

⁷ La differenza tra questi due tipi di quantizzatori è che mentre nel primo caso il rumore presente in assenza di segnale viene annullato, se ha ampiezza inferiore a $Q/2$, nel secondo caso viene amplificato, dando luogo in uscita ad un codice sempre diverso da zero.

La *midriser* non prevede un livello d'uscita zero per un valore d'ingresso nullo, dando luogo ad una componente continua (offset), indesiderabile in molte applicazioni. Tuttavia, avendo un numero di livelli pari, questo può essere una potenza di 2 ed essere codificato con esattamente N bits, diversamente dalla *midtread* che richiede $N+1$ bits. Per forzare un A/D *midtread* ad avere N bits, bisogna considerare un livello di meno, ma in questo caso la caratteristica non è più simmetrica e può dar luogo a distorsioni nella conversione di segnali simmetrici di elevata ampiezza. L'effetto distorcente diventa trascurabile all'aumentare del numero di livelli.

$V_i(k+2)$	$k+1$	$V_i(k+2) - V_i(k+1)$
$V_i(k+1)$	K	$V_i(k+1) - V_i(k)$
$V_i(k)$
$V_i(3)$	2	$V_i(3) - V_i(2)$
$V_i(2)$	1	$V_i(2) - V_i(1)$
$V_i(1)$	0	

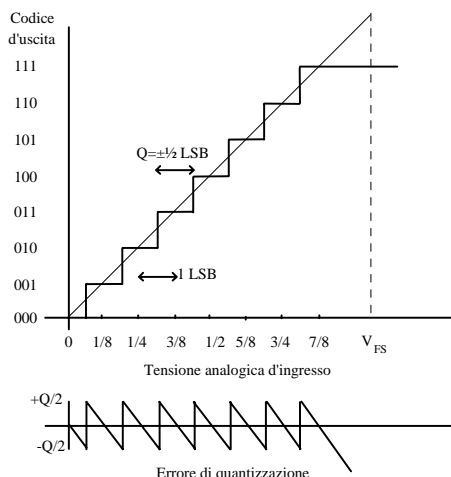


Fig.68 - Errore di quantizzazione di un convertitore ideale a 3 bits.

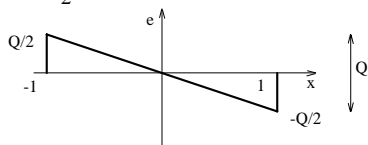
Esso può essere ridotto, a parità di fondo scala del convertitore, solo aumentando il numero di stati d'uscita del sistema di quantizzazione. Il numero di bits dipende dalla degradazione che si vuole imporre al segnale e quindi al rapporto S/N voluto. L'errore di quantizzazione è una variabile aleatoria a distribuzione uniforme tra $-Q/2$ e $Q/2$ ed a valor medio nullo. Il suo valore efficace vale ⁸:

$$e_{\text{RMS}} = \sqrt{\frac{Q^2}{12}} = \sqrt{\frac{V_{\text{FS}}^2}{12 \cdot 2^{2N}}} \quad (44)$$

Il rapporto segnale/rumore (SNR) dell'ADC (dove però la potenza del rumore è solo quella di quantizzazione) vale ⁹:

⁸In un intervallo di quantizzazione l'errore assume l'andamento di figura, corrispondente alla relazione:

$$e = -\frac{Q}{2}, \quad \text{per } -1 \leq x \leq 1.$$



Il valore efficace dell'errore risulta quindi:

$$e_{\text{RMS}} = \sqrt{\frac{1}{2} \int_{-1}^1 e^2 dx} = \sqrt{\frac{1}{2} \int_{-1}^1 \frac{Q^2}{4} x^2 dx} = \sqrt{\frac{Q^2}{12}}$$

⁹Considerando un segnale d'ingresso sinusoidale: $V(t) = A \sin(\omega t)$, la potenza del segnale risulta:

$$S_{\text{RMS}}^2 = \frac{1}{2} \int_0^{2\pi} A^2 \sin^2(\omega t) d\omega t = \frac{A^2}{2}$$

se l'ampiezza picco-picco della sinusoide è pari al valore di fondo scala del convertitore, la potenza del rumore di quantizzazione risulta:

$$e_{\text{RMS}}^2 = \left(\frac{Q}{\sqrt{12}}\right)^2 = \frac{1}{12} \left(\frac{2A}{2^N}\right)^2$$

$$\text{per cui } S/N = 10 \log \left(\frac{S_{\text{RMS}}^2}{e_{\text{RMS}}^2}\right) = 10 \log \frac{A^2}{2} \frac{12}{4A^2} 2^{2N} = 10 \log \frac{3}{2} + 10 \log 2^{2N}$$

$$SNR=1,76+6,02 N. \quad (45)$$

In un ADC a N bits, il rapporto segnale rumore, misurato in decibels, varia linearmente con N, con un incremento di circa 6 dB per ogni bit d'incremento. Tale valore rappresenta anche il *range dinamico* dell'ADC, che è il rapporto tra il segnale d'ampiezza massima e quello d'ampiezza minima che l'ADC può rappresentare.

La codifica dei codici può prevedere diversi formati, quali ad esempio:

- formato *binario*, in cui i codici sono tutti a zero (0000) per la tensione inferiore della scala e sono tutti ad uno (111) per la tensione superiore della scala; in caso d'ingresso bipolare il codice è diverso da zero quando il segnale è a valore nullo.
- formato in *complemento a due*, identico al precedente, ma con il MSB invertito: (1000) per la tensione inferiore della scala, (0000) per la tensione nulla e (0111) per la tensione superiore della scala,
- *BCD* (binary coded decimal) in cui si associa un valore decimale ad ogni gruppo di 4 bits che assumono i valori da 0 (0000) a 9 (1001); è la codifica usata per visualizzare il segnale da voltmetri digitali.

SAD.9. Scelta della frequenza di campionamento

La rappresentazione nel dominio delle frequenze di un segnale campionato è data dalla ripetizione dello spettro del segnale analogico nell'intorno di multipli interi della frequenza di campionamento, come mostrato in Fig.69.

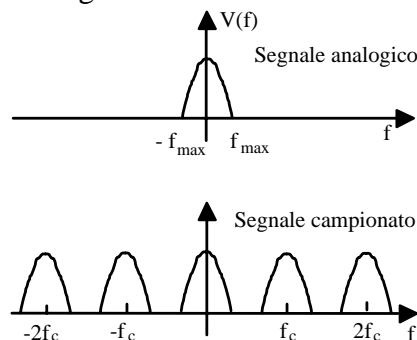


Fig.69 - Spettro del segnale analogico $V(f)$ e del segnale campionato.

È possibile riottenere il segnale originario a partire dai suoi campioni eliminando tali repliche, tramite un opportuno filtraggio passa basso (interpolazione). Affinché l'interpolazione sia possibile è necessario che le repliche non si sovrappongano allo spettro del segnale originario.

Per ciò che riguarda il campionamento di un segnale analogico, esiste un teorema (Teorema di Nyquist¹⁰) il quale afferma che il segnale numerico ottenuto dalla conversione contiene lo stesso contenuto informativo del segnale analogico (ne consente la ricostruzione) se esso è stato campionato con una frequenza f_c maggiore, o al limite uguale, al doppio della frequenza della componente armonica di ordine più elevato del segnale, detta frequenza di Nyquist ($f_c \geq 2f$).

Componenti del segnale a frequenza superiore a quella di Nyquist producono nello spettro del segnale campionato componenti fittizie a frequenza compresa tra la DC e la frequenza di Nyquist, il cui valore è dato dalla differenza tra la frequenza di tale componente e la frequenza multipla intera di f_c più prossima ad essa:

$$f_{fittizia} = |(k f_c) - f_s|. \quad (46)$$

Tale problema è noto come *aliasing*.

In Fig.70 è riportato lo spettro del segnale ottenuto campionando con una frequenza pari ad 8, 4,

¹⁰ Quello che spesso viene chiamato Teorema di Nyquist è in effetti costituito dal teorema di Shannon e dal criterio di Nyquist:

- T. di Shannon: un segnale di banda f deve essere campionato ad $f_c \geq 2f$ per non avere perdita di informazione;
- C. di Nyquist: se $f < f_c$, si presenta il fenomeno dell'aliasing.

2 ed 1,3 volte la frequenza del segnale. Il campionamento del segnale f_s a frequenza f_c produce due componenti a frequenza $f_s + f_c$ e $f_s - f_c$, di cui quella a frequenza inferiore può causare problemi se il segnale ha frequenza superiore ad $f_s/2$. Ad esempio se $f_c=100$ Hz ed il segnale ha componenti a frequenza 25, 70, 160 e 510 Hz, si ha la situazione di Fig.71 in cui:

- la frequenza di Nyquist è pari a $f_c/2=50$ Hz;
- appare correttamente la componente a 25 Hz;
- appaiono delle false componenti a frequenza di:
 - $f_1=|100-70|=30$ Hz;
 - $f_2=|2 \cdot 100-160|=40$ Hz;
 - $f_3=|5 \cdot 100-510|=10$ Hz.

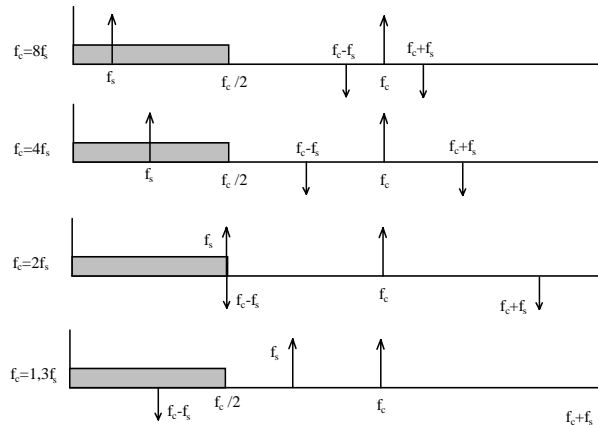


Fig.70 – Nascita dell’aliasing.

Per prevenire l’aliasing è necessario usare in ingresso un filtro passa-basso antialiasing la cui frequenza di taglio elimina tutte le componenti a frequenza superiore a quella di Nyquist.

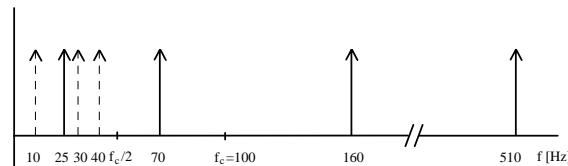


Fig.71 - Aliasing.

A causa delle imperfezioni realizzative di tali filtri la loro caratteristica reale non è a pendenza ripida, come nei filtri ideali, ma è inferiore ad essa (Fig.72). Di conseguenza bisognerà scegliere opportunamente la frequenza di taglio del filtro e la frequenza di campionamento, poiché le componenti del segnale poste nell’intorno della frequenza di taglio sono solo parzialmente attenuate e non completamente eliminate.

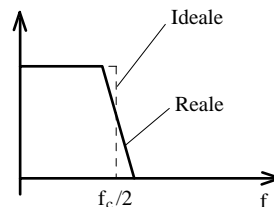


Fig.72 - Filtro antialiasing.

In generale adottando un fattore di sovracampionamento di 5÷10 e filtri passivi ad uno o due poli, si ottengono risultati soddisfacenti. Se non interessa la ricostruzione esatta in termini di ampiezza della forma d’onda del segnale, ma solo il valore della sua frequenza, è possibile utilizzare fattori di sovracampionamento inferiori.

Per analisi non a banda limitata, è necessario che anche l’ingresso sia sottoposto ad un filtraggio

passa basso (anti-aliasing) con frequenza di taglio pari alla metà della frequenza di campionamento. La frequenza di campionamento, dunque, è legata alla frequenza del segnale.

7. Principali architetture di Convertitori A/D

10.1 Convertitore a rampa analogica.

- voltmetro di tipo istantaneo
- conversione tensione-tempo

Si basa sulla misura di un intervallo di tempo proporzionale al valore della tensione in ingresso.

Lo schema a blocchi è mostrato in fig. 7.1;

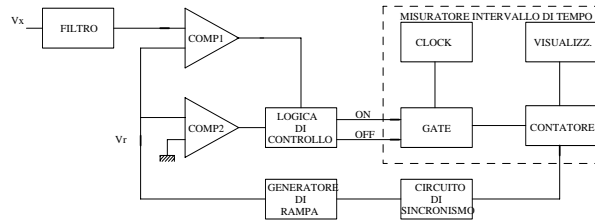


Fig. 7.1. Schema a blocchi di un voltmetro a rampa analogica.

sono presenti:

- un filtro in ingresso
- un generatore di una tensione a rampa (V_r)
- due comparatori analogici, in cui la tensione V_r è comparata sia con la tensione incognita V_x , sia con una tensione nota (in genere il valore zero)
- una logica di controllo
- un blocco di gate che si apre e chiude comandato in base all' uscita dei due comparatori
- un generatore di impulsi di clock
- un contatore numerico

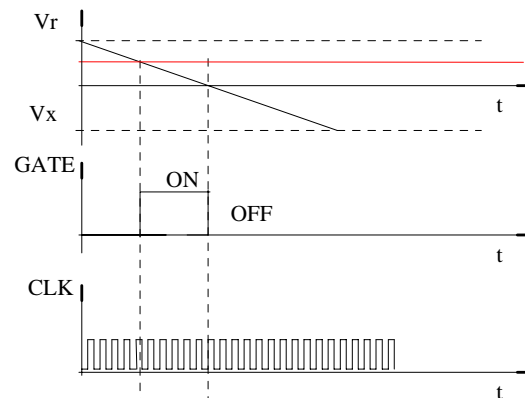


Fig. 7.2. Schema di principio del funzionamento del voltmetro a rampa analogica.

Il principio di funzionamento è illustrato in fig. 7.2: viene generata una tensione a rampa (che può avere indifferentemente pendenza positiva o negativa) e viene misurato l' intervallo di tempo fra l' istante di apertura e quello di chiusura del gate, comandato dai due comparatori.

Ad esempio nel caso di pendenza della rampa negativa e tensione incognita positiva, si ha apertura del gate quando V_r incontra V_x e chiusura quando la rampa interseca lo zero; il contatore conta il numero di impulsi del clock contenuti nella finestra temporale T_{on} in cui è rimasto aperto il gate.

Se la tensione incognita è negativa (fig. 7.3) quando V_r passa per zero viene aperta la porta e quando V_r interseca V_x viene chiusa; pertanto è compito del circuito di controllo determinare in quale dei due casi ci si trovi ed interpretare la commutazione di uno dei comparatori.

In modo duale, se la pendenza della rampa è positiva ed anche la tensione incognita, l' apertura del gate avviene al valore di V_r pari a zero e la chiusura per $V_r=V_x$.

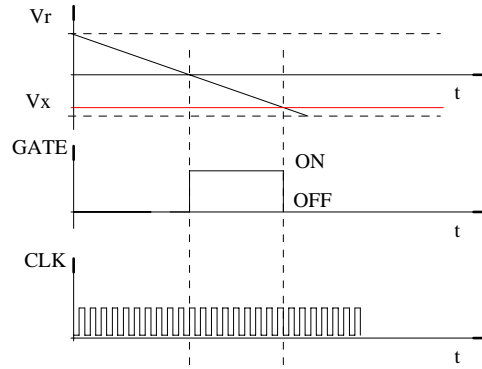


Fig. 7.3. Principio di funzionamento nel caso di tensione incognita negativa

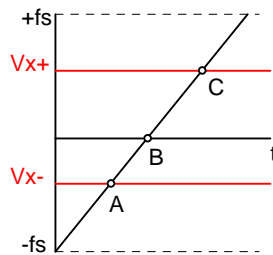


Fig. 7.4. Funzionamento di un convertitore a rampa.

La fig. 7.4 mostra il caso pendenza positiva, la rampa va da $-fs$ a $+fs$ ed appare fondamentale, ai fini della determinazione del segno della tensione incognita, la funzione della logica di controllo che discerne il caso in cui, per tensione V_x positiva, l'apertura del gate avviene per $V_r=0$ (punto B) e la chiusura per $V_r=V_{x+}$ (punto C) da quello in cui l'apertura avviene per $V_r=V_{x-}$ (punto A) e la chiusura al passaggio per zero.

La tensione incognita risulta proporzionale al tempo di apertura T_{on} , il quale può essere determinato semplicemente dal numero di impulsi di clock contati.

Infatti la tensione a rampa è definita da una relazione del tipo:

$$V_r = k \cdot t \quad 7.1$$

dove il coefficiente angolare k vale $\Delta V / T_{on}$ per cui la 7.1. diviene:

$$\Delta V = V_x - V_1 = k T_{on} \quad 7.2$$

se la tensione V_1 coincide con lo zero si ha:

$$V_x = k \cdot T_{on} = k \cdot (n T_{ck}) \quad 7.3$$

Pertanto, poiché la pendenza della rampa è imposta e la frequenza del clock è nota, è possibile determinare il valore della tensione incognita semplicemente dal numero n di impulsi contati.

10.1.1 Caratteristiche fondamentali

- semplicità di realizzazione
- precisione dipendente da:
 - linearità della rampa
 - stabilità dell'oscillatore

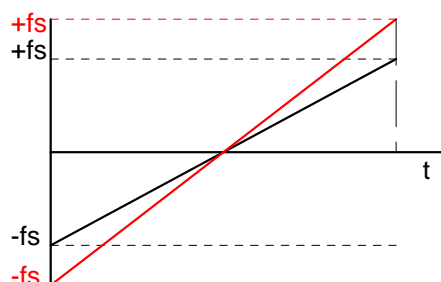


Fig. 7.5.

- comportamento dei comparatori che può modificare le soglie di scatto
- velocità di conversione dipendente dalla pendenza della rampa
- possibilità di cambiare il fs dello strumento semplicemente variando la pendenza della rampa, mantenendo il tempo di misura costante (fig. 7.5).
- reiezione al rumore bassa, rispetto ai normali voltmetri ad integrazione, pertanto del rumore sovrapposto al segnale potrebbe provocare commutazioni spurie dei comparatori ed il risultato della misura potrebbe essere affetto da errore.

10.2 Convertitori A/D a rampa numerica.

La circuiteria interna a questo convertitore è abbastanza semplificata, essendo essenzialmente costituita da un contatore digitale posto in ingresso ad un convertitore D/A. In Fig.3.1 è riportato lo schema a blocchi di questo convertitore.

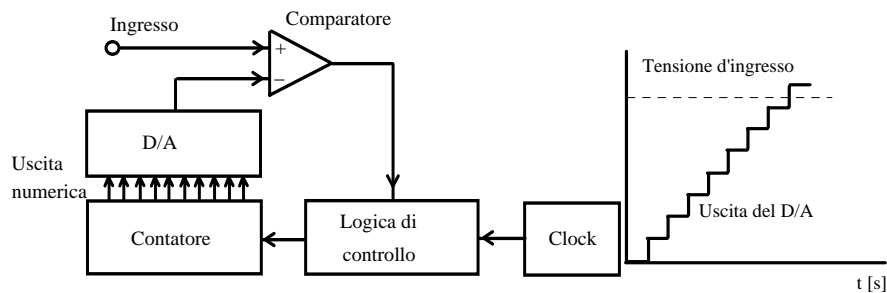


Fig.3.1 Schema a blocchi di un convertitore A/D a rampa numerica.

L'uscita di un generatore di clock viene inviata, mediante alcuni circuiti logici di controllo, ad un contatore. Gli impulsi di clock fanno incrementare l'uscita digitale del contatore e, di conseguenza, anche l'uscita analogica del convertitore D/A di un LSB alla volta. Un comparatore analogico provvede a confrontare l'uscita del D/A con il segnale da misurare ed apre il collegamento tra il generatore di clock ed il contatore quando l'uscita del D/A supera la tensione di ingresso. L'uscita del contatore rappresenta il codice digitale corrispondente alla tensione di ingresso.

Questo convertitore è relativamente lento. Il tempo di conversione dipende anche dall'ampiezza del segnale in ingresso (se l'ingresso è prossimo allo zero la rampa numerica raggiunge rapidamente questo valore) ed è pari al massimo a 2^N volte il tempo necessario ad effettuare un ciclo di confronto. Se l'ingresso non è costante (es. c'è del rumore sovrapposto) l'uscita digitale non è stabile, cioè questo convertitore ha una piccola reiezione al rumore di modo serie.

La velocità di misura è legata a quella del D/A e del comparatore. L'errore dipende anche dalla stabilità ed accuratezza del D/A e del riferimento di tensione.

10.3 Convertitore ad inseguimento.

Un miglioramento delle prestazioni del convertitore a rampa numerica può essere ottenuto sostituendo il contatore con un contatore avanti/indietro (up/down). Il convertitore a rampa numerica infatti ad ogni ciclo di conversione viene "resettato" e fatto ripartire da zero. Questo convertitore invece, eseguita una conversione, invece di ripartire da zero parte dallo stato relativo all'ultima conversione. A seconda del confronto tra il valore della tensione d'ingresso e della tensione generata dal D/A, il generatore di clock provvederà all'avanzamento in avanti o indietro del contatore. In questo modo, ipotizzando che il segnale d'ingresso non abbia variazioni troppo rapide, il tempo per eseguire la conversione risulta notevolmente ridotto. Lo schema a blocchi di questo dispositivo è riportato in Fig.4.1.

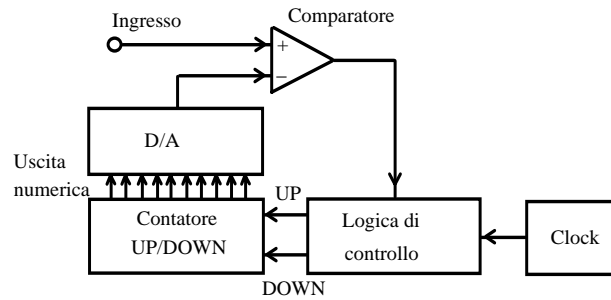


Fig.4.1 Schema a blocchi di un convertitore A/D ad inseguimento.

10.4 Convertitore ad integrazione

(Convertitore tensione-frequenza (V/f).)

Questo convertitore genera un treno di impulsi con frequenza proporzionale alla tensione di ingresso da convertire. La misura di tale frequenza si esegue contando il numero di impulsi generati durante un intervallo di tempo di durata prefissata. Lo schema a blocchi di questo convertitore è riportato in Fig.5.1.

Il segnale da misurare, che si ipotizza di ampiezza positiva, genera una corrente che attraverso la R1 va al circuito integratore e viene integrata dando luogo in uscita ad una rampa negativa.

Ogni volta che tale rampa attraversa la soglia di scatto V_s , l'uscita del comparatore attiva un generatore di impulsi che genera un impulso di ampiezza $-V_{rif}$ costante e durata τ .

Tale impulso viene inviato tramite la R2 all'ingresso dell'integratore. Se l'ampiezza dell'impulso è molto maggiore della tensione d'ingresso, si genererà una rampa positiva in uscita dall'integratore (si scarica la capacità, portando la rampa d'uscita a zero).

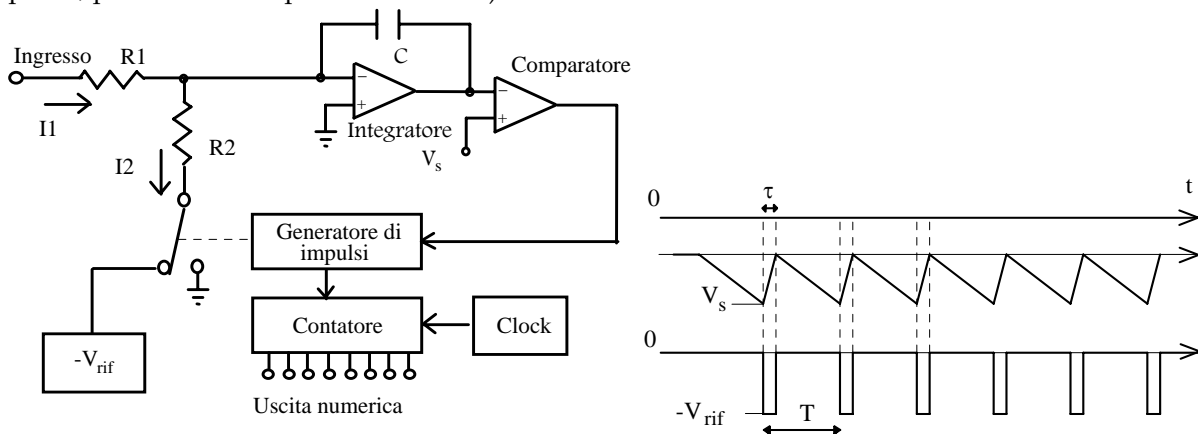


Fig.5.1 Schema a blocchi di un convertitore A/D a conversione V/f.

A regime nel circuito sarà presente un treno di impulsi di corrente che bilancia la corrente d'ingresso secondo la relazione ¹¹:

$$I_1 T = I_2 \tau \Rightarrow \frac{V_{in}}{R_1} T = \frac{V_{rif}}{R_2} \tau \Rightarrow$$

¹¹ L'effetto della V_{in} sulla carica di C è continuo, cioè l'integratore integra la V_{in} per tutta la durata del ciclo di misura. Se si considera un tempo pari ad 1s, la carica Q_1 dovuta alla V_{in} è data da:

$$Q_1 = -\frac{1}{R_1 C} \int_0^{1s} V_1 dt = -\frac{1}{R_1 C} V_{in} \cdot$$

L'effetto della V_{rif} sulla carica di C è relativo solo alla durata τ degli impulsi generati, cioè la carica dovuta alla I_2 in 1s è pari a:

$$Q_2 = -\frac{1}{R_2 C} \int_0^{1s} V_2 dt = -\frac{1}{R_2 C} V_{rif} dt = -\frac{1}{R_2 C} V_{rif} \tau f$$

essendo τ la durata di un impulso ed f la frequenza degli impulsi.

Poiché a regime le due cariche si bilanciano si ottiene che $Q_1=Q_2$, da cui la (5-14).

$$V_{in} = V_{rif} \frac{R_1}{R_2} \tau f = k f \quad k = V_{rif} \frac{R_1}{R_2} \tau \quad (5.1)$$

dove f è la frequenza degli impulsi. La tensione d'ingresso è quindi legata alla frequenza f secondo una costante di proporzionalità k che dipende dai valori di alcuni elementi del circuito.

Se la tensione d'ingresso aumenta, la rampa in uscita dall'integratore decresce più rapidamente, producendo impulsi a frequenza maggiore.

Poiché il conteggio avviene in un intervallo di tempo fissato, il convertitore in pratica esegue una integrazione dell'ingresso in questo intervallo di tempo e quindi il sistema ha una elevata reiezione al rumore di modo serie.

La precisione è legata alla stabilità del generatore di impulsi (carica trasferita alla capacità), alla linearità dell'integratore, alla linearità ed offset del comparatore, alla stabilità della tensione di riferimento, alla stabilità delle resistenze ed al valore dell'intervallo di tempo in cui si misura la frequenza.

Uno degli svantaggi di questo sistema è che se la tensione d'ingresso varia troppo rapidamente o presenta un elevato rumore sovrapposto al segnale, non si raggiunge mai la condizione di bilanciamento e quindi una lettura valida.

10.5 Convertitore a doppia rampa.

Lo schema a blocchi di questo convertitore è riportato in Fig. 6.1;

è essenzialmente costituito da

- un integratore
- un comparatore di zero
- un generatore di tensione di riferimento
- un circuito per la misura dei tempi.

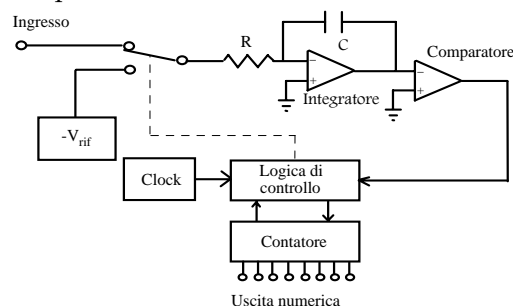


Fig. SAD.1. Schema a blocchi.

La misura avviene in due momenti distinti (fig. SAD.2.):

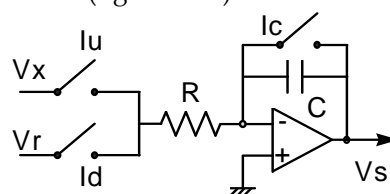


Fig. SAD.2.

- 1) il segnale da misurare viene applicato all'ingresso del circuito e si inizia la fase di conversione; l'integratore provvederà ad integrare la tensione d'ingresso per un intervallo di tempo costante (T_u); la tensione all'uscita dell'integratore aumenterà linearmente in funzione dell'ampiezza della tensione in ingresso (tensione a rampa); la misura dell'intervallo di tempo costante di integrazione avviene mediante un oscillatore (che genera un segnale a frequenza nota) ed un contatore che ne conta gli impulsi generati. Questa fase è detta di *runup*.
- 2) dopo il tempo T_u il circuito di controllo commuta l'ingresso dell'integratore verso una tensione di riferimento, di ampiezza nota e segno opposto a quello della tensione da misurare e riattiva il circuito per la misura dell'intervallo di tempo. Avviene quindi una seconda fase di integrazione durante la quale la tensione si riduce a zero. Quando essa raggiunge lo zero il comparatore segnala il passaggio

per lo zero dell'uscita dell'integratore alla logica di controllo che interrompe il conteggio degli impulsi.

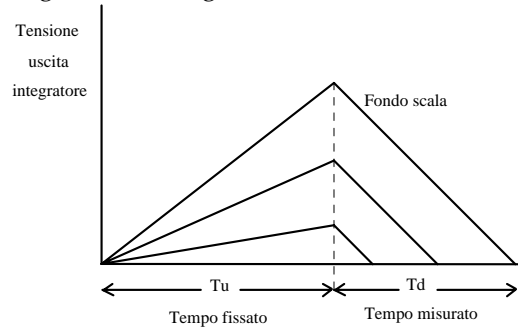


Fig. SAD.3. Principio di misura.

La forma d'onda del segnale in uscita all'integratore è riportata in Fig. SAD.3; in essa sono riportati i segnali nel caso di misura di tre diversi livelli di tensione in ingresso.

Gli intervalli di tempo T_u (fisso) e T_d , che dipende dalla tensione incognita, sono dati dalla relazione¹²:

$$\frac{T_u}{T_d} = \frac{V_{rif}}{V_x} \Rightarrow V_x = V_{rif} \frac{T_d}{T_u} \quad \text{SAD.1}$$

essendo il tempo T_d dato da:

$T_d = N_d \cdot T_c$, dove N_d è il numero di impulsi contato durante il tempo T_d e T_c il periodo di oscillazione del clock.

Poiché V_{rif} , T_u e T_c sono noti si ottiene una relazione di proporzionalità fra la tensione incognita ed il numero di impulsi contati:

$$V_x = \frac{V_{rif}}{T_u} T_c N_d = V_{rif} \frac{N_d}{N_u} = k N_d \quad \text{SAD.2}$$

10.5.1 Vantaggi

- la precisione risulta indipendente dalla stabilità a lungo termine del clock e del circuito integratore (nella SAD.2 non compaiono infatti né R , né C e neppure il tempo di clock), ma dipende solo dal riferimento di tensione e dalla linearità dell'integratore.
- la misura risulta essere indipendente dal rumore periodico se esso ha periodo che è sottomultiplo di T_1 (reiezione al rumore di modo serie). Per questo motivo T_1 è multiplo del periodo della tensione di rete, essendo i disturbi prodotti da convertitori statici e da carichi tempo varianti i più difficili da eliminare. Il tempo di integrazione T_1 viene normalmente fissato a 100 o 200 ms. Nei voltmetri ad integrazione, che adottano questo tipo di convertitore, T_1 è comunque legato alla frequenza della tensione di alimentazione, tramite un apposito circuito temporizzatore.

Per questi motivi il numero di bit è generalmente elevato, ad esempio 18, con risoluzioni dello 0,0004%.

Pertanto questa tecnica si adotta diffusamente quando sono richieste precisioni elevate senza velocità spinte, si possono infatti ottenere risoluzioni dell'ordine del μV con tempi di conversione della decina di ms.

2.10 Convertitori A/D ad approssimazioni successive.

Un miglioramento ulteriore delle prestazioni può essere ottenuto migliorando la tecnica con cui si vanno ad eseguire i confronti per determinare il valore della tensione presente in ingresso.

In questo dispositivo viene realizzata la chiusura della catena di misurazione, nel senso che esiste una catena di reazione per il convertitore D/A che varia la propria uscita fin quando questa non uguaglia l'ingresso analogico. Il controllo del convertitore avviene mediante un registro ad approssimazioni successive (SAR) che pilota il convertitore D/A. Il SAR pone ad 1 il bit più significativo (Most Significant Bit), che corrisponde a metà valore

¹²Questa relazione deriva dal fatto che l'integratore alla fine del tempo T_1 avrà in uscita una tensione di:

$$-\frac{1}{RC} \int_0^{T_1} V_x dt = -\frac{1}{RC} V_x T_u$$

Durante la seconda fase d'integrazione si parte da questo valore di tensione e si arriva a zero per cui si può scrivere che:

$$V(T_u + T_d) = 0$$

da cui:

$$-\frac{1}{RC} V_x T_1 = -\frac{1}{RC} V_r T_2$$

della portata dell'ADC. Il comparatore confronta l'uscita del D/A con l'ingresso analogico ed in base all'esito di questo confronto decide se lasciare questo bit ad 1 (uscita D/A < ingresso) o se porlo a 0 (uscita D/A > ingresso). Il confronto prosegue con il bit successivo, con la stessa tecnica. Dopo N confronti il SAR conterrà il valore corrispondente all'ingresso analogico. Il ciclo di conversione viene scandito dal clock. In Fig.6-25 viene riportato lo schema a blocchi di questo convertitore.

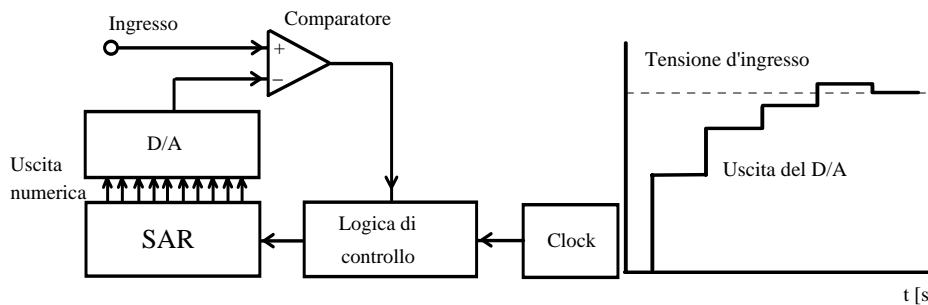


Fig. 6-25 Schema a blocchi di un convertitore A/D ad approssimazioni successive.

Le limitazioni di precisione sono legate al rumore dell'amplificatore d'ingresso e del comparatore, oltre che alla stabilità del riferimento di tensione ed all'errore del D/A.

Le caratteristiche principali di questo convertitore sono del tutto simili a quelle dell'ADC a rampa numerica, escluso che la velocità è molto maggiore ed è costante, poiché tutti i bits devono essere valutati per eseguire la conversione. Questo tipo di convertitore ha un'elevata risoluzione: da 8 a 18 bits (risoluzioni da 0.4% a 0.0004%), e basso consumo di potenza (versioni CMOS). I tempi di conversione sono però relativamente elevati: da 1 μ s a 50 μ s, limitandone quindi il funzionamento a frequenze di campionamento inferiori ad 1 MHz. La maggior limitazione è dovuta al tempo richiesto dal DAC per operare la conversione.

2.11 Convertitore A/D di tipo parallelo (flash).

Questo tipo di convertitore è a valore istantaneo ed è il più veloce tra quelli esistenti sul mercato. Per comprenderne principio di funzionamento si può far riferimento al convertitore a rampa numerica, dove un comparatore di tensione provvede a confrontare la tensione d'ingresso con una tensione di valore noto, generata internamente al convertitore ed incrementabile a passi pari a Q. La conversione può richiedere 2^N cicli, essendo 2^N i valori di tensione quantizzati. In questo convertitore i confronti si fanno in un ciclo solo, utilizzando però 2^N-1 comparatori.

Lo schema a blocchi di questo dispositivo è riportato in Fig.6-26. Esso è essenzialmente costituito da 2^N-1 comparatori analogici che confrontano simultaneamente il segnale d'ingresso con tutti i 2^N-1 valori diversi di tensioni di riferimento. Tali valori sono spazati tra loro di un intervallo di tensione corrispondente ad 1 LSB e vengono ottenuti tramite una catena di resistori ed un generatore di tensione di riferimento. Quando si esegue la conversione, per un dato valore di tensione d'ingresso, quei comparatori la cui tensione di riferimento è inferiore a quella d'ingresso presenteranno un'uscita a livello logico alto mentre, viceversa, gli altri presenteranno un'uscita a livello basso (codifica termometrica¹³). Poiché la logica dei comparatori non è di tipo binario¹⁴, è necessario inserire un circuito di codifica per realizzare la codifica in binario.

¹³ Si dice termometrica perché costituita da una colonna di valori ad 1 cui segue una colonna di valori a 0; il punto di transizione rappresenta il valore del segnale d'ingresso, analogamente a quanto succede in un termometro per la lettura della temperatura.

¹⁴ Se considerassimo le sole uscite dei comparatori avremmo 2^N-1 segnali digitali che, con il circuito di codifica, sono ridotti ad N.

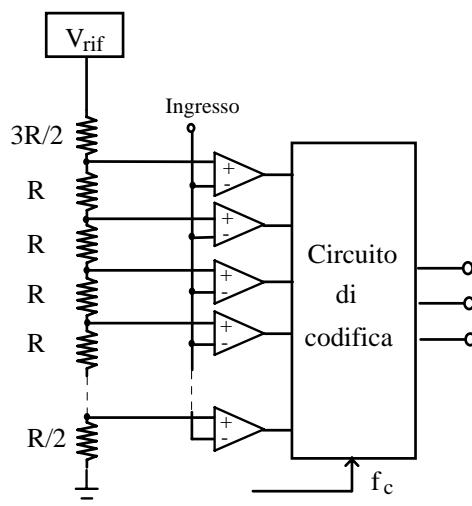


Fig.6-26 Schema a blocchi di un convertitore A/D di tipo parallelo.

Il vantaggio maggiore è dovuto al fatto che tutti i comparatori eseguono il confronto nello stesso istante (in modo parallelo), riducendo il processo di quantizzazione ad un solo passo.

Lo svantaggio è dovuto alla crescita del numero dei comparatori all'aumentare del numero di bits del convertitore (255 per 8 bits, 1023 per 10 bits, 4095 per 12 bits, 65535 per 16 bits). I convertitori flash hanno da 4 ad 8 bits, con frequenze di conversione generalmente inferiori ai 500 MHz. Ci sono anche dispositivi con frequenze di conversione fino ad 1 GHz e risoluzioni fino a 10 bits.

All'aumentare del numero di comparatori aumentano anche le capacità parassite viste sia dal circuito d'ingresso e sia dal generatore di clock. Ciò dà luogo ad un ritardo nella propagazione del segnale d'ingresso ai diversi comparatori, che non avranno in ingresso lo stesso valore di tensione, come pure ad un ritardo nella propagazione del segnale di clock.

La capacità d'ingresso è essenzialmente dovuta alla giunzione del semiconduttore; per questo motivo ha un comportamento che dipende dalla tensione e quindi di tipo non lineare. L'effetto della capacità presente nel circuito d'ingresso è quello di distorcere il segnale, riducendo l'ampiezza delle componenti ad alta frequenza. L'effetto della capacità presente nel circuito del generatore di clock è quello di introdurre un'incertezza sugli istanti di campionamento.

Questi problemi possono essere risolti introducendo un S/H in ingresso.

Diverse sono le sorgenti d'errore. Errori statici sono introdotti dai comparatori sia come tensioni di offset, che come correnti di offset e di bias (tali correnti producono delle cadute di tensione nelle resistenze del partitore, che si sommano alle tensioni di offset); altri errori sono dovuti alla rete resistiva. Errori dinamici sono dovuti ai comparatori (jitter di apertura), ai diversi ritardi dei latches (delay mismatch), alla capacità d'ingresso (parallelo delle impedenze dei comparatori) che ha un comportamento non lineare.

Un modo per ridurre il numero dei componenti consiste nell'eseguire la conversione in due stadi, come riportato in Fig.6-27 per un dispositivo a N bits.

Il segnale d'ingresso, convertito mediante il primo stadio a N/2 bits, viene inviato ad un convertitore D/A e sottratto dal segnale d'ingresso. La differenza tra questi segnali viene nuovamente convertita dal secondo stadio. Il valore massimo di tale differenza è naturalmente inferiore al valore di fondo scala del primo ADC (al massimo sarà pari al passo di quantizzazione), per cui o il secondo ADC ha una portata inferiore al primo o, se i due ADC sono perfettamente uguali, viene inserito un blocco di amplificazione del segnale differenza (nel caso in esame dovrà essere eseguita un'amplificazione per $2^{N/2}$).

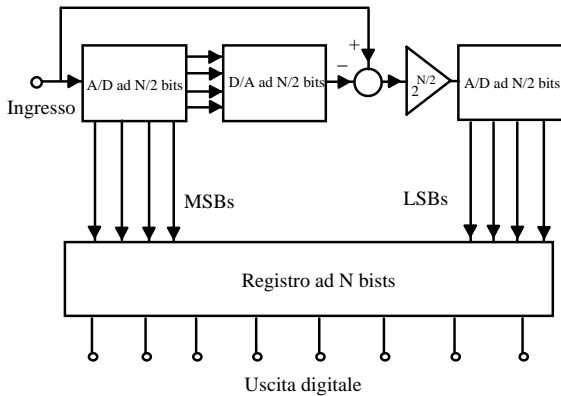


Fig.6-27 Convertitore A/D di tipo parallelo a due stadi.

Il primo stadio ha un intervallo di quantizzazione pari a $Q_1 = V_{FS1} / 2^{N_1}$ dove V_{FS1} è la tensione di fondo scala del primo stadio e quindi dell'intero convertitore ed N_1 è il numero di bit del primo stadio. Il secondo stadio ha un intervallo di quantizzazione pari a $Q_2 = V_{FS2} / 2^{N_2}$ dove V_{FS2} è la tensione di fondo scala del secondo stadio, ad N_2 bits.

Le uscite dei due convertitori rappresentano rispettivamente gli $N/2$ bits più (MSBs) e meno (LSBs) significativi. La conversione del primo stadio può essere vista come una stima del segnale d'ingresso, quella del secondo stadio come una conversione dell'errore di stima detto *residuo*.

Il circuito di Fig.6-27 è la schematizzazione del convertitore nel caso si usano zdi dispositivi ideali. In effetti, per migliorare le prestazioni, si può usare un D/A a maggior numero di bits (es. $N/2 + 1$) che, anche se è pilotato con soli $N/2$ bits, presenta errori reali di conversione minori di un D/A a $N/2$ bits. Il secondo ADC che converte il residuo lo si può prendere anche con numero di bits superiore, con 1 o 2 bits di "overlap" eliminando 1 o 2 dei bits meno significativi del primo ADC, affetti da errore di conversione (Fig.6-28)¹⁵.

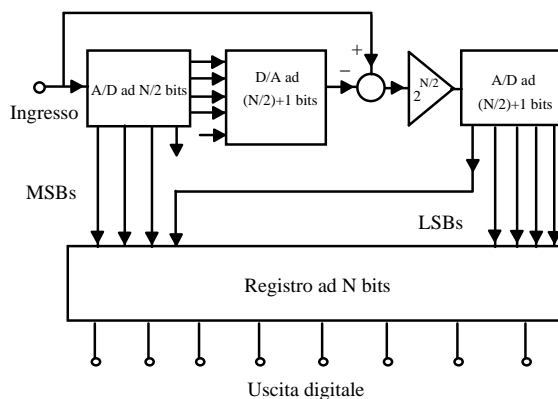


Fig.6-28 Convertitore a due stadi con D/A ad $N/2+1$ bits

Inserendo un blocco per ritardare l'uscita digitale del primo ADC, ed un S/H per mantenere il valore di tensione all'ingresso del secondo ADC, è possibile far eseguire al primo stadio la conversione di un nuovo campione mentre il secondo ADC termina la conversione del primo (funzionamento in *pipeline*). Naturalmente ciò che si guadagna dal punto di vista della complessità circuitale lo si perde sia in termini di velocità e sia di un maggior numero di imperfezioni circuitali. Infatti con stadi di conversione a 4 bits e frequenza di funzionamento di $50 \div 100$ MHz si ottengono convertitori ad 8 bits a 20 MHz, con un notevole vantaggio in termini di numero di comparatori.

Queste architetture si chiamano *multistadio*. (multistage, multipass o anche subbranging) e possono prevedere, al limite, N stadi di conversione (A/D, D/A e S/H) ad 1 bit. Ad esempio in Fig.6-29 si riporta lo schema a blocchi di un convertitore a 12 bit costituito da 12 stadi ad 1 bit, con un comparatore, un DAC ad 1 bit, un sottrattore ed un amplificatore a guadagno 2. Ogni stadio risolve un bit e passa il residuo allo stadio successivo. In questo modo si riduce il numero di comparatori, ma aumenta quello degli amplificatori e dei DAC. Tuttavia questi stadi sono estremamente semplici da realizzare e questa architettura risulta estremamente conveniente dal punto di vista realizzativo. Lo svantaggio maggiore dei convertitori multistadio ad 1 bit è costituito dalla frequenza di campionamento, che risulta inferiore ad esempio a quella di convertitori a due stadi, a causa del maggior numero di

¹⁵ Un numero di bit superiore ad $N/2$ per il secondo ADC garantisce contro errori di guadagno del precedente stadio amplificatore, che potrebbero far superare il valore di fondo scala. I bits ridondanti possono essere gestiti da un circuito di correzione che dati gli $N/2$ MSBs e gli $N/2 + 1$ LSBs, determina gli N bits finali.

operazioni sequenziali necessarie per eseguire una conversione.

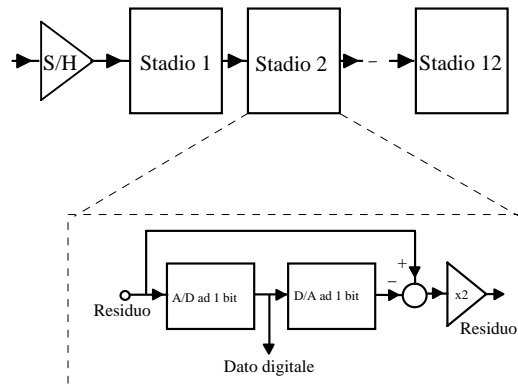


Fig.6-29 Convertitore multistadio

La velocità può essere aumentata inserendo dei circuiti di S/H, i quali consentono di operare concorrentemente, anziché sequenzialmente (Fig.6-30). In pratica, ogni S/H mantiene il valore del residuo dello stadio precedente. Ad ogni colpo di clock viene acquisito un nuovo campione in ingresso e il valore del residuo avanza verso lo stadio successivo. In un dato istante ci sono quindi m valori diversi del segnale d'ingresso che vengono elaborati dal sistema, dove m è il numero degli stadi. Ad ogni colpo di clock vengono generati m bit in uscita, ma che appartengono ad m diversi campioni del segnale e che quindi andranno memorizzati ed opportunamente impacchettati per ottenere i valori convertiti.

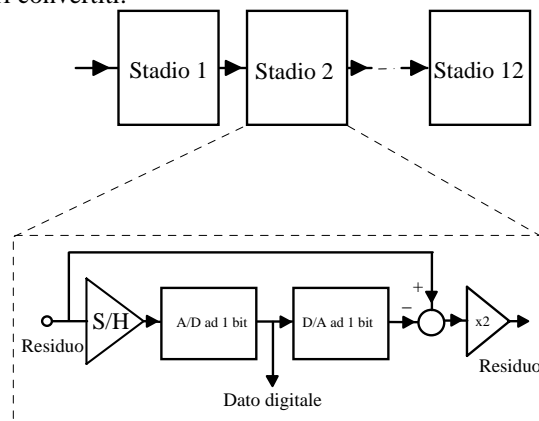


Fig.6-30 Convertitore multistadio con funzionamento pipeline

Questi convertitori hanno in genere dagli 8 ai 12 bits, con frequenze di conversione fino ai 100 MHz. Tuttavia lo svantaggio maggiore che presentano è l'elevato tempo di latenza tra l'ingresso e l'uscita, cioè il tempo impiegato per la conversione completa di un singolo campione. Per questo motivo l'applicazione di tali dispositivi nella strumentazione utilizzata in sistemi di supervisione e/o controllo va fatta con molta cautela, poiché il tempo di ritardo rappresenta un parametro critico in questi sistemi.

2.12 Convertitore A/D multiplexato.

Una tecnica (*interleaving*) per aumentare la frequenza di campionamento consiste sempre nel porre in parallelo dei convertitori A/D, facendoli lavorare però in modo multiplexato. In Fig.6-31 è riportato lo schema a blocchi di questo convertitore.

In questa figura sono riportati quattro convertitori ai cui ingressi sono posti quattro blocchi di S/H, tutti collegati ad un unico ingresso analogico.

Il campionamento ed il mantenimento del dato avvengono nei S/H su comando di quattro diversi segnali di controllo (sfasati di 90° l'uno dall'altro), generati da un apposito circuito. In particolare i quattro segnali di controllo hanno frequenza pari ad $1/4$ della frequenza complessiva di campionamento del segnale di ingresso $x(t)$.

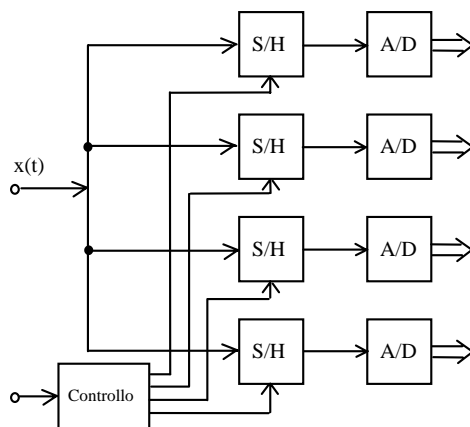


Fig.6-31 Schema a blocchi di un convertitore A/D di tipo multiplexato.

Se ad esempio i convertitori hanno una frequenza massima di funzionamento di 250 MHz, con lo schema di Fig.6-32 si ottiene una frequenza di campionamento di 1 GHz.

La difformità delle caratteristiche dei singoli convertitori può introdurre dei problemi. Mentre in un convertitore singolo errori come quelli di offset e di guadagno non producono grossi problemi, se in un sistema di questo tipo i singoli convertitori hanno differenti valori degli errori di guadagno e di offset il segnale acquisito può risultare distorto, e presentare quindi componenti spurie a frequenze sottomultiple di quella di campionamento. Questi errori possono essere tuttavia facilmente compensati con una calibrazione del sistema.

Più difficile è invece l'eliminazione degli errori dovuti all'incertezza sulla fase tra i singoli segnali di clock, che possono modificare l'istante di campionamento. Ad esempio uno spostamento di soli 10 ps sull'istante di campionamento di un segnale sinusoidale ad 1 GHz, può dar luogo ad un errore d'ampiezza del 3%. Gli effetti prodotti da questo tipo di errore sono essenzialmente l'introduzione di componenti spurie ed errori nella ricostruzione del segnale.

4. CONVERTITORE PCM A SOVRACAMPIONAMENTO.

In questo tipo di convertitori il segnale d'ingresso viene campionato ad una frequenza f_{sc} significativamente superiore a quella di Nyquist, detta frequenza di sovracampionamento (*oversampling*); la conversione viene poi effettuata mediante un ADC ad N bits.

Per comprendere i vantaggi di tale operazione bisogna considerare che la potenza totale del rumore di quantizzazione, presente in tutti i convertitori tradizionali, è pari a $e_{RMS}^2 = Q^2/12 = (V_{FS}/2^N)^2/12$. Nell'ipotesi di distribuzione uniforme (rumore bianco) della potenza di rumore¹⁶, la densità spettrale di potenza nella banda $\pm f_s/2$ è pari a $Q^2/12f_s$.

Mediante la tecnica del campionamento ad una frequenza f_{sc} molto elevata, è possibile distribuire il rumore su una larghezza di banda maggiore, essendo maggiore la frequenza di campionamento, e la densità spettrale di potenza nella banda $\pm f_s/2$ si riduce notevolmente come si vede dalla Fig.6-48, che mostra la densità spettrale di potenza del rumore di quantizzazione sia nel caso del campionamento sia del sovracampionamento.

Poiché solo una frazione della potenza di rumore totale cade nella banda $\pm f_s/2$, è possibile eliminare il rumore al di fuori di questa banda elaborando i campioni acquisiti mediante un filtro passa-basso digitale. Dopo il filtraggio il segnale può essere di nuovo sottocampionato alla frequenza di Nyquist senza alterarne il rapporto segnale/rumore. L'insieme delle operazioni di filtraggio e di sottocampionamento sono spesso complessivamente dette di *decimazione*.

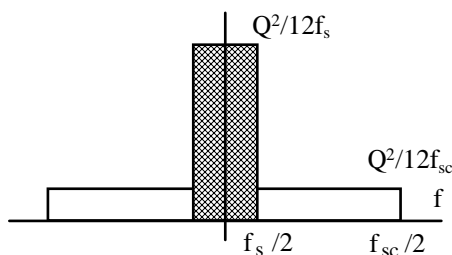


Fig.6-48. Densità spettrale di potenza del rumore di quantizzazione nel caso di campionamento a frequenza f_s ed a frequenza f_{sc} .

¹⁶ Il rumore di quantizzazione presenta uno spettro uniforme, scorrelato dal segnale d'ingresso per la quasi totalità dei casi. Solo quando l'ampiezza del segnale risulta estremamente bassa lo spettro dell'errore diventa non uniforme.

Considerando un valore del coefficiente di sovracampionamento pari a $f_{sc}/f_s = 2^r$, il rapporto S/N espresso in dB, per questo tipo di convertitori, risulta pari a ¹⁷:

$$S/N = 1,76 + 6,02 N + 3,01 r \quad (\text{dB}) \quad (6-35)$$

e quindi, ogni volta che si duplica la frequenza di campionamento, si incrementa il rapporto S/N di 3 dB, ossia si riduce il peso del rumore rispetto a quello del segnale il che equivale ad aumentare la risoluzione di 1/2 bit.

Il rumore di quantizzazione che si ottiene sovracampionando il segnale è pari a quello di un convertitore con un numero di bits superiore a quello effettivamente utilizzato. Bisogna tuttavia notare che l'aumento della risoluzione lo si ottiene a scapito di un aumento della frequenza di campionamento, anche se la maggiore complessità hardware che ciò comporta viene compensata dall'utilizzo di un convertitore con un numero di bits inferiore a quello nominale.

Un altro vantaggio del sovracampionamento è che aumenta l'intervallo sull'asse delle frequenze tra le repliche spettrali del segnale (Fig.6-49), con il conseguente vantaggio di semplificare la realizzazione del filtro antialiasing d'ingresso, poiché non è necessario che questo abbia una elevata pendenza di attenuazione alla frequenza di taglio (che è spesso causa di notevoli distorsioni di fase). È possibile allora utilizzare filtri a bassa pendenza ed a fase lineare.

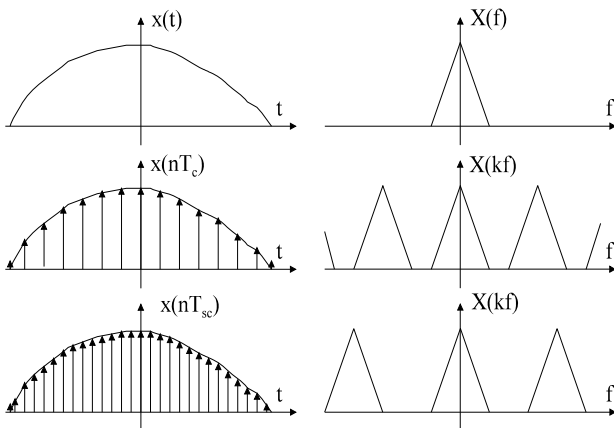


Fig. 6-49. segnale continuo $x(t)$ e suo spettro in frequenza $X(f)$, segnale campionato $x(nT_c)$, sovracampionato $x(nT_{sc})$ e loro spettri.

Tuttavia, sarà necessario utilizzare un filtro digitale in uscita per ridurre il più possibile il rumore di quantizzazione al di fuori della banda del segnale.

L'applicazione pratica della tecnica del sovracampionamento presenta naturalmente dei limiti dovuti alla massima frequenza operativa dei circuiti, legata alla tecnologia realizzativa. Se ad esempio si desidera applicare questa tecnica per realizzare un ADC a 16 bits con una banda di 20 kHz, partendo da un ADC ad 8 bits con frequenza di campionamento $f_s = 40$ kHz, sarebbe necessario avere una frequenza di sovracampionamento pari a 2,62 GHz, impossibile da ottenere con tecnologia CMOS. Se invece si parte da un convertitore a 12 bits, la frequenza di sovracampionamento risulterebbe pari a 10,2 MHz.

5. CONVERTITORE SIGMA-DELTA.

Questi convertitori sono dei particolari dispositivi che si basano sulla tecnica del sovracampionamento del segnale d'ingresso e che fanno generalmente uso di un quantizzatore ad un solo bit. In contrasto con i convertitori tradizionali, in cui ad ogni uscita digitale corrisponde un campione analogico del segnale presente in ingresso, nei

¹⁷ La potenza del segnale sovracampionato a frequenza f_{sc} è la stessa di quella di un segnale campionato a frequenza f_s che, considerando un segnale d'ingresso sinusoidale $V(t) = A \sin(\omega t)$, risulta:

$$S_{RMS}^2 = \frac{1}{2} \int_0^{2\pi} A^2 \sin^2(\omega t) d\omega = \frac{A^2}{2}$$

Se l'ampiezza picco-picco della sinusoide è pari al valore di fondo scala del convertitore, la potenza del rumore di quantizzazione nella banda f_s sarà una quota parte di quella di un convertitore standard:

$$e_{scRMS}^2 = e_{RMS}^2 \frac{f_s}{f_{sc}} = \left(\frac{Q}{\sqrt{12}} \right)^2 \frac{f_s}{f_{sc}} = \frac{1}{12} \left(\frac{2A}{2^N} \right)^2 \frac{f_s}{f_{sc}}$$

per cui

$$S/N = 10 \log \left(\frac{S_{RMS}^2}{e_{scRMS}^2} \right) = 10 \log \frac{A^2}{2} \frac{12}{4A^2} 2^{2N} \frac{f_{sc}}{f_s} =$$

$$10 \log \frac{3}{2} + 10 \log 2^{2N} + 10 \log \frac{f_{sc}}{f_s}$$

convertitori sigma-delta ogni uscita digitale è ottenuta elaborando più campioni del segnale analogico. Possono essere considerati simili ai convertitori a pipeline ad 1 bit dove, anziché più stadi di conversione, si usa un solo stadio operante a ricircolo.

Lo schema a blocchi semplificato, mostrato in Fig.6-50, prevede:

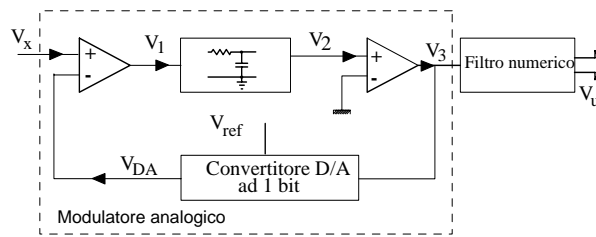


Fig.6-50. Schema a blocchi del convertitore sigma-delta

- un modulatore analogico (modulatore sigma-delta) ed
- un filtro digitale.

Il modulatore sigma-delta è composto a sua volta da:

- un amplificatore differenziale, che esegue la differenza tra il segnale d'ingresso V_x e quello di retroazione V_{DA} ;
- un integratore;
- un convertitore A/D (quantizzatore) a due livelli;
- un convertitore D/A che genera una tensione a due livelli.

Il segnale quantizzato non è quello d'ingresso, ma la differenza tra l'ingresso ed una rappresentazione analogica dell'uscita quantizzata, su cui viene operato un filtraggio mediante l'integratore. Si ha dunque una struttura a retroazione, in cui la tensione in uscita dal convertitore D/A ha la funzione di ridurre l'errore d'anello.

Lo scopo dell'inserimento del circuito integratore è quello di poter generare in uscita un segnale a rampa di ampiezza tale da superare la soglia fissata dal comparatore. Quando la rampa attraversa tale soglia in uscita dal comparatore si ha la transizione tra i due livelli digitali (0, 1). Tale segnale viene inviato al filtro digitale che, periodicamente, fornisce in uscita il valore digitale (multibit) della conversione.

5.1 Analisi in frequenza del convertitore sigma-delta

Il vantaggio fondamentale di questi convertitori sta nella capacità di ridurre drasticamente il rumore di quantizzazione, anche rispetto ad altri tipi di convertitori a sovracampionamento.

Il modulatore sigma-delta è un sistema non lineare che risulta difficile da analizzare. L'introduzione delle seguenti ipotesi semplificative, consente di pervenire ad un modello linearizzato di più facile analisi:

- l'integratore viene modellato come un blocco a guadagno costante pari ad A;
- il convertitore A/D viene modellato come un elemento a guadagno unitario che introduce il rumore di quantizzazione $Q(f)$, scorrelato dal segnale analogico d'ingresso ed assunto come rumore bianco;
- il convertitore D/A viene modellato come un blocco a guadagno unitario.

Fatte queste ipotesi, il funzionamento del convertitore può essere analizzato considerando il modello semplificato di Fig.6-51.

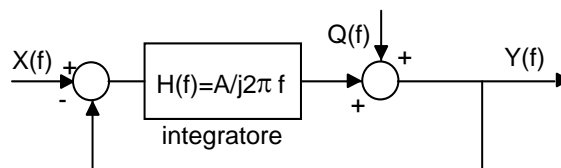


Fig.6-51. Schema a blocchi di un convertitore sigma-delta visto come sistema lineare

L'uscita del sistema, supposto lineare, con un ingresso $x(t)$ ed un contributo di rumore $q(t)$ introdotto dal quantizzatore a due livelli, è data da¹⁸:

$$Y(f) = \frac{A}{A + j2\pi f} X(f) + \frac{j2\pi f}{A + j2\pi f} Q(f) \quad (6-36)$$

dove $X(f)$, $Q(f)$ e $Y(f)$ sono rispettivamente le trasformate di Fourier dell'ingresso, del rumore e dell'uscita.

¹⁸ Dallo schema di Fig.6-51 si ha:

$$[X(f) - Y(f)] * H(f) + Q(f) = Y(f)$$

$$Y(f) * [1 + H(f)] = X(f) * H(f) + Q(f)$$

ed infine:

$$Y(f) = X(f) * H(f) / [1 + H(f)] + Q(f) / [1 + H(f)]$$

ponendo in $H(f)$ l'espressione di un integratore si ottiene la (6-36)

Da questa relazione emerge la peculiarità dei convertitori sigma-delta: le componenti spettrali del segnale e del rumore sono trattate in modo differente dal modulatore. In particolare:

- dal primo termine si vede che il segnale subisce un filtraggio di tipo passa basso con frequenza di taglio pari a ¹⁹:

$$f_{\tau} = A / 2\pi ; \quad (6-37)$$
- il rumore di quantizzazione invece subisce un filtraggio di tipo passa alto, con l'effetto di spostare la maggior parte della sua potenza a frequenze maggiori della banda del segnale.

L'andamento in frequenza dei due termini è mostrato in Fig.6-52. Con un'opportuna scelta dei parametri, è possibile fare in modo che la frequenza f_{τ} sia maggiore della banda utile del segnale, cosicché questo non venga alterato, cioè non vengano introdotti errori nel processo di quantizzazione.

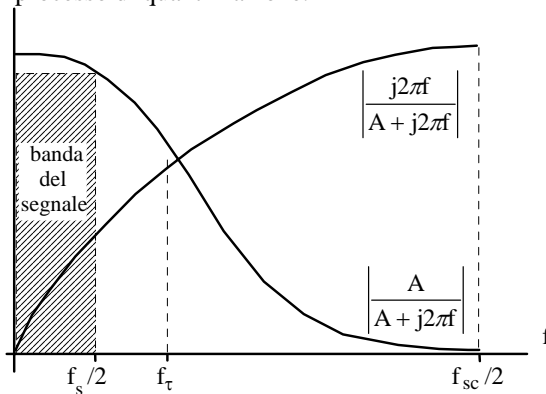


Fig.6-52. Distribuzione spettrale delle due componenti di segnale e di rumore in un modulatore sigma-delta.

Pertanto, effettuando un filtraggio dell'uscita con un filtro passa basso con frequenza di taglio inferiore a f_{τ} , il termine relativo al segnale utile non viene alterato, mentre la parte dello spettro in alta frequenza del rumore viene eliminata, riducendo la sua potenza totale ed incrementando il rapporto segnale rumore nella banda delle basse frequenze ²⁰.

A tali risultati si poteva pervenire anche in modo più intuitivo, considerando che l'effetto filtrante dell'integratore fa sì che il guadagno d'anello sia elevato per le basse frequenze (segnale) e basso per le alte frequenze (rumore). Siccome nei sistemi a retroazione l'errore è molto piccolo quando il guadagno è elevato e grande quando il guadagno è piccolo, gli errori in bassa frequenza risulteranno molto piccoli.

L'effetto finale del modulatore è quello di operare una separazione spettrale fra le componenti del segnale e quelle del rumore, per cui esso viene anche detto filtro sagomatore (*noise-shaping filter*).

Da notare che l'andamento dello spettro del rumore di quantizzazione nel convertitore sigma-delta, risulta molto diverso da quello del convertitore PCM a sovracampionamento. In Fig.6-53 è rappresentato lo spettro d'ampiezza della funzione di trasferimento del rumore per un convertitore sigma-delta in funzione della frequenza, normalizzata rispetto alla frequenza di campionamento f_s . Esso viene confrontato con quello di un A/D di tipo PCM a sovracampionamento. La linea verticale mostra l'estensione della banda $f_B = f_{Nyquist}/2 = f_{sc}/20$, ipotizzando cioè un fattore di sovracampionamento pari a 10. Da tale figura si possono notare le peculiarità di questi convertitori:

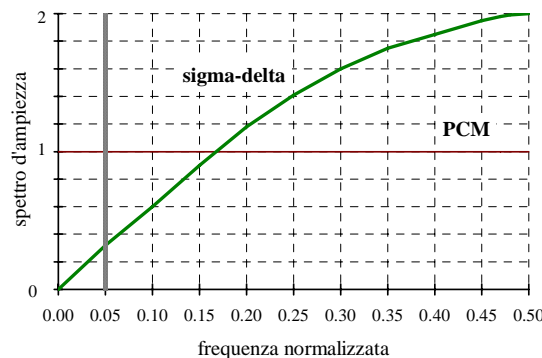


Fig.6-53 - Spettro d'ampiezza della funzione di trasferimento del rumore per un convertitore sigma-delta e per un PCM a sovracampionamento.

¹⁹ Essendo
$$\frac{Y(f)}{X(f)} = \frac{1}{1 + \frac{j2\pi f}{A}}$$

²⁰ Va comunque detto che non tutti i modulatori sigma-delta operano un filtraggio passa basso sul segnale, ma ci sono anche modulatori che operano un filtraggio passa banda, ad una frequenza centrale anche relativamente elevata. Questi vengono utilizzati principalmente in circuiti ricevitori per segnali RF di tipo wireless, che convertono il segnale in banda IF anziché in banda base (ad es. sono in commercio convertitori sigma-delta con banda passante di 200 kHz centrata a 10,7 MHz). In questo caso al posto del circuito integratore ci sono uno o più circuiti risonanti alla frequenza centrale desiderata.

- il convertitore PCM a sovracampionamento ha un guadagno unitario per le componenti di rumore;
- il convertitore sigma-delta ha guadagno zero (attenuazione infinita) per la componente continua del rumore di quantizzazione;
- il convertitore sigma-delta ha un'elevata attenuazione delle componenti di rumore a bassa frequenza ed un'amplificazione di quelle ad alta frequenza;
- nel convertitore sigma-delta il rumore di quantizzazione a sinistra della linea verticale (che contribuisce significativamente alla risoluzione del modulatore) è attenuato mentre il rumore a destra della linea o non è attenuato significativamente o è amplificato;
- nel convertitore sigma-delta la potenza complessiva di rumore non è cambiata, anche se è cambiata la sua distribuzione.

Il rumore in uscita dal modulatore, sagomato come in Fig.6-52, viene filtrato da un filtro digitale passa basso, che consente una riduzione del rumore maggiore di quella operabile con i convertitori a sovracampionamento. Considerando un valore del coefficiente di sovracampionamento pari a $f_{sc}/f_s=2^r$, il rapporto S/N in dB risulta pari a 21:

$$S/N=1,76 +6,02 N - 5,16 +9,03 r \quad (6-38)$$

e quindi ogni volta che si duplica la frequenza di campionamento, si incrementa il rapporto S/N di circa 9 dB, il che equivale ad aumentare la risoluzione di 1,5 bits.

Riprendendo il precedente esempio, per realizzare un ADC a 16 bits con una banda di 20 kHz con un convertitore sigma-delta (ad 1 bit) è sufficiente avere una frequenza di campionamento inferiore a 100 MHz.

Nella seguente tabella è riportato il numero di bit equivalenti di un ADC ad 1 bit per diversi valori del fattore di sovracampionamento, considerando il solo effetto del sovracampionamento e non quello del *noise-shaping*, mostrando chiaramente che un numero di bits elevato non può essere ottenuto con il solo sovracampionamento, per problemi realizzativi.

Tab. 6-4 Incremento del numero di bit equivalenti per effetto del sovracampionamento

f_{sc} / f_s	numero di bits PCM sovracamp.	numero di bits sigma-delta
1	1	1
4	2	4
$4^2 = 16$	3	7
$4^3 = 64$	4	10
.....
4^8	9	25

5.2 Analisi nel tempo del convertitore sigma-delta

Per illustrare il principio di funzionamento del convertitore sigma-delta, in Fig.6-54 è rappresentato l'andamento dei segnali in uscita dai vari blocchi di Fig.6-50.

Supponendo che la tensione incognita V_x in ingresso sia costante (il caso generale è una naturale estensione), in ingresso all'integratore è presente il segnale differenza fra V_x e l'uscita del D/A:

$$V_1 = V_x - V_{DA} \quad (6-39)$$

che può essere visto anche come un segnale di errore.

L'integratore integra la V_1 generando in uscita la tensione a rampa, che è crescente o decrescente a seconda del

²¹ Considerando l'andamento dello spettro del rumore di quantizzazione, si può dimostrare che la potenza del rumore di quantizzazione che cade nella banda f_s risulta:

$$e_{\Sigma \Delta RMS}^2 = e_{RMS}^2 \frac{\pi^2}{3} \left(\frac{f_s}{f_{sc}} \right)^3 = \left(\frac{Q}{\sqrt{12}} \right)^2 \frac{\pi^2}{3} \left(\frac{f_s}{f_{sc}} \right)^3 =$$

$$\frac{1}{12} \left(\frac{2A}{2^N} \right)^2 \frac{\pi^2}{3} \left(\frac{f_s}{f_{sc}} \right)^3$$

per cui

$$S/N = 10 \log \left(\frac{S_{RMS}^2}{e_{\Sigma \Delta RMS}^2} \right) = 10 \log \frac{A^2}{2} \frac{12}{4A^2} 2^{2N} \frac{3}{\pi^2} \left(\frac{f_{sc}}{f_s} \right)^3 =$$

$$10 \log \frac{3}{2} + 10 \log 2^{2N} + 10 \log \frac{3}{\pi^2} + 10 \log \left(\frac{f_{sc}}{f_s} \right)^3$$

valore dell'ingresso, e che viene inviata al comparatore di tensione ²².

Va precisato che il sistema di controllo verifica l'uscita del comparatore all'inizio di ogni ciclo operativo, per cui il comparatore verifica se V_2 è positiva o negativa, e pilota di conseguenza il DAC con una cadenza scandita dal segnale di clock (Ck). Pertanto il comparatore funziona da quantizzatore a due livelli e restituisce in uscita la tensione:

- $V_3 = 1$ se $V_2 > 0$
- $V_3 = 0$ altrimenti.

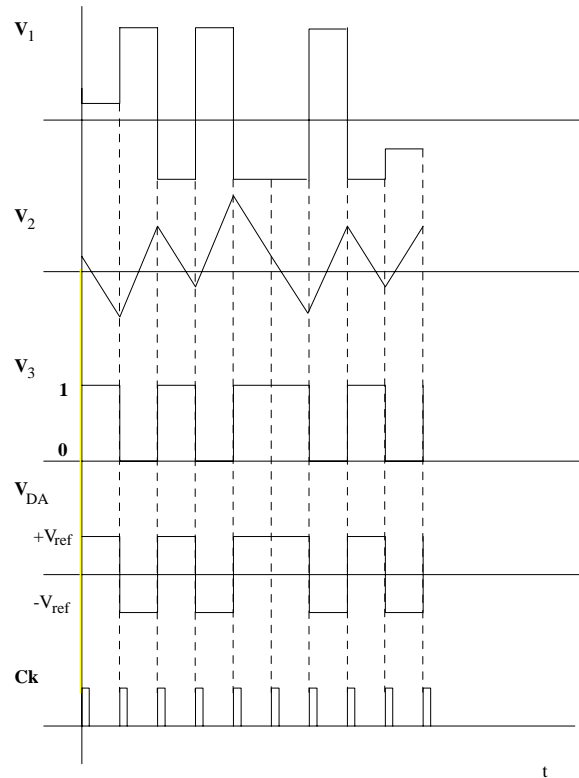


Fig.6-54. Andamento temporale dei segnali nei vari punti del sistema

Il comparatore costituisce un convertitore A/D ad 1 bit, la cui uscita viene elaborata dal filtro per determinare il valore numerico finale. L'uscita dell'ADC pilota anche il DAC che fornisce in uscita una tensione analogica costituita dall'alternanza di due livelli di ampiezza pari ad una tensione di riferimento, in particolare:

- $V_{DA} = +V_{ref}$ se $V_3 = 1$
- $V_{DA} = -V_{ref}$ altrimenti.

Questo segnale è riportato in retroazione e sottratto dall'ingresso.

Poiché l'uscita del comparatore digitale assume solamente i valori 0, per tensioni negative, ed 1 per quelle positive (Fig.6-55), all'uscita dell'amplificatore d'ingresso ci sarà sempre un segnale d'errore diverso da zero, a meno che l'ingresso non sia proprio pari a $-V_{ref}$ o a $+V_{ref}$ (corrispondenti ai valori assunti dalla caratteristica ideale di un ADC).

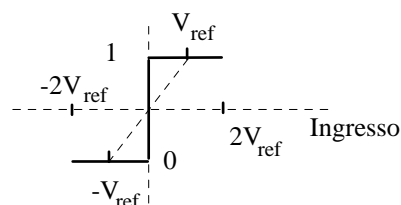


Fig.6-55. - Caratteristica del quantizzatore ad 1 bit.

Consideriamo alcuni esempi per meglio chiarire come opera questo dispositivo.

Immaginiamo di applicare in ingresso al dispositivo una tensione V_x positiva. A seconda dello stato iniziale

²² Nell'analisi successiva si ipotizza che l'integratore è del tipo non invertente (l'uscita cresce se l'ingresso è positivo). Agli stessi risultati si può pervenire anche considerando un integratore invertente (integratore di Miller) collegato però all'ingresso negativo del comparatore, che quindi presenta una logica inversa.

dell'integratore si possono ipotizzare due situazioni: $V_2 > 0$, oppure $V_2 < 0$.

- Se $V_2 > 0$, si avrà $V_3 = 1$, per cui $V_{DA} = +V_{ref}$ e quindi $V_1 < 0$, per cui l'integratore si andrà scaricando, cioè il valore di V_2 andrà diminuendo. Quando V_2 oltrepasserà la soglia del comparatore ($V_2 < 0$), si avrà $V_3 = 0$, per cui $V_{DA} = -V_{ref}$ e quindi $V_1 > 0$, per cui l'integratore si andrà caricando. Quando V_2 oltrepasserà la soglia del comparatore ($V_2 > 0$), si avrà nuovamente $V_3 = 1$, $V_{DA} = +V_{ref}$ e quindi $V_1 < 0$, e l'integratore si scaricherà di nuovo.
- Se $V_2 < 0$ si avrà la situazione precedente, ma con i cicli invertiti.

Logicamente il valore di V_1 , e quindi la pendenza della rampa prodotta dall'integratore, saranno legati al valore di V_x . Infatti, maggiore è V_x e maggiore sarà il valore di V_1 quando $V_3 = 0$ e $V_{DA} = -V_{ref}$, cioè maggiore sarà la velocità di carica. Inoltre, maggiore è V_x e minore sarà il valore di V_1 quando $V_3 = 1$ e $V_{DA} = +V_{ref}$, cioè minore sarà la velocità di scarica. Complessivamente il tempo di scarica ($V_3 = 1$) sarà maggiore di quello di carica ($V_3 = 0$), e quindi i bits ad 1 in uscita saranno maggiori di quelli a 0.

Se il segnale d'ingresso V_x è una tensione di valore pari a zero, il circuito di retroazione cercherà di forzare il valore dell'errore (V_1) a zero; tuttavia, poiché il DAC può fornire solo $\pm V_{ref}$, l'uscita del modulatore oscillerà tra i due valori in modo tale che il valor medio della sequenza di bit del segnale V_3 sia pari a zero.

Se il segnale d'ingresso V_x è una tensione di valore pari a $+V_{ref}$, si possono ipotizzare due situazioni:

- $V_{DA} = +V_{ref}$ (cioè $V_3 = 1$ e quindi $V_2 > 0$); in questo caso si avrà $V_1 = 0$, per cui la V_2 rimarrà invariata e di conseguenza V_3 sarà costantemente ad 1.
- Se $V_{DA} = -V_{ref}$ (cioè $V_3 = 0$ e quindi $V_2 < 0$); in questo caso si avrà $V_1 > 0$, per cui la V_2 aumenterà finché non assumerà un valore positivo ($V_3 = 1$), per poi restare costantemente ad 1.

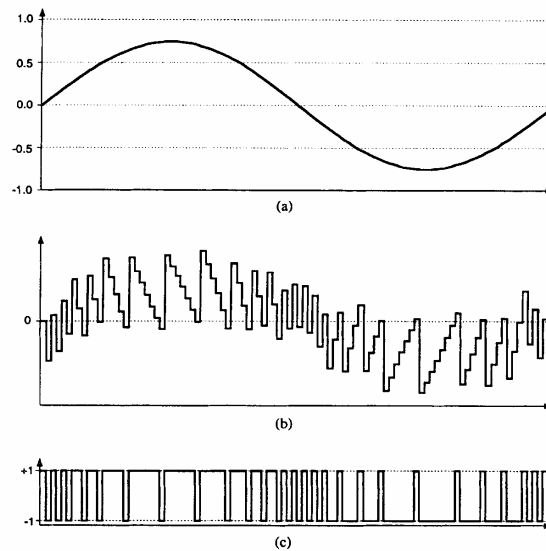


Fig.6-56. Acquisizione di un segnale sinusoidale.

Se il segnale d'ingresso V_x è una tensione di valore pari a $-V_{ref}$, il segnale V_3 sarà una sequenza di bit pari a zero.

In Fig.6-56 sono riportati gli andamenti dell'ingresso (b) e dell'uscita (c) del comparatore nel caso di acquisizione di un segnale sinusoidale (a). Come si vede il duty-cycle del segnale in uscita dal comparatore (c) corrisponde al segnale d'ingresso, ricostruito dal filtro digitale e dal decimatore.

5.3 Il filtro digitale

Considerando un intervallo di tempo sufficientemente lungo, eseguendo una media della stringa di bit prodotti in uscita dall'ADC, è possibile ottenere una determinazione accurata del valore di V_x . Tale determinazione si realizza mediante un filtro digitale passa basso. Per questo motivo l'uscita del modulatore sigma-delta spesso è detta in formato PDM (Pulse Density Modulated).

L'operazione che a partire dai valori ad un bit campionati alla frequenza f_{sc} permette di avere i valori ad N bits a frequenza $f_s = f_{sc}/M$ è detta *decimazione*.

Il filtro digitale ha due funzioni:

- 1) eliminare, come detto il rumore di quantizzazione al di fuori della banda del segnale;
- 2) effettuare l'operazione di decimazione, convertendo la sequenza di bits in ingresso in valori numerici ad N bits sottocampionati, ottenendo in definitiva la risoluzione equivalente a quella di un convertitore classico ad N bits.

In genere viene utilizzato un filtro di tipo FIR (Finite Impulse Response) che permette di realizzare entrambe le funzioni desiderate con una struttura relativamente semplice.

Se $V_3[n]$ è la sequenza di valori in ingresso al filtro, la sequenza di uscita $V_u[n]$ è data da una relazione del tipo:

$$Vu[n] = \sum_{i=0}^M a_i * V_3[n-i]. \quad (6-40)$$

In generale per un sistema lineare il legame ingresso-uscita è una relazione del tipo:

$$Vu[n] = \sum_{i=0}^{\infty} g[n] * Vi[n-i] \quad (6-41)$$

che, riscritta in funzione della frequenza di campionamento, diviene:

$$Vu[kTc] = \sum_{i=0}^{\infty} g[kTc] * Vi[(n-i)Tc]. \quad (6-42)$$

La risposta impulsiva equivale a quella di un filtro FIR se si considerano solo i valori $g[iTc]$ non nulli su un intervallo finito di durata MT_c , ottenendo una risposta all'impulso comunque finita.

Un filtro FIR di tipo passa basso permette di separare lo spettro del segnale da quello del rumore in modo agevole, grazie alla preventiva azione del modulatore e ad una caratteristica simile ad un filtro ideale, con frequenza di taglio prossima alla frequenza massima del segnale ed elevata attenuazione al di sopra di questa.

Inoltre, se i coefficienti $g[iTc]$ sono rappresentati da numeri binari di N bits, essi rappresentano il valore numerico, codificato con N bits, che il segnale in ingresso al convertitore assume negli istanti di campionamento.

La sequenza contiene però notevole ridondanza di informazione, infatti la frequenza di campionamento f_{sc} è superiore a quella imposta dal teorema di Nyquist, di per sé sufficiente per la ricostruzione del segnale d'ingresso. Indicando con M il rapporto fra la frequenza f_{sc} e quella di Nyquist, è possibile effettuare una operazione di decimazione, cioè prendere un campione ogni M acquisiti, senza alterare il contenuto informativo del segnale.

Alla fine dei processi di modulazione, filtraggio e decimazione si ha una risoluzione equivalente pari a N dato dalla (6-38), a frequenza sensibilmente minore di f_{sc} .

Naturalmente il dispositivo che provvede ad elaborare i dati per eseguire il filtraggio numerico (DSP, microprocessore, circuito VLSI) deve utilizzare un numero di bits per la rappresentazione dei dati tale da non introdurre nessun rumore addizionale per effetto dei troncamenti o arrotondamenti.

I principali *vantaggi* del convertitore sigma-delta sono i seguenti.

- La semplicità della struttura hardware e la possibilità di realizzarla in modo integrato, ottenendo una risoluzione di N bits con un convertitore a due soli livelli (1 bit).
- La possibilità di ottenere precisioni elevate (elevato rapporto segnale-rumore) pur utilizzando dispositivi hardware di caratteristiche non elevate: la precisione finale risulta molto migliore della precisione di base dei componenti analogici, contrariamente ai convertitori tradizionali in cui i componenti analogici devono presentare una precisione inferiore a Q. Quest'ultima considerazione ci fa capire quali siano le difficoltà tecnologiche che vanno affrontate per realizzare con tecnologia VLSI gli ADC tradizionali con precisione migliore dello 0,1% (a 10 bits) senza ricorrere a tecniche particolari di aggiustamento con laser (laser trimming) dei componenti. In un ADC sigma-delta si ottengono le prestazioni di un ADC a 14 bits, con componenti che hanno una precisione di base di qualche per cento.
- La semplificazione (in alcuni casi l'omissione) del filtro antialiasing, grazie all'elevata frequenza di sovracampionamento.

Viceversa come *svantaggi* vanno considerati i seguenti punti.

- La criticità di errori, dovuti al comportamento non ideale di alcuni componenti (quali ad esempio un guadagno diverso da 1 per il DAC o per l'integratore), che potrebbero propagarsi nella fase di decimazione. L'errore di guadagno per il DAC altera la funzione di trasferimento del segnale nella catena, riducendo l'attenuazione del rumore nella banda del segnale ma non produce grandi variazioni nel rapporto S/N complessivo del modulatore. Può inoltre esserci una perdita della carica (leakage) nell'integratore, che riduce il fattore di guadagno A. Quest'errore può diventare trascurabile se l'integratore usa un amplificatore operazionale con un guadagno ad anello aperto sufficientemente elevato. Comunque, ad esempio, variazioni del 10% del guadagno dell'integratore non degradano in modo significativo il rapporto S/N.

Anche il quantizzatore può introdurre errori: ogni non linearità può essere vista come una sorgente di rumore che si somma a quello di quantizzazione. Anche per esso comunque può essere applicato quanto detto precedentemente relativamente alla riduzione del rumore mediante la modulazione sigma-delta.

- La possibilità di oscillazioni cicliche che producono in uscita componenti periodiche (toni). Per questo motivo esso viene raramente usato per applicazioni audio ad alta fedeltà, dove si preferiscono ADC sigma-delta di ordine superiore (cioè con più blocchi d'integrazione) o multibit (cioè con ADC e DAC con più di un solo bit) che non presentano questo inconveniente.
- Un rumore di quantizzazione di base (1 bit) particolarmente elevato, che richiede un elevato fattore di sovracampionamento per ottenere le prestazioni di un ADC ad elevato numero di bits. Per un ADC a 10 bits con una banda utile di 1 MHz, la frequenza di campionamento per un convertitore tradizionale sarebbe di 2 MHz,

mentre in un sigma-delta di 128 MHz, con tutti i problemi legati al rumore che tale frequenza di campionamento comporta. In questi casi si ricorre a modulatori sigma-delta multibit, che richiedono fattori di sovracampionamento inferiori (ad esempio 8). Tuttavia ciò richiede DAC multibit che sono meno lineari di quelli ad 1 bit²³.

- d) Una limitata risposta in frequenza (alcune centinaia di hertz o al massimo qualche kilohertz).
- e) Un elevato tempo di latenza, con la conseguenza che quando l'ingresso subisce una brusca variazione, il filtro digitale richiede un certo tempo perché l'uscita si stabilizzi. Per questo motivo i convertitori sigma-delta sono poco adatti per applicazioni dove la velocità è un requisito essenziale e per applicazioni multicanali che prevedono un multiplexer in ingresso. In questo caso bisogna prevedere un tempo di commutazione sufficientemente elevato per consentire al filtro di stabilizzarsi.

Se si usa un A/D per canale questo problema scompare, ma in questo caso le uscite devono essere sincronizzate se si vuole un campionamento simultaneo dei canali. Anche se gli ingressi sono campionati allo stesso istante, la frequenza d'uscita dal decimatore è ottenuta internamente ad ogni A/D ($f_s = f_{sc}/2^r$). Per questo motivo i convertitori devono essere sincronizzati alla stessa f_s (Fig.6-57).

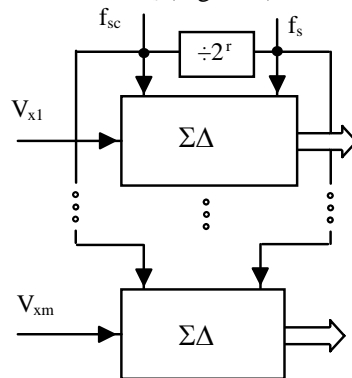


Fig.6-57 Sistema di conversione sigma-delta multicanale.

Il concetto della conversione sigma-delta può comunque essere esteso ad applicazioni più complesse: convertitori di ordine superiore, convertitori multibit e convertitori multistadio. Mentre in un convertitore sigma-delta del primo ordine ogni volta che si duplica la frequenza di campionamento, si incrementa il rapporto S/N di circa 9 dB (1,5 bits), in uno del secondo ordine l'incremento è di 15 dB, in uno del terzo ordine di 21 dB.

Molti strumenti elettronici utilizzano un microcontrollore (μC) che provvede all'acquisizione di segnali analogici, mediante l'ADC interno, ed all'elaborazione dei segnali digitali, mediante opportuni algoritmi di misurazione eseguiti mediante il microprocessore interno. Gli ADC utilizzati sono generalmente di tipo SAR, anche se ADC di tipo sigma-delta possono essere facilmente integrati con dispositivi analogici esterni. In Fig.6-58 è schematizzato un esempio realizzativo.

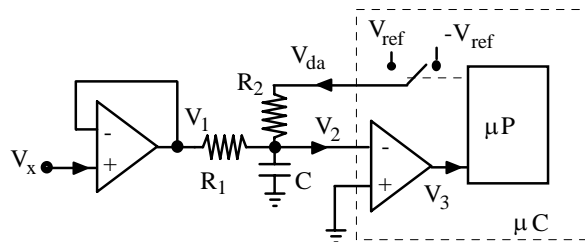


Fig.6-58 – Realizzazione di un ADC sigma-delta mediante un microcontrollore.

La tensione d'ingresso V_x è applicata ad un buffer, collegato al circuito integratore costituito da R_1 e C . L'ADC è implementato mediante un comparatore, presente in molti μC (se $V_2 < 0$, $V_3 = 1$, $V_{da} = +V_{ref}$; se $V_2 > 0$, $V_3 = 0$, $V_{da} = -V_{ref}$). Il DAC può essere implementato mediante un commutatore, pilotato da un segnale digitale, che connette all'integratore la tensione $\pm V_{ref}$. Per eseguire il filtraggio digitale possono essere utilizzati due contatori per contare il numero di bit ad 1 e quelli a 0, implementando un programma che estrae il valore medio.

SAD.10. Classificazione dei SAD.

A seconda della tipologia di collegamento del SAD al computer può essere effettuata la seguente classificazione:

²³ Nei convertitori sigma-delta i convertitori A/D e D/A sono quasi sempre ad 1 bit, per motivi di semplicità costruttiva e di linearità. La linearità, e quindi la distorsione armonica, di tali dispositivi è limitata essenzialmente dal convertitore D/A che, se è ad 1 bit, ha solo due livelli $+V_{ref}$ e $-V_{ref}$ in uscita, senza punti intermedi, e quindi il suo comportamento non può che essere lineare.

- SAD realizzati come schede a montaggio ad inserzione (plug-in) in un computer;
- SAD realizzati come apparecchiature esterne connesse al computer mediante un bus di collegamento.

Nel caso delle *schede plug-in* il condizionamento viene generalmente effettuato con dispositivi installati su una schedina che si inserisce sulla scheda di acquisizione dati mediante un apposito connettore (Fig.73).

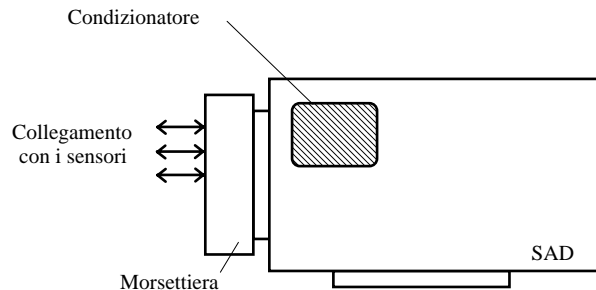


Fig.73 - SAD basati su schede ad inserzione (plug-in).

I vantaggi di questa tipologia di SAD sono essenzialmente:

- il basso costo e
- le dimensioni ridotte.

Gli svantaggi sono:

- la mancanza di isolamento, difficile da realizzare su schede di ridotte dimensioni;
- il basso numero di canali;
- la ridotta distanza tra il sensore ed il SAD (il sistema di condizionamento deve essere posizionato il più vicino possibile al sensore);

la necessità di utilizzare plug-in diversi a seconda del tipo di sensore. Nel secondo caso il condizionamento del segnale e la sua successiva digitalizzazione ed elaborazione viene eseguita mediante una apparecchiatura collegata al computer mediante un bus proprietario o standard (RS-232, IEEE-488) (Fig.74). Anche in questo caso il condizionamento è generalmente eseguito mediante schedine inserite all'interno del SAD.

I vantaggi sono:

- il numero elevato di canali;
- il ridotto livello di rumore, essendo il circuito di condizionamento esterno al computer che potrebbe indurre rumore sui segnali d'ingresso;
- la possibilità di dislocare il SAD anche a distanza dal computer.

Gli svantaggi sono:

- il maggior costo e le maggiori dimensioni.

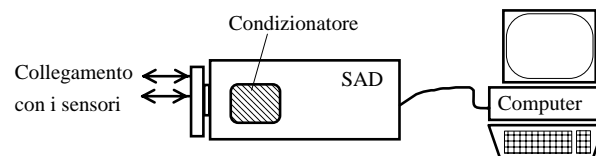


Fig.74 - Condizionatore e digitalizzatore.

Il condizionamento può comunque anche essere eseguito da una apparecchiatura esterna che riceve in ingresso i segnali non condizionati ed invia al SAD i segnali condizionati (Fig.75).

I vantaggi di questa soluzione sono:

- il ridotto livello di rumore, potendo dislocare il circuito di condizionamento vicino al sensore;
- la possibilità di configurare ogni canale per un diverso tipo di sensore.

Gli svantaggi sono:

- il costo superiore;
- il basso numero di canali;

- l'impossibilità di acquisire segnali remoti.

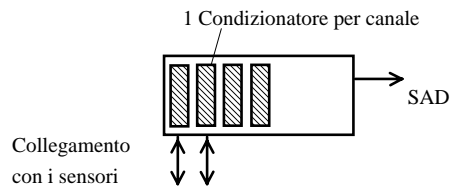


Fig.75 - Condizionatore modulare.

SAD.11. Grandezze caratteristiche di un SAD

La scelta di un Sistema di Acquisizione Dati richiede l'analisi di diversi fattori, quali:

- il numero di canali;
- la frequenza di campionamento per ogni canale;
- la risoluzione e la precisione;
- il condizionamento del segnale d'ingresso;
- il costo.

La *frequenza di campionamento*, che dipende dalla applicazione, influenza la scelta del convertitore A/D. Nei sistemi multi canali, essa dipende anche dall'architettura adottata per il SAD.

La *precisione* ed il range dinamico del segnale d'acquisire determinano l'errore ed il livello di rumore ammissibile.

Il *range dinamico* esprime il rapporto, in genere in dB, tra il valore di tensione massimo e quello minimo che possono essere misurati dal SAD. L'aumento del numero N di bit dell'ADC comporta anche un aumento anche del range dinamico (circa 6 dB per ogni bit in più). Infatti, a parità di valore massimo di tensione, l'aumento di N comporta una riduzione del valore minimo di tensione misurabile ($Q=V_{FS}/2^N$). Ipotizzando un livello di rumore trascurabile rispetto al rumore di quantizzazione il range dinamico risulta quindi pari a 2^N . Esso potrebbe essere incrementato inserendo uno stadio di amplificazione in ingresso per l'amplificazione dei segnali di piccola ampiezza. Ad esempio un convertitore a 16 bit ha un range dinamico di 2^{16} , per ottenere lo stesso valore da un ADC a 10 bit è necessario utilizzare un amplificatore con guadagno $2^6=64$. Bisogna però considerare che un guadagno elevato comporta anche una notevole amplificazione del rumore e quindi l'aumento effettivo del range dinamico potrebbe essere inferiore a quello teorico.

A partire da questi valori si determina il numero di bit del convertitore A/D, tenendo conto però dei valori reali degli errori di conversione (linearità monotonicità, .).

Devono essere inoltre considerate le prestazioni dei blocchi di condizionamento del segnale d'ingresso, quali: banda d'ingresso, slew rate, settling time, portata massima, ecc.

Guadagno (*gain*), che indica i valori di amplificazione del segnale d'ingresso selezionabili.

Portata (*range*), che indica l'intervallo di tensione utile del SAD. Utilizzando amplificatori a guadagno variabile è possibile adattare l'ampiezza del segnale a quella utile. La portata può inoltre essere unipolare (*unipolar*) se l'intervallo utile è quello positivo o bipolare (*bipolar*) se l'intervallo utile è sia positivo sia negativo.

Ingresso riferito a massa (*single-ended input*) o differenziale (*differential input*), che indica se gli ingressi sono riferiti a massa o se sono senza riferimento.

Tempo di stabilizzazione (*settling time*). È un parametro importante che rappresenta il tempo richiesto affinché un segnale amplificato raggiunga e resti in una determinata fascia di valori di tensione. In un SAD il guadagno, l'impedenza d'uscita della sorgente, la resistenza e la capacità della linea di trasmissione, l'azione di multiplexer, condizionano tale valore. Quando si campionano più canali, il multiplexer commuta i vari canali che hanno differenti livelli di tensione. L'amplificatore richiede un certo tempo per seguire queste variazioni di tensione, che è

tanto maggiore quanto maggiore è il guadagno. Il settling time non è un parametro critico dunque quando si campiona un solo canale, quando si campionano più canali a bassa velocità o quando si campionano più canali con bassi fattori di amplificazione. Negli altri casi invece è necessario verificare che esso non introduca errori significativi nell'acquisizione.

Nei SAD multicanale bisogna considerare anche altre grandezze caratteristiche, alcune delle quali sono riportate nel seguito.

Scansione continua (*continuous scanning*), che indica la capacità di eseguire la selezione e l'acquisizione in modo ciclico dei canali selezionati con una frequenza costante.

Campionamento simultaneo (*simultaneously sampled input*), che indica la capacità di eseguire l'acquisizione di tutti i canali in modo simultaneo.

Scansione intervallata (*interval scanning*), che indica la capacità di eseguire l'acquisizione di tutti i canali in modo simultaneo, ripetendo il ciclo d'acquisizione ad una bassa frequenza.

Ordine di scansione (*scan order*), che indica la capacità di poter selezionare l'ordine con cui eseguire la scansione dei canali.