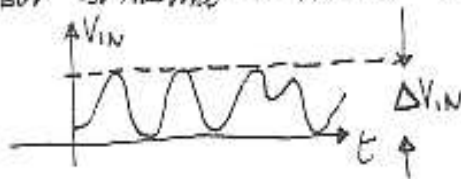
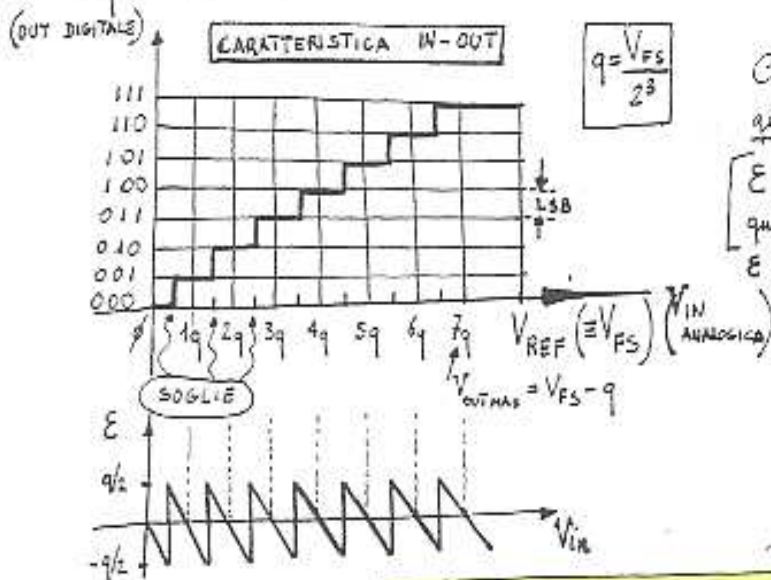


la variazione di un LSB nel codice digitale d'OUT. L'ampiezza q del quanto dipende dalla escursione picco-picco della V_{IN} e dal numero di livelli scelto per la quantizzazione. Con n bit si hanno 2^n livelli e il quanto vale perciò $q = \frac{\Delta V_{IN}}{2^n} [V]$



Esempio con $n=3$



Come si vede dalla figura, l'errore di quantizzazione E vale $\pm q/2$, al massimo.

$E \triangleq$ differenza tra la V_{IN} analogica e il livello quantizzato.

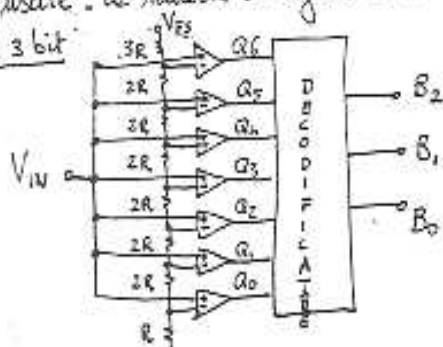
E vale ϕ in corrispondenza del centro degli intervalli, ed è massimo agli estremi inf. e sup.

ARCHITETTURE DEI CONVERTITORI A/D

In ordine decrescente di velocità di conversione:

1) A/D flash: il segnale analogico V_{IN} è applicato contemporaneamente a più comparatori contraddistinti da diverse tensioni di soglia; le uscite sono inviate a un circuito combinatorio di decodifica. Sono necessari $(2^n - 1)$ comparatori; la matrice di decodifica ha $(2^n - 1)$ ingressi e n uscite. Le tensioni di soglia sono ottenute a partire dalla V_{FS} con un partitore di resistenze.

E.s. con 3 bit



A_6	A_5	A_4	A_3	A_2	A_1	A_0	B_2	B_1	B_0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	1	1	1	1	1	1	0	0
0	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1

MATRICE DI DECODIFICA

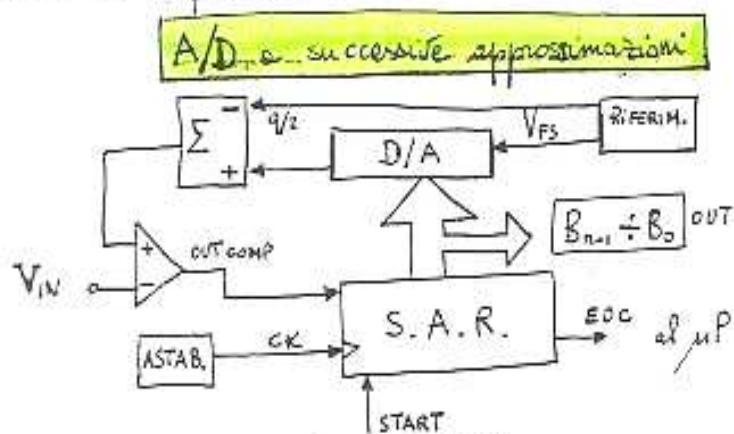
Quando V_{IN} supera l' i -esima soglia, tutte le uscite da ϕ a i sono a 1, quelle da $i+1$ a $(2^n - 1)$ sono a ϕ . Valore delle soglie: $\begin{cases} 1^a \text{ soglia } V_{S1} = \frac{V_{FS}}{16R} R = \frac{V_{FS}}{2^{n+1}} = q/2 \\ \vdots \\ 7^a \text{ soglia } V_{S7} = \frac{V_{FS}}{16R} 13R = 13q/2 = 6,5q \end{cases}$

2) A/D a retroazione: c'è un anello di reazione costituito da un comparatore, un convertitore D/A e una logica digitale sequenziale (contatori o registri S.A.R.). Questa produce, in base a una sequenza prestabilita, tutte le configurazioni assunte dalla parola digitale d'uscita.

Il D/A converte questo codice in una tensione analogica che viene confrontata, nel comparatore, con la V_{IN} ; l'esito del confronto determina l'evoluzione della parola digitale e il termine della conversione. In questa categoria troviamo

- 2a) A/D a contatore (a gradinate)
- 2b) A/D a inseguitore
- 2c) A/D ad approssimazioni successive. (Esempio AD7574)

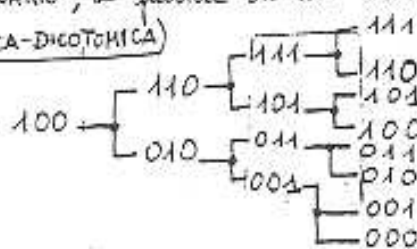
3) A/D a integrazione: viene prodotta una rampa lineare, mediante un integratore, in modo da correlare in modo proporzionale un intervallo di tempo con la grandezza analogica d'N. Durante tale intervallo, gli impulsi di un oscillatore a frequenza costante sono inviati a un contatore che, al termine del conteggio, fornisce la parola digitale in OUT. Il conteggio termina quando la rampa supera la V_{IN} . Il confronto è attuato da un comparatore.



Schemi a blocchi

SAR: questo registro presenta una serie di parole digitali a n bit che evolvono percorrendo i rami di un ALBERO BINARIO, a partire da un valore corrispondente a metà del fondo scala V_{FS} . (RICERCA-DICOTOMICA)

Es. con 3 bit



ALBERO BINARIO

D/A: riceve la parola generata dal SAR e la trasforma in corrispondente livello quantizzato.

Σ: sommatore algebrico, che sottrae alla tensione d'OUT del D/A una tensione $= q/2$, per stabilire la prima soglia a $4q - q/2$ e le successive di conseguenza.

COMP: confronta l'uscita del sommatore con V_{IN} , per determinare il percorso che il SAR deve seguire lungo l'albero binario.

ASTABILE: genera i c/c di CK per la temporizzazione del S.A.R.

CIRCUITO DI RIFERIMENTO: fornisce al convertitore D/A una tensione V_{FS} e al sommatore una tensione $\frac{V_{FS}}{2^{n+1}} = q/2$

Il SAR alterna fasi di tentativo e correzione della parola digitale cioè, in momenti diversi, pone a 1 ciascun bit a partire dal MSB e verifica se la parola ottenuta è superiore o inferiore a quella corrispondente a una corretta conversione di V_{IN} . Tale confronto è operato tramite l'anello di reazione, che relazione V_{IN} con il codice proposto dal SAR.

Se l'equivalente analogico del codice, diminuito di $q/2$ (uscita di Σ), è superiore a V_{IN} , il comparatore porta la sua uscita al livello ALTO e ordina al SAR di azzerare l'ultimo bit posto al livello 1.

Il principio di funzionamento del SAR è perciò analogo a quello di una bilancia da analisi, in cui su di un piatto si pone l'oggetto da misurare e sull'altro si aggiungono o si tolgono pesi a partire da quello più elevato.

ESEMPIO : numero di bit; 3
 $V_{FS} = 8V$
 $V_{IN} = 5,2V$
 $q = \frac{V_{FS}}{2^n} = \frac{8}{8} = 1V$
 $q/2 = 0,5V$

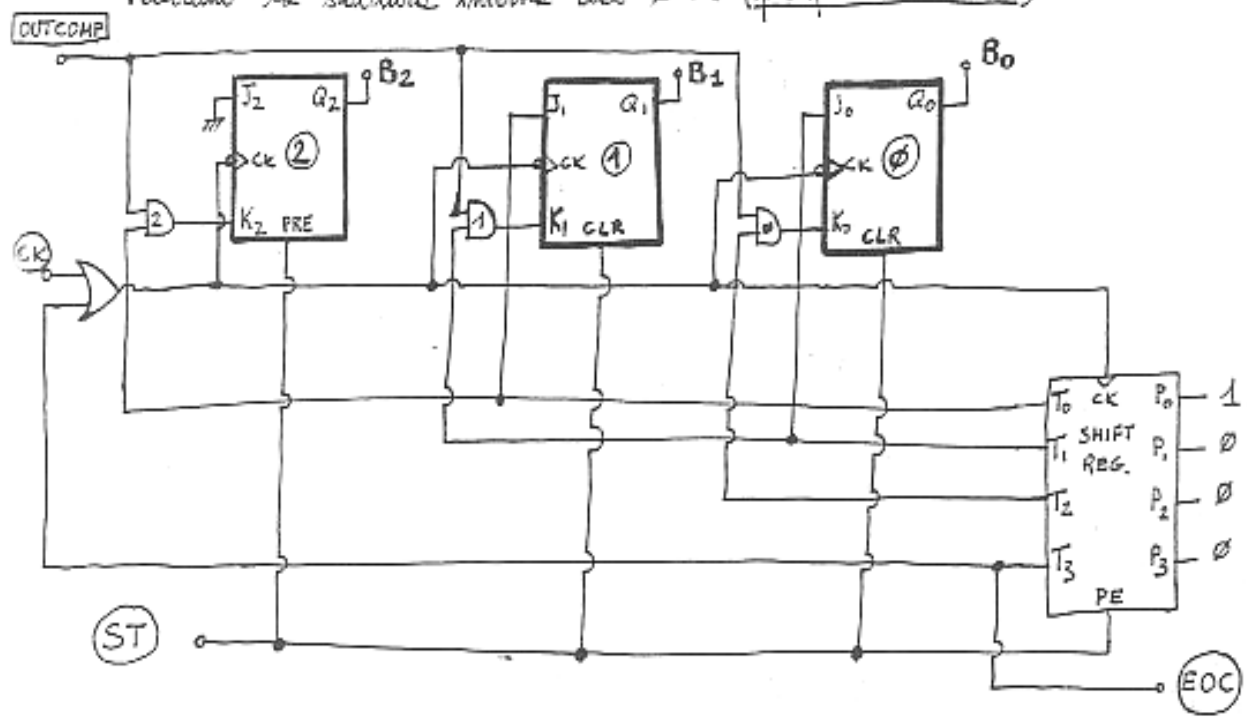
Percorso seguito dalla parola nel SAR:

V_{IN} [V]	Cicli di CK	$B_2 B_1 B_0$	OUT D/A [V]	OUT Σ [V]	OUT COMP
5,2	1°	1 0 0	4	3,5	∅
5,2	2°	1 1 0	6	5,5	1
5,2	3°	1 0 1	5	4,5	∅
5,2	4°	1 0 1	5	4,5	∅

Vediamo il percorso nel caso di una $V_{IN} = 5,8V$

5,8	1°	1 0 0	4	3,5	∅
5,8	2°	1 1 0	6	5,5	∅
5,8	3°	1 1 1	7	6,5	1
5,8	4°	1 1 0	6	5,5	∅

Vediamo la struttura interna del SAR (per parole di 3 bit)



Analisi funzionamento SAR.

Ci sono 3 FF-JK master-slave, 3 AND, 1 OR, 1 SHIFT REGISTER a 4 bit con $\begin{cases} \text{IN parallelo} \\ \text{OUT parallelo} \end{cases}$, programmabile mediante il caricamento asincrono parallelo di una configurazione prefissata (PATTERN).

A seguito del comando di START, diretto al piedino PE (parallel enable), il pattern impostato dai livelli presenti su $P_3 P_2 P_1 P_0$ (0001), viene trasferito sulle uscite $T_3 T_2 T_1 T_0$, predisponendolo al livello alto solo T_0 .

Ad ogni ciclo di CK, si verifica uno shift del livello 1, che interessa in successione $T_1 T_2 T_3$.

L'evoluzione degli stati di $T_3 T_2 T_1 T_0$ è perciò: $0001 \xrightarrow{I_{CK}} 0010 \xrightarrow{I_{CK}} 0100 \xrightarrow{I_{CK}} 1000$

Questo consente di temporizzare la successione dei tentativi che il SAR effettua lungo l'albero binario.

RICHIAMI DI LOGICA BINARIA:

Tabella di verità FF=JK:

I e FF sono master-slave: cioè Q commuta sul fronte di discesa di CK.

(Ci sono due FF: lo slave commuta sul fronte di salita di CK, il master su quello di discesa.)

Non ci sono problemi di perdita di informazioni, dovuti a tempi di hold non sufficientemente lunghi.

In un normale FF, bisogna che i comandi sincroni (J, K) arrivino prima del fronte attivo di CK e permanano per qualche tempo.

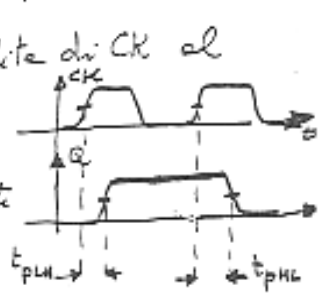
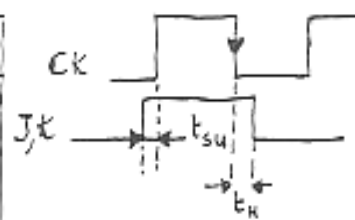
Lo slave invece acquisisce il dato e lo salva, passandolo poi al master.

t_{su} = set-up time
 t_H = Hold time
(nella realtà, i fronti di salita e di discesa non sono verticali.)

t_{PLH} tempo di ritardo di propagazione per una transizione dell'uscita Q da LOW \rightarrow HIGH. Si misura dal 50% fronte di salita di CK al 50% fronte di salita di Q. Analogamente per t_{PHL} .

In questo caso si suppone ovviamente che il fronte attivo del CK sia quello di salita.

Nel I° caso, i comandi JK saranno 10 (SET)
nel II° caso, " " " " 01 (RESET)

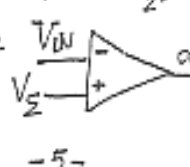


CICLO DI CONVERSIONE

Quando il SAR riceve il comando START, le uscite di FF0 e FF1 vengono resettate tramite gli ingressi asincroni di CLR, mentre FF2 è settato tramite l'ingresso asincrono di PRESET.

Perciò l'uscita è $\frac{B_2 B_1 B_0}{100}$, questo codice viene convertito dal D/A in un livello di tensione $V_{DC} = 9 \sum_{i=0}^2 B_i 2^i = 9 \cdot 4 = 4 \frac{V_{FS}}{2^2} = 4 \cdot \frac{8}{8} = 4V$. Il sommatore sottinteso $9/2^{0.5}$ per cui $V_Z = 3.5V$.

Il comparatore riceve V_{IN} e V_Z . A questo punto possono verificarsi 2 situazioni: [segue]

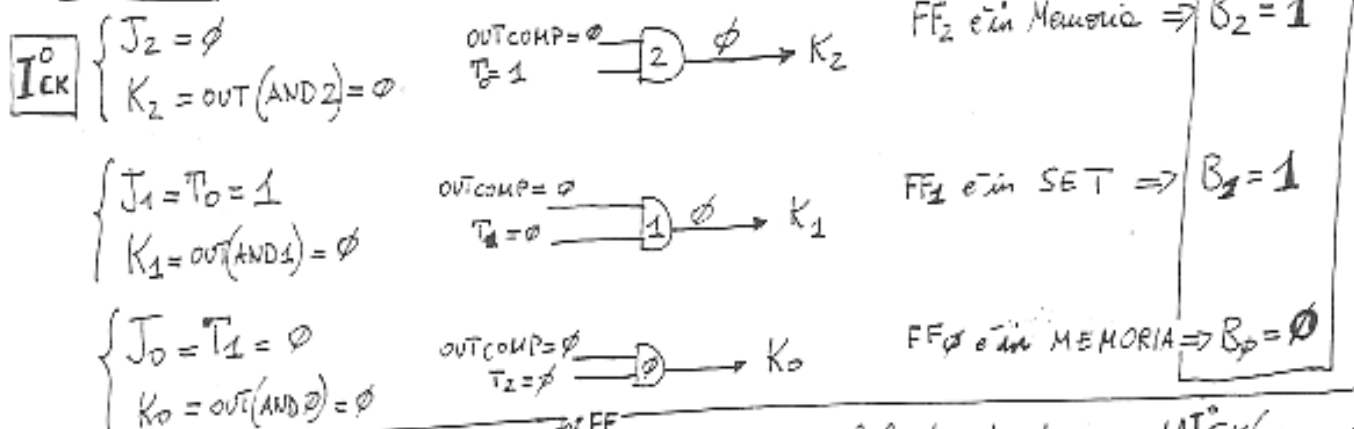


$$1) V^+ \equiv V_{\Sigma} > V^- \equiv V_{IN} \Rightarrow \text{OUT}_{\text{COMP}} = 1$$

$$2) V^+ < V^- \Rightarrow \text{OUT}_{\text{COMP}} = 0$$

Se supponiamo che $V_{IN} = 5,2V$, siamo nel caso 2).

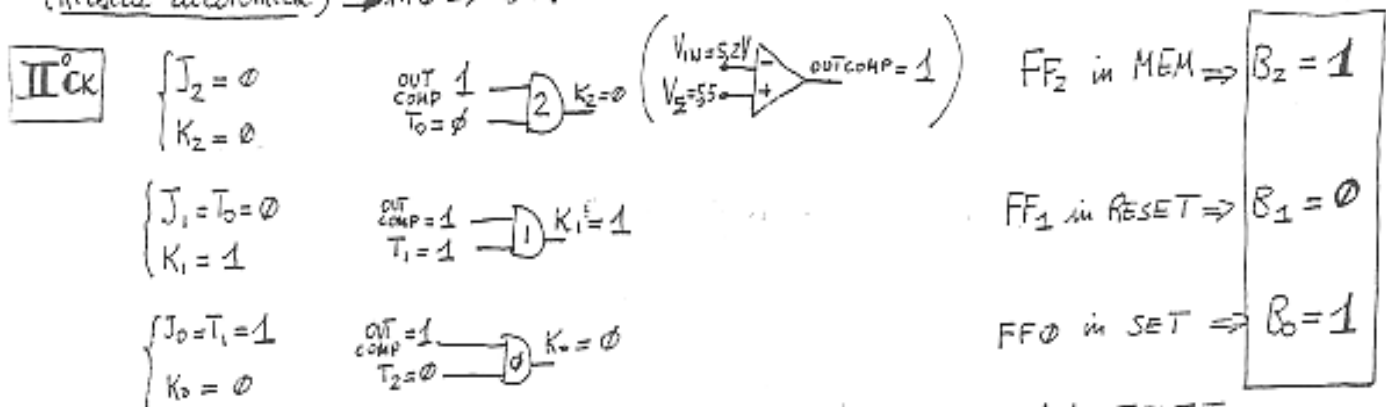
Vediamo quali sono i comandi per i 3 FF:



N.B.: Le commutazioni delle uscite B_i avvengono sul fronte di discesa del I° CK (e successivi).
 I clock di CK vengono contati a partire dal termine del comando di START.
 Lo shift register commuta sul fronte di salita del I° CK (e dei successivi).
 Per cui la situazione dopo il fronte di discesa del I° CK è questa:

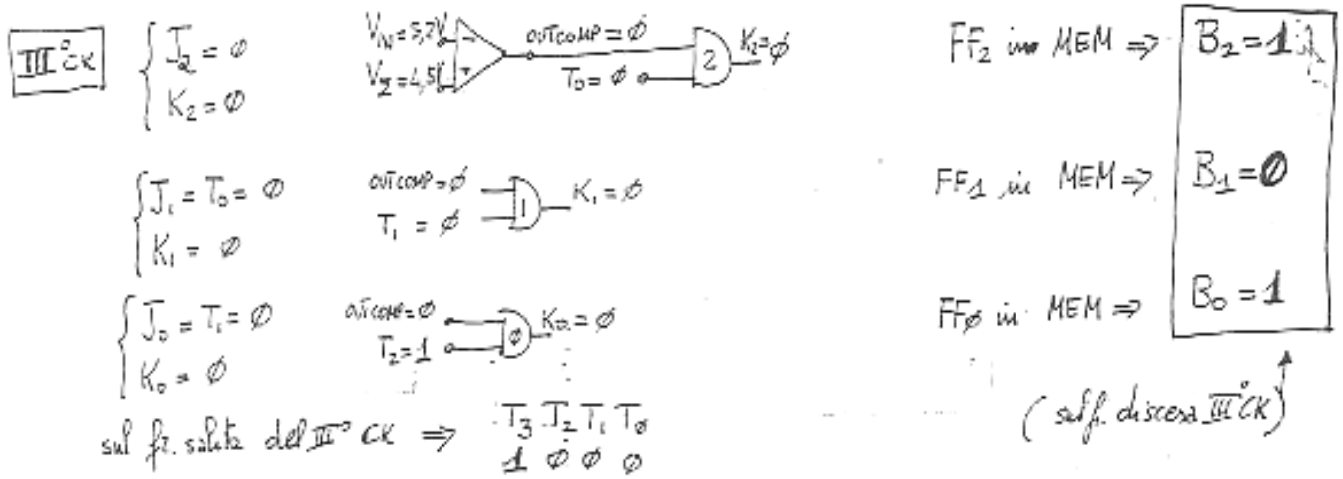
$T_3 T_2 T_1 T_0$	$B_2 B_1 B_0$	Da questo istante, si modificano gli ingressi JK dei 3 FF, che influenzeranno le uscite B_2, B_1, B_0 sul fronte di discesa del II° CK.
$0 \ 0 \ 1 \ 0$	$1 \ 1 \ 0$	

Quindi la parola del SAR, inizialmente 100, diventa 110 perché il comparatore, avendo l'uscita a 0, mi dice che $V_{IN} = 5,2V$ è maggiore della tensione proposta ($100 \Rightarrow 4V$) e devo aumentarla, scegliendo la metà dell'intervallo superiore.
 (Ricerca dicotomica) $\Rightarrow 110 \Rightarrow 6V$.



Lo shift commuta sul fronte di salita del II° CK, passando nello stato $T_3 T_2 T_1 T_0$, mentre i FF commutano sul fronte di discesa del II° CK.

Avendo il comparatore detto che $V_{IN} < V_{\Sigma}$, scegliamo la metà inferiore dell'intervallo: $101 \Rightarrow 5V$.



A questo punto, il livello 1 su T₃ porta il CK a 1, per cui i 3 FF e lo SHIFT REG non possono più commutare, non essendoci più fronti di salita o di discesa.

Inoltre, la linea EOC viene attivata e il μP , ricevendo questo segnale, potrà leggere il contenuto dell'A/D (che è salvato in un BUFFER DIGITALE di uscita) e mandare un nuovo segnale di START. Eventuali comandi di lettura o START inviati quando EOC = 0, non vengono eseguiti.

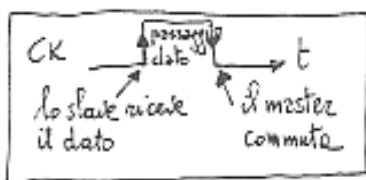
Perciò la V_{IN} analogica = 5,2V e convertita nel codice 101, con errore < 9/2.

RICAPITOLANDO:

- a) Lo START fa iniziare la conversione in questo modo:
 - a) cerca il pattern 0001 su T₃T₂T₁T₀ (in modo asincrono.)
 - b) presetta FF₂ a zero, FF₁, FF₀ \Rightarrow B₂B₁B₀ = 100

Dal termine del comando di START, cominciano ad agire il CK e i comandi sincroni JK.

- 2) Su ogni fronte di salita del CK, lo SHIFT REG scala la posizione del 1 da T₀ verso T₃, e contemporaneamente gli slave dei FF acquisiscono i dati presenti sugli ingressi JK, che sono influenzati da T₀T₁T₂ e OUT_COMP. I valori di T₀T₁T₂ che agiscono su JK sono quelli presenti fino al fronte di salita del CK. Mentre questi valori "vecchi" agiscono sugli FF (slave), lo shift scala il 1, ma la nuova configurazione di T₀T₁T₂ agisce col successivo clock.
- 3) Sul fronte di discesa del CK, commutano (o no) le uscite dei master \equiv uscite dei FF che hanno ricevuto i comandi durante lo stato alto del CK.



4) Fondamentale è l'operato del comparatore. Se la uscita è 0, significa che V_{IN} > V_Z, per cui bisogna aumentare la parola del SAR (mantengo lo stato di FF₂ e shifto il 1 su FF₁, mantengo lo stato di FF₀.)

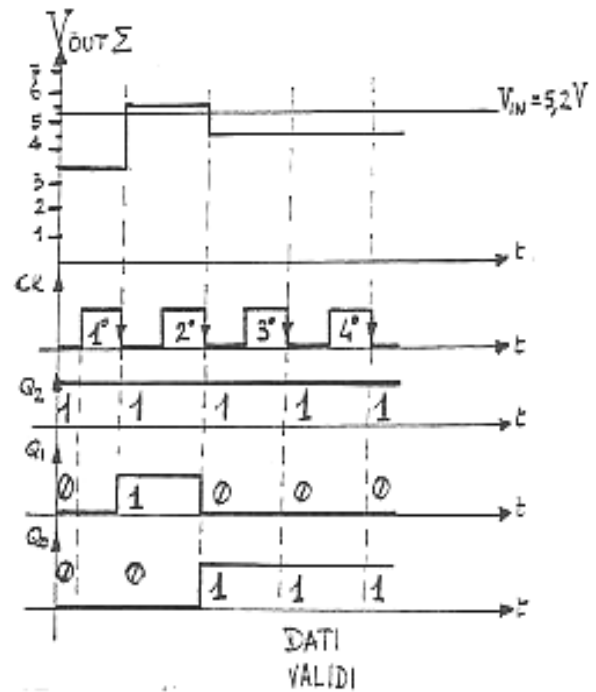
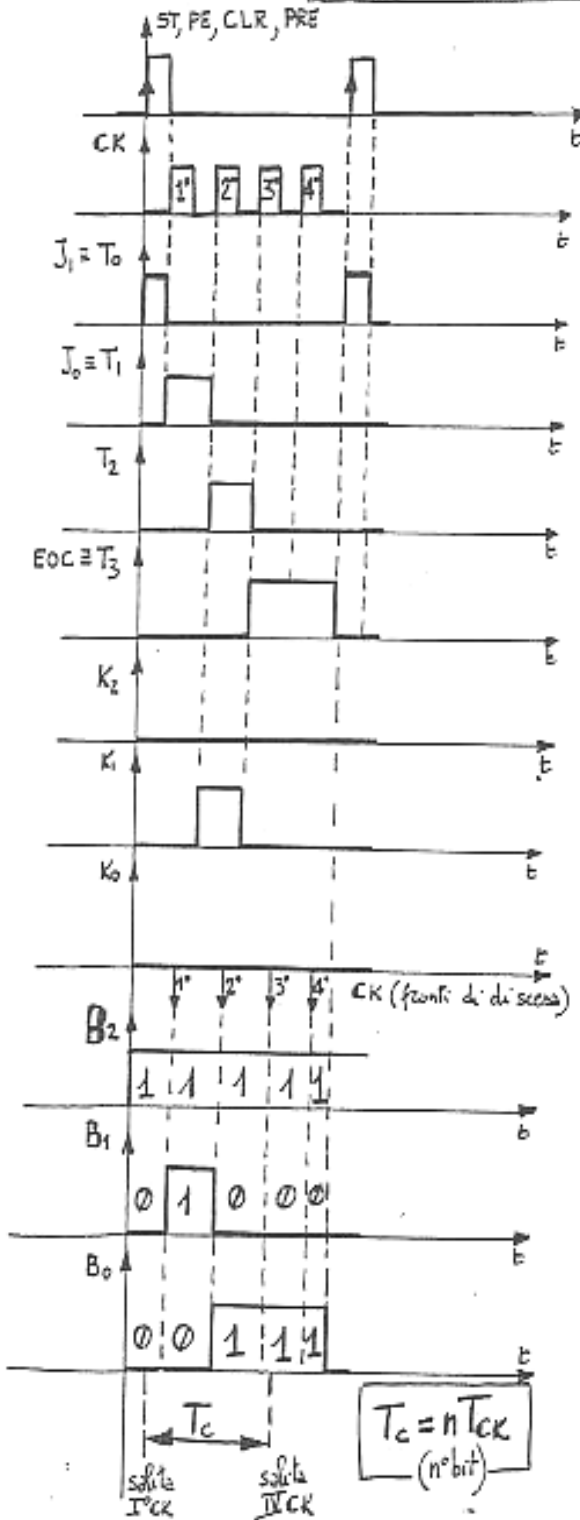
Se invece OUT_COMP = 1, V_{IN} < V_Z e devo ridurre la parola del SAR: azero FF₂ e shifto il 1 su FF₁, mantengo lo stato di FF₀.

- 5) Quando T₃ = 1, il confronto termina, lo scarto tra V_{IN} e V_Z è < 9/2, e segnalata la

fine conversione.

Per tutto il ciclo di conversione V_{IN} deve rimanere costante: necessita di anteporre un circuito SAMPLE & HOLD prima dell'A/D, a meno che V_{IN} vari molto lentamente (es: segnale proveniente da un trasduttore di Temperatura).

GRAFICI TEMPORALI



Terminato lo studio di un A/D a successive approssimazioni di tipo generale, affrontiamo ora l'analisi dettagliata di un A/D integrato di largo uso: **AD7574**

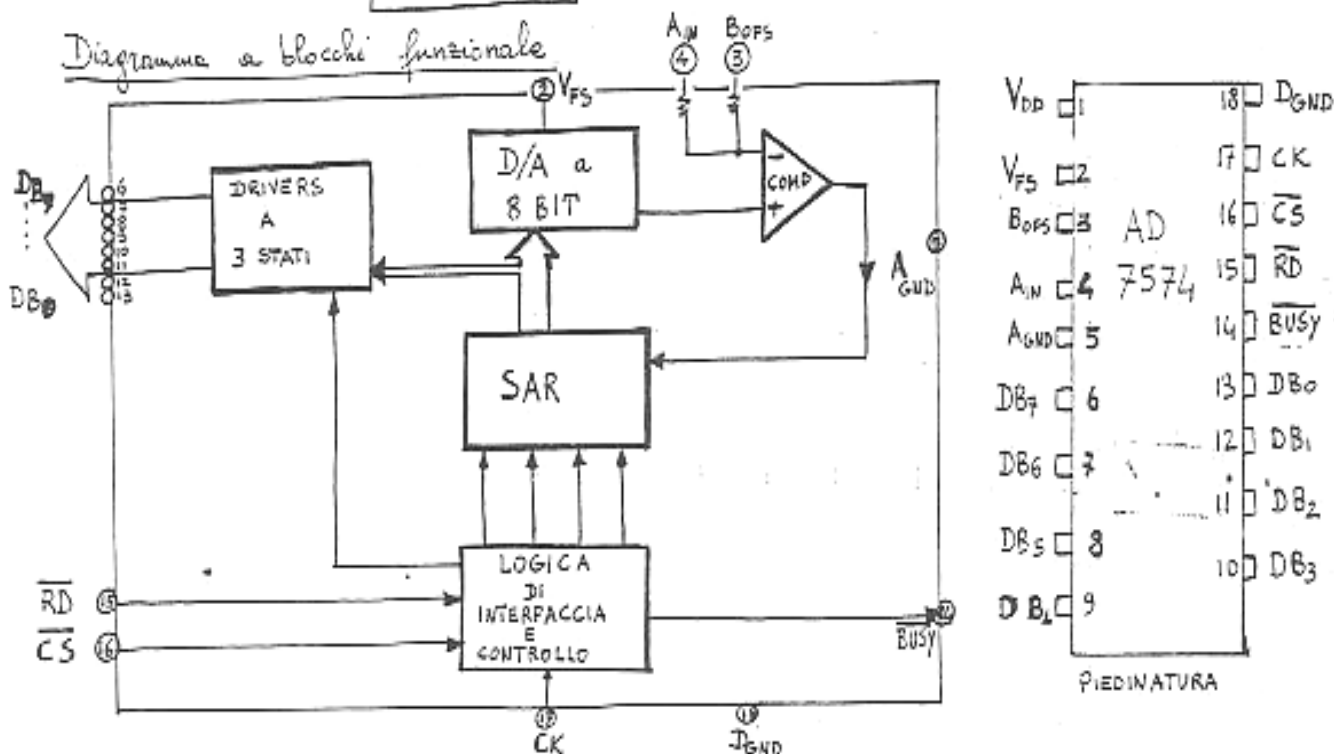
GENERALITÀ

È un convertitore A/D a 8 bit, compatibile con μP .

- Caratteristiche:**
- Risoluzione a 8 bit
 - Nessuna perdita di codici su tutto il campo di Temperatura.
 - $T_c = 15 \mu s$
 - Si interfaccia con il μP come una RAM, o una ROM, o una SLOW MEMORY
 - Base dissipazione di potenza: 30 mW
 - Alimentazione singola: +5V
 - Basso costo
 - Comparatore e oscillatore di CK interni.

AD7574

Diagramma a blocchi funzionale



V _{DD}	1	18	D _{GND}
V _{F5}	2	17	CK
B _{0FS}	3	16	\overline{CS}
A _{ref}	4	15	\overline{RD}
A _{GND}	5	14	\overline{BUSY}
DB ₇	6	13	DB ₀
DB ₆	7	12	DB ₁
DB ₅	8	11	DB ₂
DB ₄	9	10	DB ₃

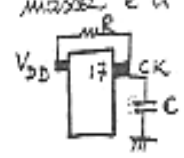
PIEDINATURA

ERRORE DI NON LINEARITA' DIFFERENZIALE : differenza tra le altezze di due gradini contigui (alla variazione di 1 LSB non corrisponde sempre esattamente la stessa $\Delta V \Rightarrow \begin{cases} \pm 7/8 \text{ LSB} & \text{per tipi AD7574, JN, AD, SD} \\ \pm 3/4 \text{ LSB} & \text{per tipi KM, BD, TD} \end{cases}$

- JN \rightarrow involucro plastico ($0 \div 70^\circ\text{C}$)
- KV \rightarrow " " " "
- AD \rightarrow " " ceramico ($-25 \div +85^\circ\text{C}$)
- BD \rightarrow " " " "
- SD \rightarrow " " ceramico ($-55 \div +125^\circ\text{C}$)
- TD \rightarrow " " " "

a) Gli ingressi \overline{CS} e \overline{RD} sono compatibili con tutti i μP e controllano tutte le operazioni dell'AD, come inizio conversione o lettura dati. I bit d'uscita usano la logica a 3 stati, permettendo la connessione diretta col data bus del μP o con le porte d'ingresso del sistema. Il segnale \overline{BUSY} , segnala la fine conversione quando torna al livello alto. (Durante la conversione, $\overline{BUSY} = 0$)

b) Il CK può essere generato internamente semplicemente connettendo un condensatore fra massa e il piedino (17), e un resistore tra il (17) e l'alimentazione positiva.



c) Bisogna dare all'integrato una tensione di riferimento negativa $-V_{FS}$, il cui valore assoluto stabilisce il valore di fondo scala del convertitore (2). Il numero di bit fissa il valore del quantò, cioè il passo di risoluzione dell'AD: $q = \frac{|V_{FS}|}{2^n}$. Il valore max dell'uscita del D/A sarà perciò $V_{max} = V_{FS} - q$.

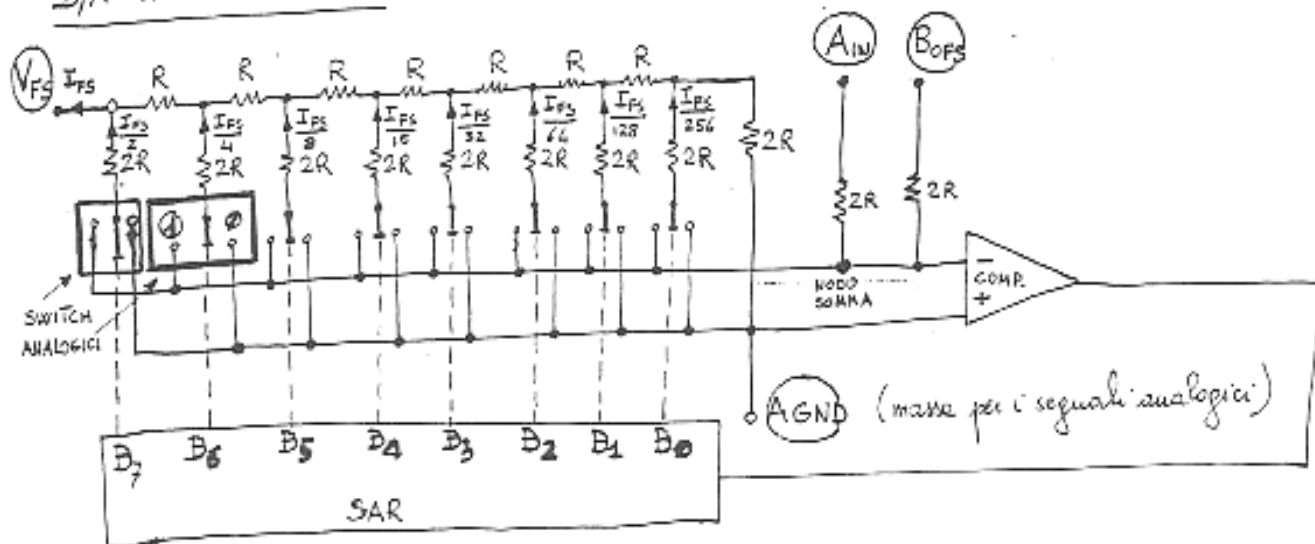
Vediamo le diffarenze tra l'A/D 7574 e lo schema di principio di un A/D a succ. appross.

a) Non c'è il sommatore Σ .

b) Il comparatore non effettua un confronto fra tensioni, perché il D/A ha uscita in corrente.

STRUTTURA DEL D/A interno all'AD7574

D/A con rete a scala



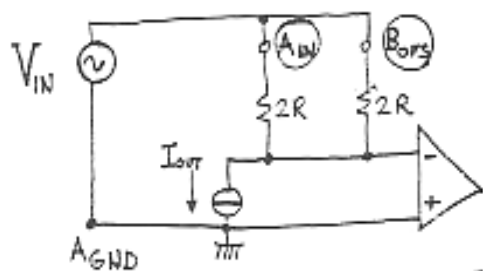
$$I_{FS} = \frac{V_{FS}}{R}$$

La Req della Rete a scala = R per cui $I_{FS} = \frac{V_{FS}}{R}$; ad ogni nodo la corrente si divide in due parti uguali, perché ogni ramo presenta resistenza = 2R.

I rami verticali (2R) sono sempre connessi a massa: infatti se l'i-esimo Bit vale 1, sono collegati alla massa virtuale dell'operaz, se il bit vale 0, sono collegati alla massa reale.

L'AD7574 può funzionare con codice unipolare o bipolare.

CODICE UNIPOLARE



Circuito equivalente delle reti che agiscono sull'ingresso del COMP.

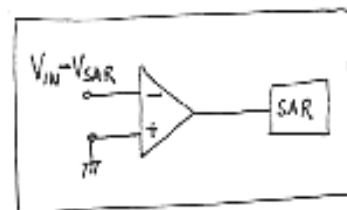
Si connettono insieme i pin AIN e BOUT, mettendoli così in // le due resistenze 2R interne all'integrato.

La corrente IOUT fornita dal D/A a scala è del tipo $I_{OUT} = \frac{I_{FS}}{2^n} \sum_{i=0}^{n-1} B_i 2^i$.

Infatti si vede dalle formule che la corrente associata al MSB = B7 (quando $e^- = 1$) vale $I_7 = \frac{I_{FS}}{2^8} 2^7 = \frac{I_{FS}}{2}$, come si vede nello schema.

Ponendo $\sum_{i=0}^{n-1} B_i 2^i = N_D$, posso scrivere $I_{OUT} = \frac{I_{FS}}{2^n} N_D = \frac{V_{FS}}{R \cdot 2^n} \cdot N_D$

Del circuito risulta $V^- = V_{IN} - R I_{OUT} = V_{IN} - R \left[\frac{V_{FS}}{R \cdot 2^n} \cdot N_D \right] = V_{IN} - V_{SAR}$



Come opera il COMP? (Supponiamo di essere al I° CK)

a) $V = (V_{IN} - V_{FSR}) > 0$ cioè $V_{IN} > V_{FSR}$ il COMP va in saturazione negativa, cioè $V_{OUT COMP} = 0$.

Il SAR reagisce nel modo visto precedentemente. La parola iniziale è:

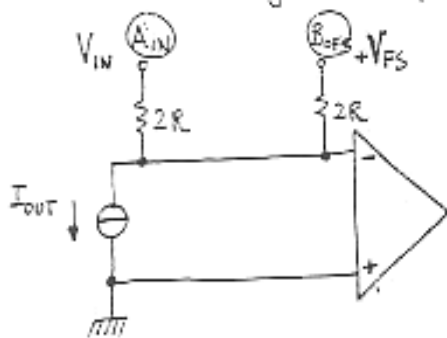
	MSB						LSB
Evolverà in	1	0	0	0	0	0	0
	1	1	0	0	0	0	0

b) $V = (V_{IN} - V_{FSR}) < 0$, il COMP va in saturazione positiva (1), segnalando al SAR di ridurre la parola.

	MSB						LSB
INIZIALE	1	0	0	0	0	0	0
DOPO I° CK	0	1	0	0	0	0	0

CODICE BIPOLARE

Le resistenze collegate ai pin A_{IN} e B_{0FS} vanno collegate rispettivamente a V_{IN} e a +V_{FS}.



$$-10V < V_{IN} < +10V$$

- ① B_{0FS} = +10V
- ② V_{FS} = -10V

Vediamo in dettaglio il CODICE UNIPOLARE



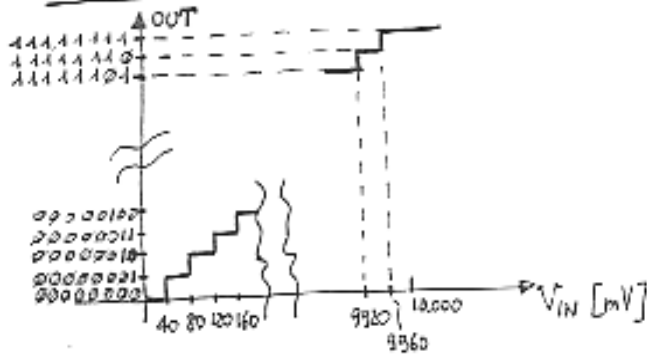
La V_{FS} è fornita dall'integrato AD584.

V_{IN} può variare tra 0 ÷ 10V, per cui $q = \frac{|V_{FS}|}{2^8} = \frac{10V}{256} \approx 39mV$

RECUPERO OFFSET: Si applicano 39 mV (LSB=1, tutti gli altri=0) a R₁. Mentre vengono effettuati i vari cicli di conversione, si regola il potenziometro dell'offset finché B₇... B₁=0 e B₀=1.

CORREZIONE GUADAGNO DI FONDO SCALA: Dopo aver recuperato l'offset, si applica a R₁ una V_{IN} = V_{max(D/A)} = V_{FS} - q = 10V - 39 mV = 9,961V. Si regola il trimmer R₂ finché i bit valgono 1.

CARATTERISTICA TRASFERIMENTO AD 7574 (codice universale)



L'AD 7574 è visto come una cella di memoria dal μP ; vi sono 3 modi di funzionamento

- 1) ROM MODE
- 2) RAM MODE
- 3) SLOW-MEMORY MODE

ROM MODE

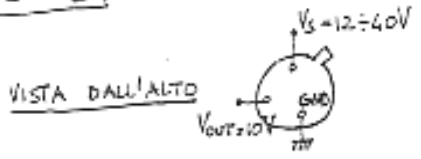
Vi sono 3 segnali logici: $\left\{ \begin{array}{l} \overline{CS} \\ \overline{RD} \\ \overline{BUSY} \end{array} \right\}$ ingressi
uscita

- $\overline{CS} = \phi$ dispositivo abilitato
- $\overline{CS} = 1$ " non "
- \overline{RD} da ϕ a $1 \rightarrow$ START
- \overline{RD} da 1 a $\phi \rightarrow$ LETTURA DATI (abilitazione DRIVERS)
- $\overline{BUSY} = \phi$ OCCUPATO \equiv conversione in atto
- $\overline{BUSY} = 1$ LIBERO \equiv FINE CONVERSIONE

Per iniziare la conversione dell'ingresso
 $\overline{CS} = \phi$ e $\overline{RD} = 1$.
 Quando $\overline{BUSY} = 1$, è finita la conversione
 e se arriva il segnale $\overline{RD} = \phi$, si può leggere.

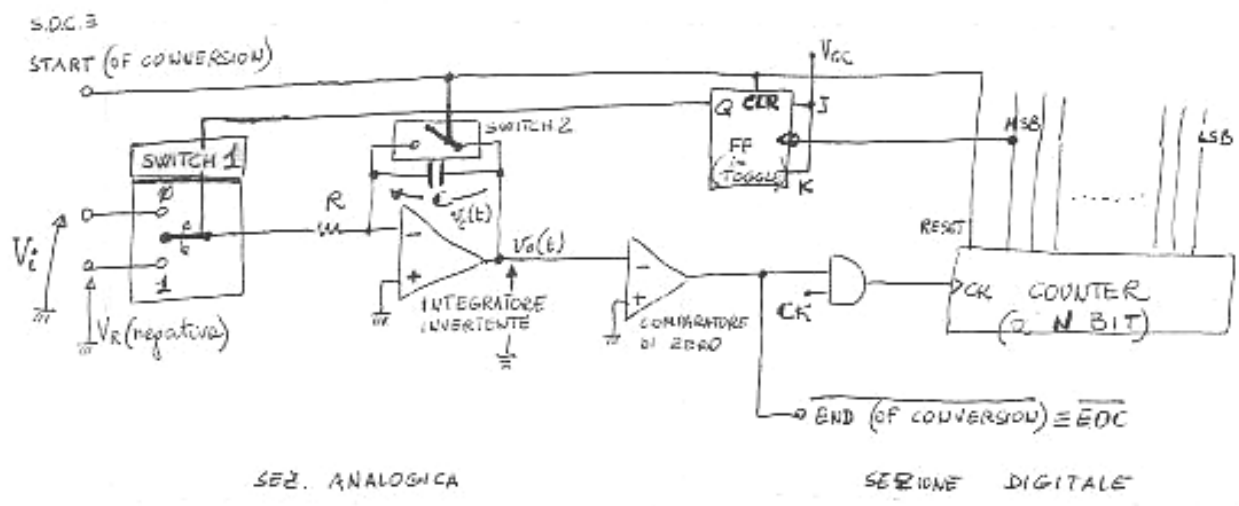
AD 584

RIFERIMENTO DI TENSIONE - Caratteristiche: Accuratezza $10,000 V \pm 5 mV$
corrente di uscita $10 \mu A$
stabilità nel tempo e con la temperatura.



Può assorbire o erogare corrente, e la tensione fornita può essere $+10V$ o $-10V$.

A/D a doppia rampa [UNIPOLARE ($V_i \geq 0$)]



SEZ. ANALOGICA

SEZIONE DIGITALE

START $\begin{matrix} \uparrow \\ \phi \end{matrix}$ \Rightarrow

- 1) SW2 si chiude e cortocircuita il condensatore dell'integratore, scaricandolo, in modo che $v_{e, INIZIALE} = 0 [V]$
- 2) l'uscita Q del FF-JK va a ϕ (CLEAR attivo alto) e comanda lo switch 1, portandolo sull'ingresso ϕ (V_i analogica)
- 3) viene azzerato il contatore tramite l'ingresso di Reset (attivo alto)

START $\begin{matrix} \downarrow \\ \phi \end{matrix}$ \Rightarrow

- 1) si apre lo switch 2, l'integratore inizia a integrare, la tensione V_i applicata ad R; la tensione d'uscita $v_o(t) = -v_e(t)$ è una rampa discendente e negativa, essendo V_i un valore di tensione positivo, mantenuto costante per tutto il tempo di conversione; $v_o(t) = \frac{1}{RC} \int_0^t V_i dt + V_{e, iniz} = \frac{V_i}{RC} t$; $v_o(t) = -\frac{V_i}{RC} t$
- 2) la V^- del comparatore è perciò negativa, OUT COMP = 1, AND fa passare il CK (onda quadra $\cdot 1 =$ onda quadra), il COUNTER conta fino alla configurazione massima (tutti 1), impiegando un tempo pari a $2^N T_{CK}$.
- 3) il successivo ciclo di CK fa passare MSB da 1 a ϕ e questo fronte di discesa ordina al FF-JK di cambiare stato e portare l'uscita Q a 1. (il FF è in TOGGLE net)
- 4) lo SW1 si collega a V_R (negativa), parte una rampa crescente (ancora negativa, però) ; $v_o(t) = \frac{1}{RC} \int_0^t V_R dt + V_{o, min}$; la $v_{out}(t)$ è una rampa crescente positiva (V_R è negativa, $v_o(t) = -v_e(t)$) che parte però da un valore di tensione $V_{o, min}$ negativo, che è il valore di tensione raggiunto dalla rampa discendente dopo
- 5) quando $v_o(t)$ supera lo zero, OUT COMP = ϕ , si blocca il COUNTER e il CODICE BINARIO al suo interno è uguale al n° di cicli di clock necessari per far arrivare la II^a rampa a zero. \overline{EOC} segnala, con un livello basso, la fine conversione.

Perciò il contatore effettua due cicli di conteggio: nel primo conta da N zeri a N BIT ($N = n^\circ$ di BIT) e nel frattempo l'integratore genera una rampa discendente con durata fissa ($2^N T_{CK}$) e pendenza dipendente da V_i (questo valore sarà in genere diverso ad ogni nuova conversione, perciò diciamo che questo

tipo di A/D genera una prima serie di rampe con durata fissa ($2^N T_{CK}$) e pendenza "variabile", pari a $\frac{V_i}{RC}$ (e V_i a variare di volta in volta).

Sia chiaro però che, per ogni conversione, il valore di V_i è mantenuto costante!

La prima rampa, quindi, scende fino a un livello minimo di tensione pari

a $V_{0min} = -\frac{V_i}{RC} 2^N T_{CK}$. Subito dopo il contatore ricade e l'integratore comincia a integrare il valore negativo (fisso) V_R .

La II rampa (crescente), partendo da V_{0min} , impiegherà un certo tempo a raggiungere lo zero, mentre il contatore conterà un certo n° di cicli di CK.

$$V_0^I(t) = -\frac{V_i}{RC} t + V_{0min}$$

Determiniamo il tempo necessario a raggiungere lo zero (FINE CONVERSIONE), durante il quale il contatore conterà N_x cicli di clock:

$$0 = -\frac{V_i}{RC} (N_x T_{CK}) - \frac{V_i}{RC} 2^N T_{CK}$$

$$0 = -V_i N_x - V_i 2^N \Rightarrow N_x = -\frac{V_i 2^N}{V_R}$$

Esempio: $\begin{cases} V_i = 5,7 [V] \\ V_R = -10 [V] \\ N = 8 \end{cases}$

$N_x \equiv N^{\circ}$ BINARIO PRESENTE NEL CONTATORE E

COLLEGATO AL VALORE DI $V_i \Rightarrow (N_x)_{10} = -\frac{5,7}{-10} 2^8 = +0,57 \cdot 256 = 145,92 \Rightarrow (146)_{10}$

cioè $(10010010)_2$

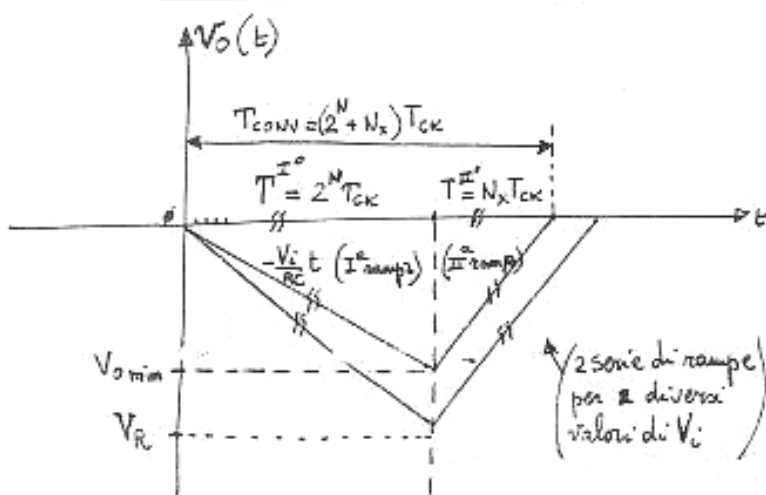
Bisogna sempre approssimare per eccesso; infatti se prendiamo $N_x = (145)_{10}$, otteniamo

$$-V_R N_x - V_i 2^N = +10 \cdot 145 - 57 \cdot 256 = 1450 - 1459,2 = -9,2$$

cioè la rampa non ha ancora raggiunto lo zero e il comparatore non può cambiare stato, bloccando il contatore. Invece con $N_x = 146$, la rampa raggiunge e supera lo zero e finisce la conversione.

Per ciò $N_x = K V_i$ con $K = -\frac{2^N}{V_R}$

I^a serie di rampe: durata fissa, pendenza "variabile",
II^a serie di rampe: pendenza fissa, durata "variabile",



(N.B.) i valori di RC non influenzano la conversione!

Ovviamente, la risoluzione dell'A/D è pari al $q = \frac{V_R}{256} = \frac{10}{256} \approx 39 [mV]$;

cioè vuol dire che tutti i valori di V compresi in una fascia di 39 [mV] avranno lo stesso codice digitale.

Es: $0 < V_i < 39 [mV] \Rightarrow N_x = (00000001)_2$

$564 < V_i < 5,703 [V] \Rightarrow N_x = (10010010)_2$

Il tempo di conversione dipende dal valore di V_i ; perciò ci si mette nel caso peggiore: $V_i = 10V = -V_R \Rightarrow T_{conv} = 2 \cdot 2^N T_{CK} = 2^{N+1} T_{CK}$