

ARCHITETTURE DAC

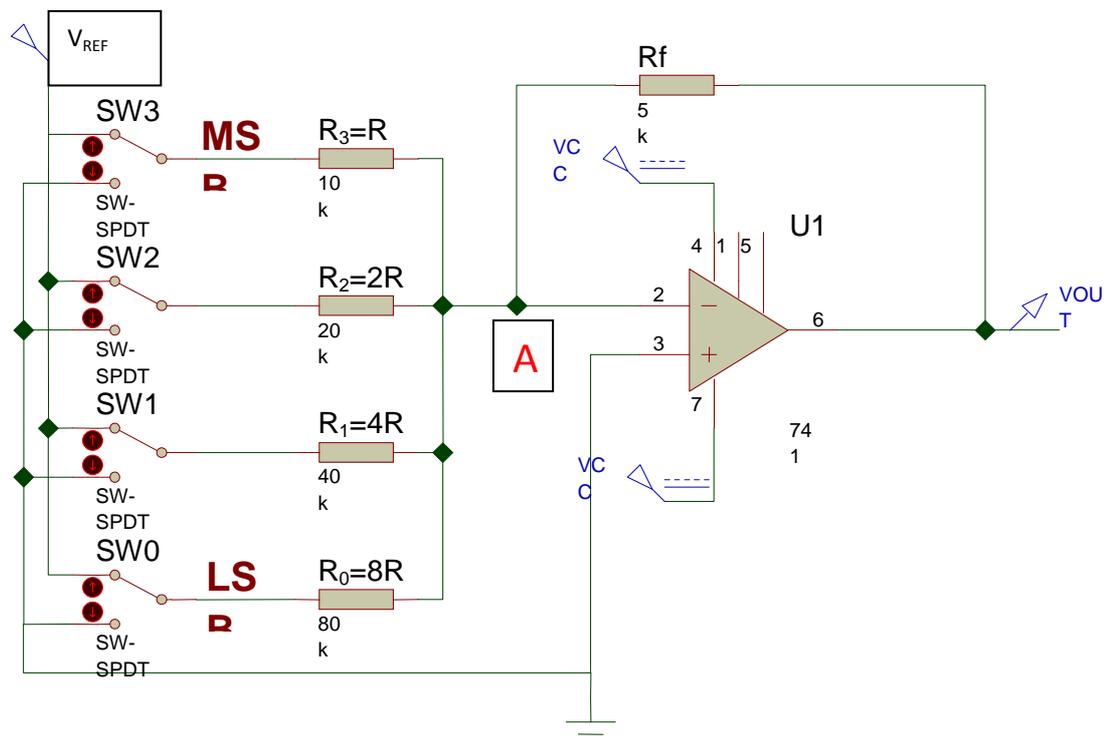
1. DAC A RESISTORI PESATI : esempio didattico con 4 BIT

La struttura base è quella del SOMMATORE INVERTENTE con A. Operazionale. I resistori hanno valori di Resistenza uno doppio dell' altro e il più piccolo (R_3) è associato al Bit più significativo (B_3), in modo da essere percorso dalla corrente più grande (I_3).

Ciascun resistore è collegato alla V_{REF} (o V_{FS}) da un deviatore analogico (switch), realizzato ad esempio con una coppia di JFET, comandati sul GATE dalla tensione logica che rappresenta il corrispondente Bit :

Se $B_0 = 1$ >>> SW_0 collega il resistore R_0 a V_{REF} e la corrente che lo attraversa vale $I_0 = V_{REF} / R_0 = V_{REF} / 8R$

Se $B_0 = 0$ >>> SW_0 collega il resistore R_0 a GND e la corrente che lo attraversa vale zero.



Le 4 correnti I_3, I_2, I_1, I_0 si sommano nel nodo **A** presente sull' IN invertente (MASSA VIRTUALE) e fluiscono nel resistore di retroazione R_f : $I_f = I_3 \cdot B_3 + I_2 \cdot B_2 + I_1 \cdot B_1 + I_0 \cdot B_0$ (la i -esima corrente è presente solo se $B_i = 1$)

$$V_{out} = - R_f \cdot I_f = - R_f [I_3 \cdot B_3 + I_2 \cdot B_2 + I_1 \cdot B_1 + I_0 \cdot B_0] = - R_f [V_{REF}/R \cdot B_3 + V_{REF}/2R \cdot B_2 + V_{REF}/4R \cdot B_1 + V_{REF}/8R \cdot B_0] =$$

$$= - R_f \cdot V_{REF} / 8R [8B_3 + 4B_2 + 2B_1 + B_0] \quad \text{SE PONGO } R_f = R/2 \text{ ottengo :}$$

$$V_{out} = - V_{REF} / 16 \cdot \sum B_i \cdot 2^i \quad \text{generalizzando : } V_{out} = - q \cdot \sum B_i \cdot 2^i \quad \text{essendo } q = V_{REF} / 2^N$$

(cioè tensione di OUT = quanto * conversione del codice d' IN da Base2 a Base 10)

Essendo lo schema invertente, per avere valori in uscita positivi si sceglie una V_{REF} negativa

Inoltre, con la scelta $R_f = R/2$ si ottiene, con il CODICE massimo 1.....11 (cioè tutti i bit = 1) :

$$V_{out \max} = (V_{REF} / 2^N) \cdot 2^{(N-1)} \equiv V_{REF} - q$$

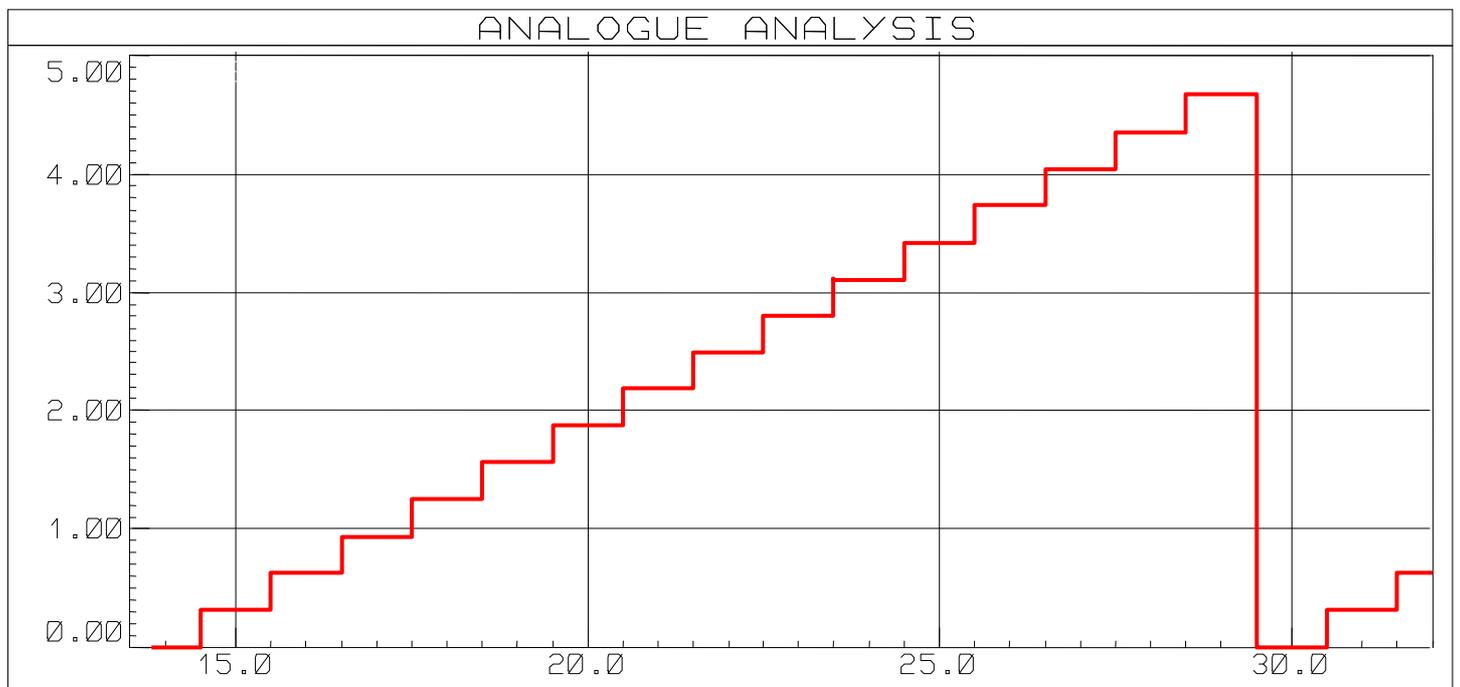
ESEMPIO : $V_{REF} = -10 [V]$ >>>>> $q = V_{REF} / 2^4 = 10/16 = 0,625 [V]$

CODICE BINARIO in INGRESSO :

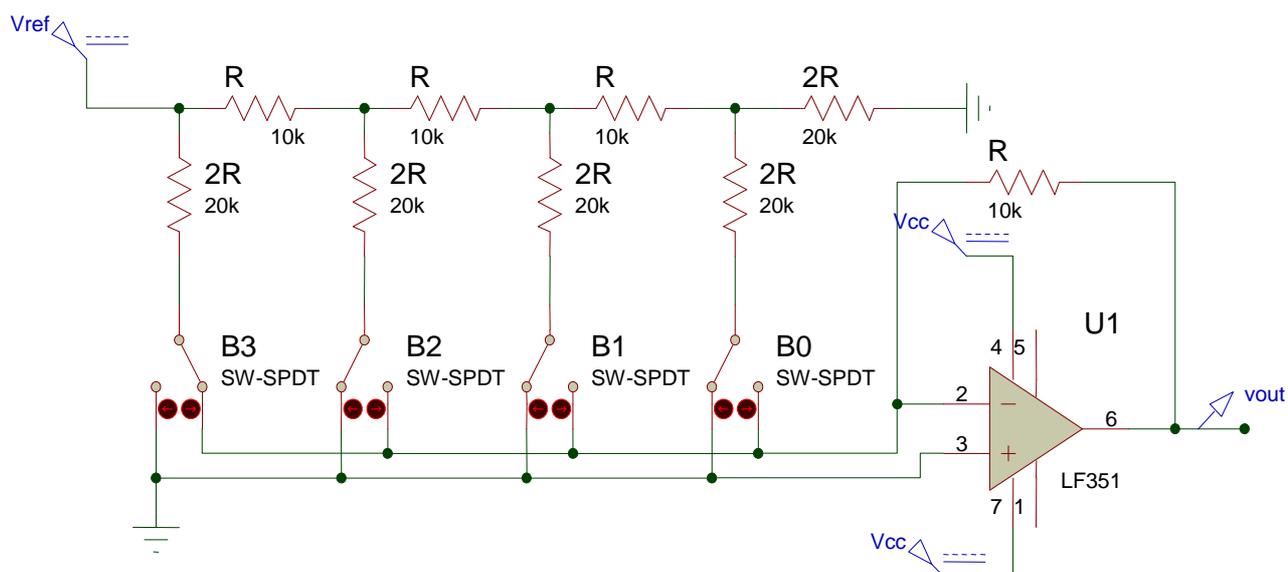
- $B_3B_2B_1B_0 = 1001$ $V_{out} = -V_{REF} / 2^4 * (1*2^3 + 1*2^0) = 10/16 * 9 = 5,625 [V]$
- $B_3B_2B_1B_0 = 1111$ $V_{out} = -V_{REF} / 2^4 * (1*2^3 + 1*2^2 + 1*2^1 + 1*2^0) = 10/16 * 15 = 9,375 [V]$

Perciò, se in ingresso al DAC si fornisce la sequenza UP di conteggio del codice binario su N bit, in uscita si ottiene una gradinata positiva ascendente, in cui l'altezza del gradino è $q = V_{REF} / 2^N$ e il massimo livello raggiunto, a fine scala, è $V_{REF} - q$;

in questo esempio, $N = 4$, $V_{REF} = -5 [V]$, $q = 0,3125 [V]$, $V_{outmax} = 4,6875 [V]$



2. DAC CON RETE A SCALA R --- 2R : esempio didattico con 4 BIT



$$q = V_{fs} / 2^{\exp 4} = 10 / 16 = 0,625 \text{ [V]}$$

PROPRIETA' DELLA RETE A SCALA :

- a dx di ogni nodo il valore delle resistenze è $2R$, a sx invece è R
- la R_{tot} vista dal generatore V_{ref} è R
- la corrente iniziale, erogata dal generatore, è V_{ref} / R
- tale corrente si divide in 2 parti uguali ad ogni nodo, per cui il valore delle 4 correnti nei 4 rami "verticali", partendo da sx, è : $I_3 = V_{\text{ref}} / 2R$, $I_2 = V_{\text{ref}} / 4R$, $I_1 = V_{\text{ref}} / 8R$, $I_0 = V_{\text{ref}} / 16R$

N.B. : la corrente si divide in 2 parti uguali, in ogni nodo, perché le $2R$ "verticali" sono sempre connesse a massa : **reale**, se l' i-esimo Bit vale 0, **virtuale** se l' i-esimo Bit vale 1.

Le correnti poi si sommano e vanno nelle R di reazione del sommatore invertente

CODICE IN	$V_{\text{OUT}} \text{ [V]}$
0000	0
0001	$1q = 0,625$
0010	$2q$
0011	$3q$
0100	$4q$
0101	$5q$
0110	$6q$
0111	$7q$
1000	$8q$
1001	$9q$
1010	$10q$
1011	$11q$
1100	$12q$
1101	$13q$
1110	$14q$
1111	$15q = V_{\text{ref}} - q = 9,375$