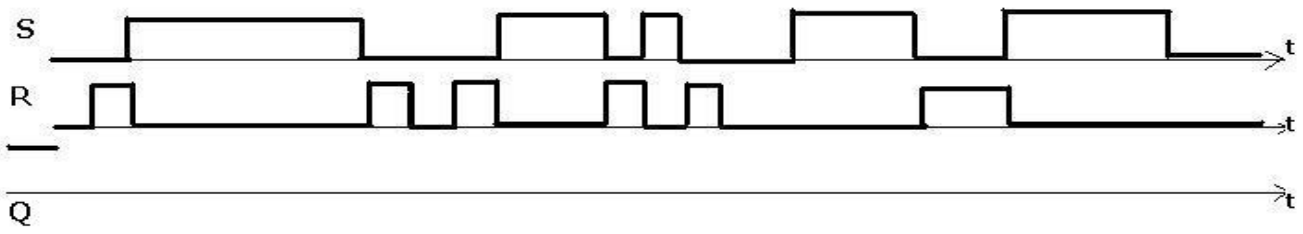
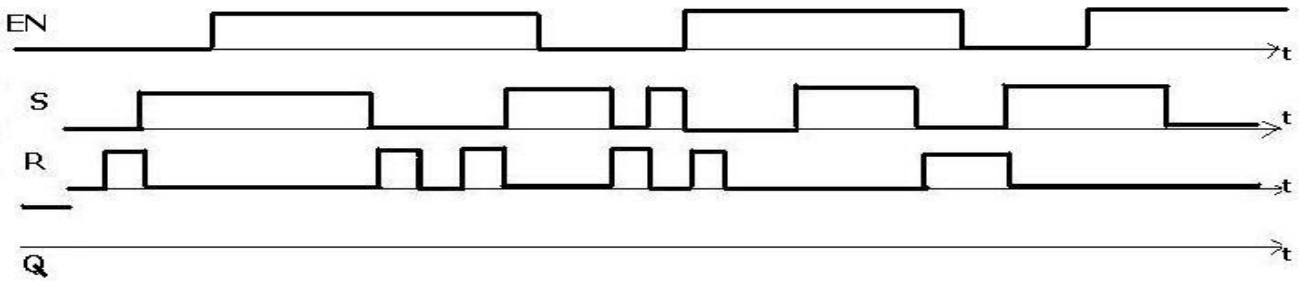
III B e ELETTRONICA 6° TEST - F1 VEN 26 marzo 2010

Cognome…….Nome……

1. **a) Disegna lo schema del latch SR (attivo alto)**
   b) Scrivi la relativa Tavola di Verità
   c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



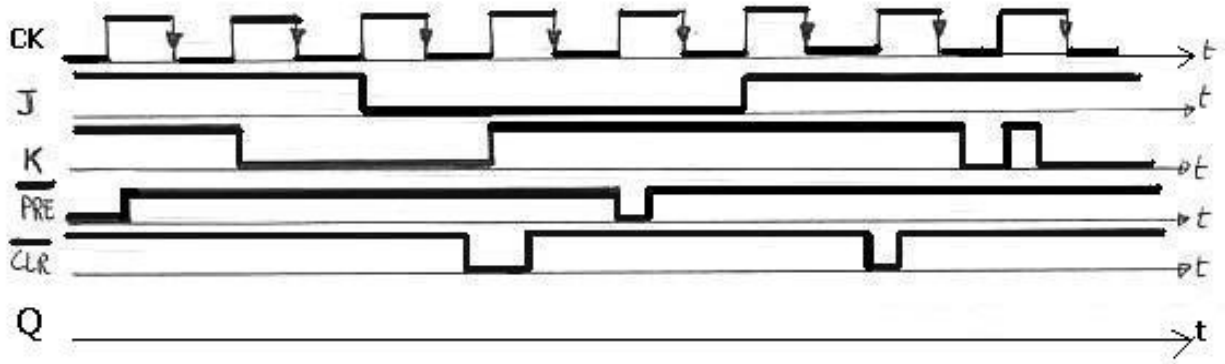
2. **a) Disegna lo schema del latch SR con ENABLE (attivo alto)**
   b) Scrivi la relativa Tavola di Verità
   c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



3. **a) Disegna lo schema del latch JK con ENABLE**
   b) Scrivi la relativa Tavola di Verità

4. **Che differenza c'è tra LATCH , LATCH con ENABLE e FLIP – FLOP ?**
5. **Disegna lo schema e il grafico del circuito CRT che genera un treno di impulsi in sincronia col fronte di salita del Clock**

6. **a) FLIP-FLOP JK n.e.t. : scrivi la TdV con i comandi J,K, $\overline{PRE}$, $\overline{CLR}$**
   b) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



7. **Circuito del semisommatore Binario (Half Adder)**

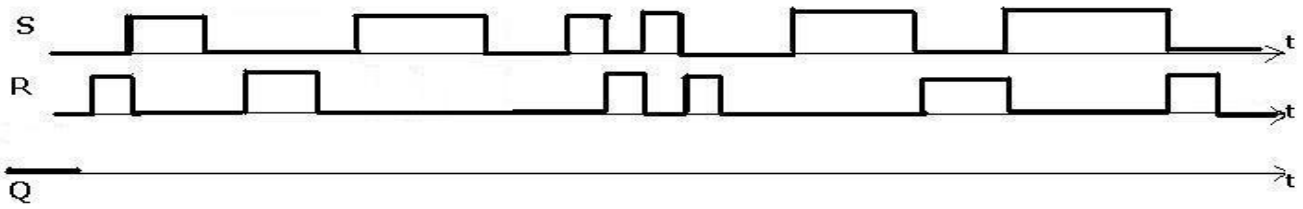
VALUTAZIONE

Es	Base	1a	1b	1c	2a	2b	2c	3a	3b	4	5	6a	6b	7	TOT	VOTO
Pt max	20	4	4	8	4	4	10	4	4	6	5	5	16	6	100	10
Pt acq.																

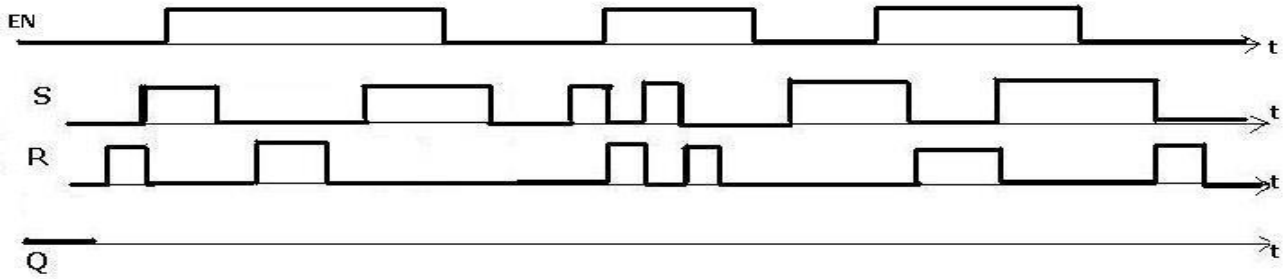
III B e ELETTRONICA 6° TEST - F2 VEN 26 marzo 2010

Cognome…….Nome……

1. a) Disegna lo schema del latch SR (attivo alto)
b) Scrivi la relativa tavola di Verità
c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



2. a) Disegna lo schema del latch SR con ENABLE (attivo alto)
b) Scrivi la relativa Tavola di Verità
c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi

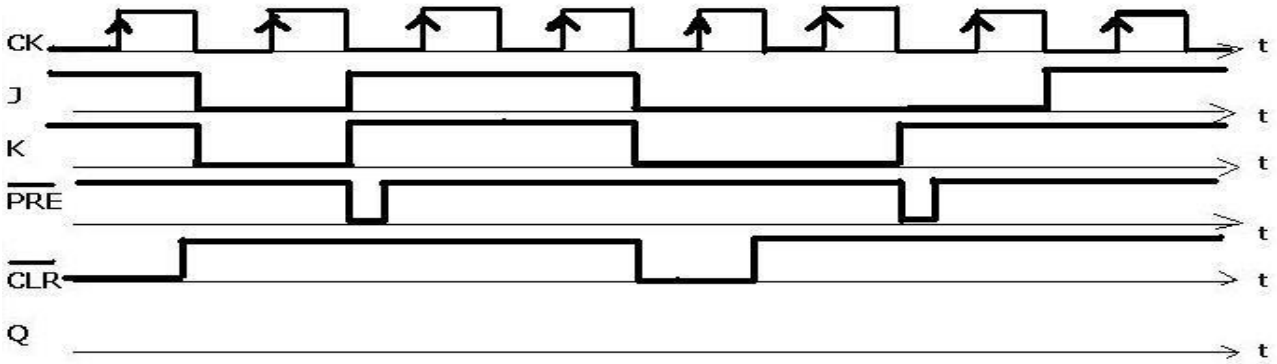


3. a) Disegna lo schema del latch D con ENABLE
b) Scrivi la relativa Tavola di Verità

4. Che differenza c'è tra LATCH , LATCH con ENABLE e FLIP – FLOP ?

5. Disegna lo schema e il grafico del circuito CRT che genera un treno di impulsi in sincronia col fronte di discesa del Clock

6. a) FLIP-FLOP JK n.e.t. : scrivi la TdV con i comandi J,K, $\overline{PRE}$, $\overline{CLR}$
b) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



7. Circuito del semisommatore Binario (Half Adder)

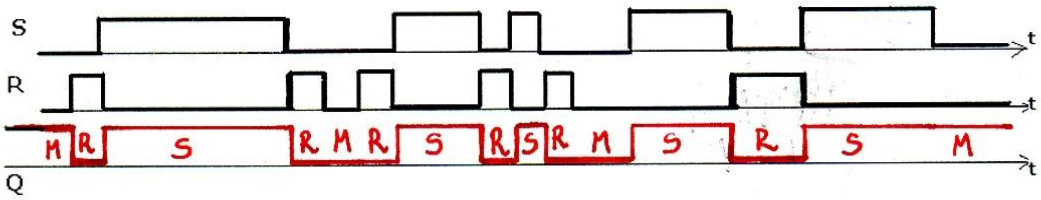
VALUTAZIONE

Es	Base	1a	1b	1c	2a	2b	2c	3a	3b	4	5	6a	6b	7	TOT	VOTO
Pt max	20	4	4	8	4	4	10	4	4	6	5	5	16	6	100	10
Pt acq.																

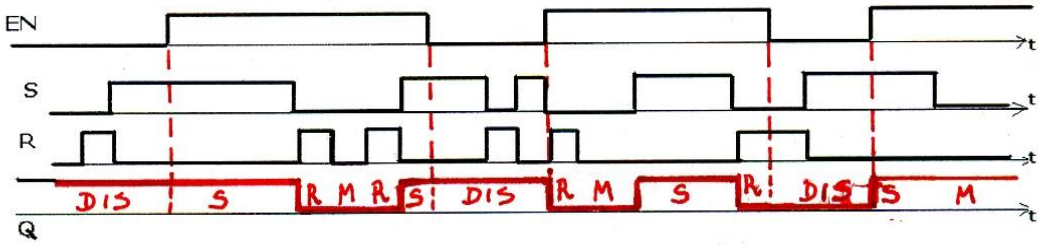
III B e ELETTRONICA 6° TEST - F1 VEN 26 marzo 2010

Cognome.....Nome..... SOLUZIONE

1. a) Disegna lo schema del latch SR (attivo alto)
   b) Scrivi la relativa Tavola di Verità
   c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



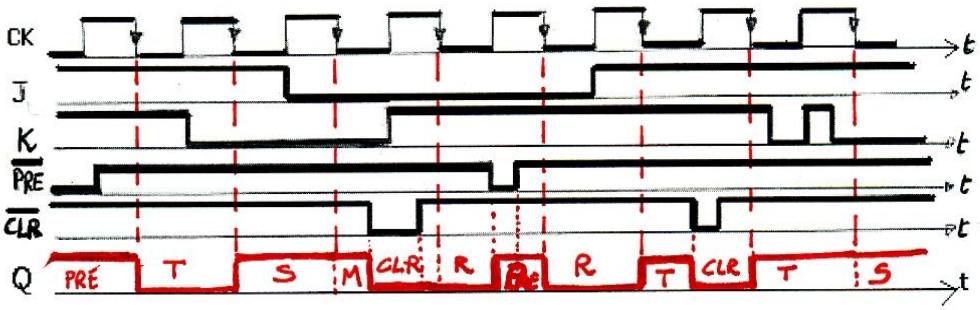
2. a) Disegna lo schema del latch SR con ENABLE (attivo alto)
   b) Scrivi la relativa Tavola di Verità
   c) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



3. a) Disegna lo schema del latch JK con ENABLE
   b) Scrivi la relativa Tavola di Verità

4. Che differenza c'è tra LATCH , LATCH con ENABLE e FLIP – FLOP ?
5. Disegna lo schema e il grafico del circuito CRT che genera un treno di impulsi in sincronia col fronte di salita del Clock

6. a) FLIP-FLOP JK n.e.t. : scrivi la TdV con i comandi J,K, $\overline{PRE}$, $\overline{CLR}$
   b) Traccia l'andamento di Q , scrivendo sul grafico tutti i comandi



7. Circuito del semisommatore Binario (Half Adder)

VALUTAZIONE

Es	Base	1a	1b	1c	2a	2b	2c	3a	3b	4	5	6a	6b	7	TOT	VOTO
Pt max	20	4	4	8	4	4	10	4	4	6	5	5	16	6	100	10
Pt acq.																