

Cenni sulle famiglie logiche TTL e CMOS

Generalità

I dispositivi digitali vengono suddivisi in famiglie logiche ciascuna delle quali differisce dalle altre per la tecnologia utilizzata e per il circuito di base con cui si realizzano le porte logiche.

Nell'ambito della stessa famiglia logica vi sono diverse serie atte a migliorare alcune caratteristiche elettriche rispetto ad altre.

Le famiglie logiche più utilizzate sono la **TTL** (Transistor-Transistor Logic) e la **CMOS** (Complementary MOS).

La prima prende il nome di **TTL** per la presenza di transistor sia nello stadio di ingresso che di uscita.

La seconda si chiama **CMOS** perché fa uso di MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor - Transistor ad Effetto di Campo Elettrico con struttura Metallo Ossido Semiconduttore).

2. Famiglia logica TTL

Tutti i circuiti integrati della famiglia logica TTL sono alimentati con $V_{cc} = +5 \text{ V}$ e sono caratterizzati da un numero di serie che ha, come cifre iniziali, **74** (serie **commerciale**, che funziona tra **0 e 70°C**) o **54** (serie **militare** che funziona tra **-55 e +125°C**).

I livelli di tensione da applicare in ingresso sono:

- V_{IL} compreso tra **0 e +0.8 V** per il riconoscimento del livello logico **basso**;
- V_{IH} compreso tra **+2 V e +5 V** per il riconoscimento del livello logico **alto**.

I valori di tensione compresi tra **0.8 V** e **2 V** individuano una zona di **indeterminazione** (zona **proibita**, **GAP**) che non bisogna utilizzare, non sapendo il circuito che valore logico attribuire a una tensione compresa tra tali valori .

I livelli di tensione che si ottengono in uscita sono:

- V_{OL} compreso tra **0 e 0.4 V** con **corrente di sink** $I_{OL} < 16 \text{ mA}$
- V_{OH} compreso tra **2.4 V** e circa **4 V** con **corrente di source** $I_{OH} < 400 \text{ }\mu\text{A}$.

MARGINE DI RUMORE

Posto che la tensione di uscita di una porta logica diventerà la tensione di ingresso di una porta collegata in serie e dato che i valori di tensione e corrente subiscono delle fluttuazioni dovute al **rumore elettronico**, sempre presente nei circuiti, è importante conoscere l'entità di tali variazioni.

- La differenza tra i due valori **massimi** (**0,8 e 0,4 V**) delle 2 fasce basse per il livello logico **ZERO**, in IN e OUT, definisce il **Margine di Rumore** in Ingresso.
- La differenza tra i due valori **minimi** (**2,4 e 2 V**) delle 2 fasce alte per il livello logico **UNO**, in IN e OUT, definisce il **Margine di Rumore** in USCITA.
- Il Margine di Rumore in Ingresso va inteso in senso **ADDITIVO**, cioè anche nel caso peggiore, in cui la V_{OL} vale **0,4 V**, **un eventuale aumento** della tensione di **0,4 V** non produce errore, in quanto il segnale rimane nella fascia bassa **0 - 0,8 V**. Ovviamente una diminuzione di V_{OL} non da problemi.
- Il Margine di Rumore in Uscita va inteso in senso **SOTTRATTIVO**, cioè anche nel caso peggiore, in cui la V_{OH} vale **2,4 V**, **un eventuale diminuzione** della tensione di **0,4 V** non produce errore, in quanto il segnale rimane nella fascia alta **2 - 5 V**. Ovviamente una aumento di V_{OH} non da problemi.

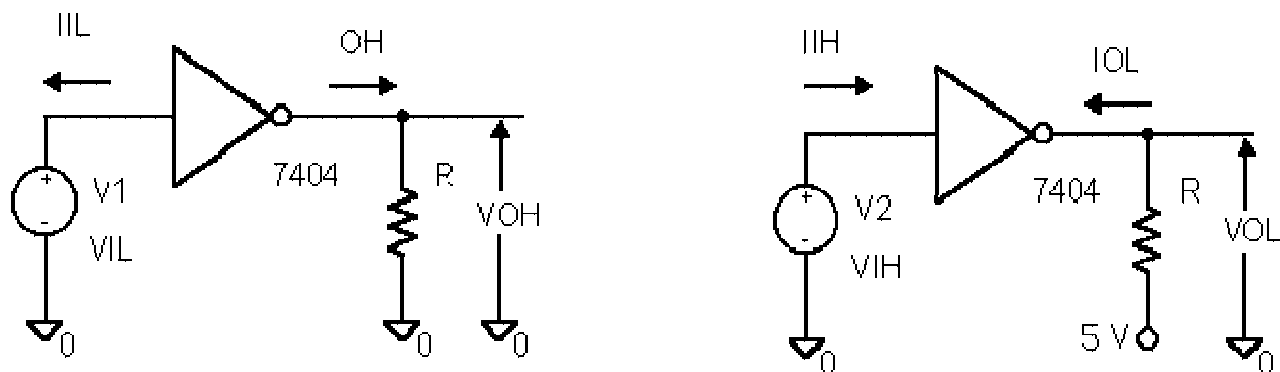


Fig.1 Disposizione di un NOT TTL per la valutazione della tensione e corrente di ingresso e di uscita.

In fig.1 si mostra una porta NOT pilotata con un generatore di tensione che fornisce in ingresso una tensione $V_1 = V_{IL}$ e $V_2 = V_{IH}$ e i relativi versi delle correnti I_{IL} , I_{IH} , I_{OH} , I_{OL} . Sono indicate, inoltre, le tensioni di uscita V_{OH} e V_{OL} .

Si riportano nella tabella 1 le caratteristiche più importanti delle diverse serie della famiglia logica TTL ricordando che:
L è la serie a basso consumo (Low power), ormai obsoleta;
S è la serie che impiega i veloci transistor Schottky;
LS è la serie che riunisce le due precedenti caratteristiche (Low power Schottky);
AS è la serie S tecnologicamente Avanzata;
ALS è la serie LS tecnologicamente Avanzata.

Tabella 1

Serie	T_p [ns]	P_D [mw]	I_{OH} [uA] Verso USCENTE SEGNO -	I_{OL} [mA] ENTRANTE SEGNO +	I_{IH} [uA] ENTRANTE SEGNO +	I_{IL} [mA] USCENTE SEGNO -	Fmax [MHz]	FAN-OUT $ I_{OH}/I_{IH} $ $ I_{OL}/I_{IL} $
54/74	10	10	400	16	40	1.6	35	10
54/74 L	30	1	200	3.6	10	0.18	3	20
54/74 S	3	20	1000	20	50	2	125	10
54/74 LS	10	2	400	8	20	0.4	45	20
54/74 AS	3	14	2000	20	20	0.5	200	40
54/74 ALS	5	1	400	8	20	0.1	50	20

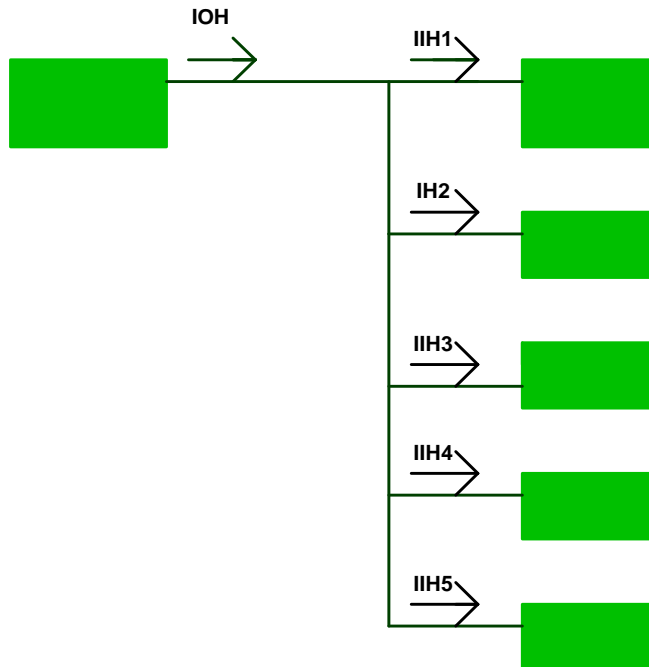
FAN - OUT : è il massimo numero di porte logiche, collegate in parallelo, che una singola porta può pilotare, sia a livello alto che a livello basso.

Per determinare tale numero, si calcola il **modulo** del rapporto tra I_{OH} e I_{IH} e tra I_{OL} e I_{IL} (vedi Tabella). Se i 2 rapporti sono numeri decimali, si troncano **per difetto** all' intero e si prende, come Fan-Out, **il più piccolo** tra i due numeri (vedi ad es. penultima riga, 54/74AS).

Infatti :

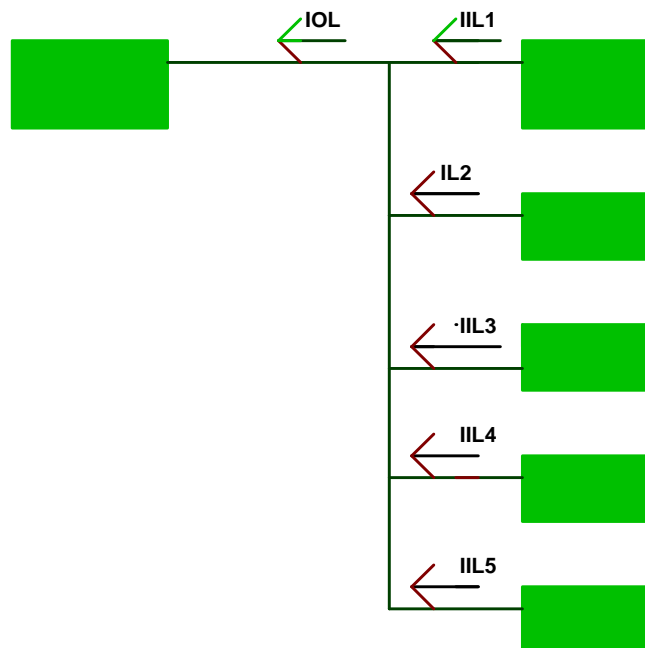
- 1) quando in OUT c'è il valore logico alto di tensione, V_{OH} , la porta **EMETTE LA CORRENTE** I_{OH}
- 2) quando in OUT c'è il valore logico basso di tensione, V_{OL} , la porta **ASSORBE LA CORRENTE** I_{OL}

Nel 1° caso, la corrente I_{OH} (negativa, in accordo con la convenzione di Kirchhoff) deve bastare per tutte le porte collegate in cascata : la corrente infatti si divide in tante parti quante sono le porte connesse



1) Fan-Out per il Livello Alto

Nel 2° caso, la corrente I_{OL} , somma di tutte le correnti emesse dagli ingressi delle porte collegate in parallelo, non deve superare un dato valore massimo, pena il danneggiamento della porta pilota.



2) Fan-Out per il Livello Basso

3. Famiglia logica CMOS

I circuiti integrati appartenenti alla famiglia logica CMOS (Complementary MOS) utilizzano al loro interno transistor MOSFET a canale N ed a canale P, quindi di tipo complementare.

La caratteristica fondamentale di un componente CMOS è la **ridottissima potenza** dissipata in condizioni statiche: circa **10 nW** per porta logica e un ampio intervallo di valori di tensione di alimentazione: da **3 V** a **15 V**. In commercio sono disponibili diverse serie della famiglia logica CMOS che di seguito si elencano:

- CD4000 ormai obsoleta;
- 74C , compatibile, nella piedinatura, ai corrispondenti integrati della famiglia logica TTL;
- 74HC e 74HCT come la precedente, ma con tempi di propagazione ridotti (intorno a 10-15 ns) e valori di alimentazione da **2 V** a **6 V** (HC) e **5 V** (HCT)
- 74AHC simile alla famiglia HC ma con prestazioni "Avanzate".

L'uso dei dispositivi CMOS impone l'osservanza di alcune regole:

- La tensione applicata in ingresso deve essere compresa tra **0** e **V_{cc}** ;
- I piedini di ingresso **non devono essere mai inutilizzati** : essi vanno collegati al livello logico alto o basso;
- Il terminale di uscita può essere collegato direttamente a massa o all'alimentazione senza il pericolo di avarie poiché lo stadio di uscita è di tipo **resistivo**, cioè si può assimilare ad un generatore di tensione avente in serie una resistenza ;
- La tensione di soglia di commutazione è circa la metà della tensione di alimentazione applicata.

I livelli di tensione da applicare in ingresso sono:

- **V_{IL}** compreso tra **0** e **+V_{cc}/3** , per il riconoscimento del livello logico basso;
- **V_{IH}** compreso tra **+2/3 * V_{cc}** e **+V_{cc}** , per il riconoscimento del livello logico alto.

I valori di tensione compresi tra **V_{cc}/3** e **2/3 * V_{cc}** individuano una zona di indeterminazione, da **non utilizzare**.

I livelli di tensione che si ottengono in uscita, **in assenza di carico applicato**, sono:

- **V_{OL} = 0** ;
- **V_{OH} = V_{cc}**.

Le correnti di ingresso **I_{IL}** e **I_{IH}** sono praticamente **nulle**, perchè l'ingresso dei transistor MOSFET presenta resistenza pressoché infinita ($> 10^{18} \Omega$)

Le correnti di uscita **I_{OL}** e **I_{OH}** dipendono dalla particolare serie CMOS utilizzata e comunque generalmente non superano il valore di alcuni **milliampere**.

4. Le moderne famiglie logiche

In questi ultimi anni si sono rese disponibili sul mercato numerose altre famiglie logiche molto più efficienti della classica TTL e della classica CMOS serie 4000 e serie 74C.

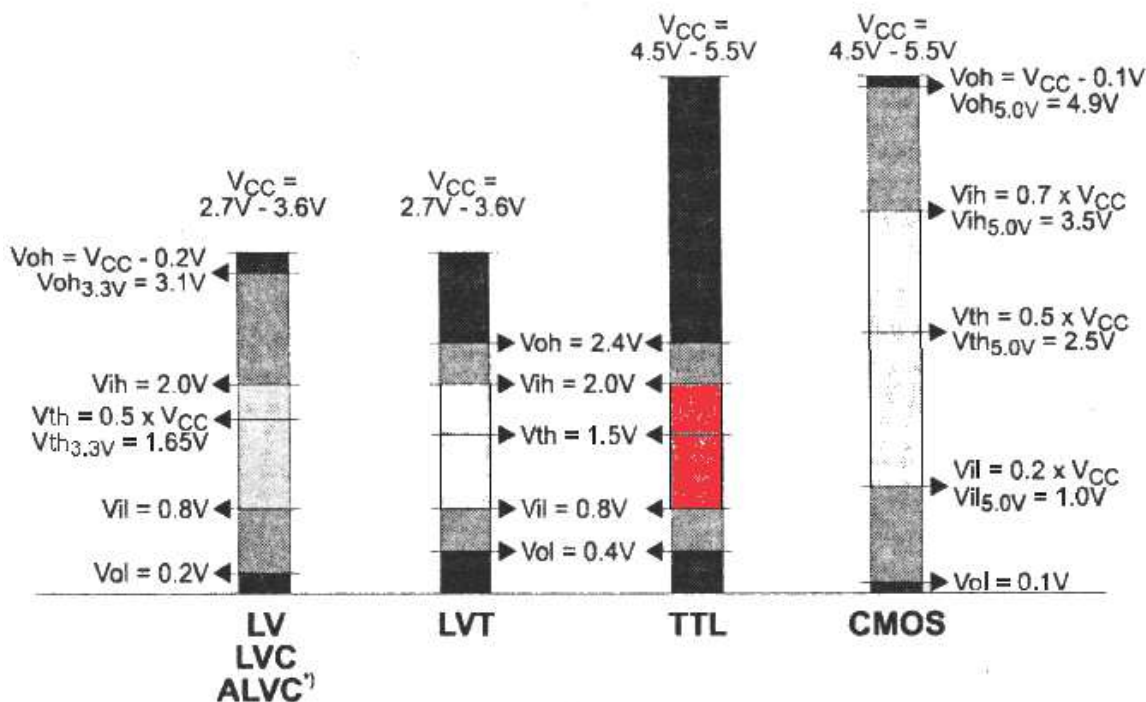
Le tecnologie utilizzate per queste nuove famiglie logiche sono ancora di tipo CMOS e di tipo BICMOS (transistor bipolari e CMOS) aventi, come caratteristiche particolarmente interessanti, un **ridottissimo consumo ed elevata frequenza di funzionamento**.

In particolare, si citano le famiglie logiche a bassa tensione di alimentazione (famiglie logiche **Low Voltage**), tipicamente a **+3.3 V**, con elevati valori di corrente di carico e compatibili con i livelli logici delle famiglie alimentate a **+5 V**.

Le cause che hanno spinto i costruttori a realizzare famiglie logiche alimentate con bassi valori di tensione sono sostanzialmente riassunte nei seguenti punti:

- La riduzione orizzontale e verticale della geometria del **wafer di Silicio** dei moderni dispositivi integrati a semiconduttore richiede una più bassa tensione di alimentazione pena la possibilità di **breakdown** dell'ossido di Silicio del MOS (strato compreso tra il canale N o P e i terminali metallizzati). Ciò potrebbe rendere il dispositivo inutilizzabile.
- I costruttori di apparecchi elettronici alimentati a batteria chiedono componenti elettronici a bassa dissipazione di potenza. La potenza consumata, come è noto, dipende dai **carichi** elevati, è **direttamente proporzionale** alla **frequenza** di lavoro, ed è **proporzionale al quadrato della tensione di alimentazione**.
- Il ridotto consumo di potenza riscalda di meno i componenti e ciò consente di evitare l'uso di ingombranti e costosi dissipatori di calore e permette la realizzazione di dispositivi a maggior grado di integrazione.
- Le caratteristiche elettriche delle famiglie logiche a bassa tensione di alimentazione sono sostanzialmente simili a quelle delle corrispondenti famiglie logiche alimentate a 5 V.

In fig.3 si riportano i livelli di tensione di ingresso, uscita e della soglia di commutazione delle famiglie logiche a bassa tensione e delle famiglie logiche a 5 V TTL e CMOS.



¹⁾ $V_{CC} = 2.3V \Rightarrow V_{OH} = 2.1V; V_{OL} = 0.2V$

Fig.3 Confronto dei livelli delle famiglie logiche a bassa tensione con quelli delle famiglie TTL e CMOS a 5 V.

5. Famiglia logica AHC

La famiglia logica CMOS ad alta velocità in tecnologia avanzata (AHC) è una delle ultime apparse sul mercato ed unisce alla bassa potenza dissipata, tipico della CMOS, una elevata velocità di funzionamento.

La famiglia logica AHC consiste di porte logiche elementari, di integrati della media scala e di dispositivi ottali (driver e flip-flop per collegamenti a bus a 8 bit).

La famiglia logica AHC è :

- quasi **tre volte più veloce** della HC poichè il tipico tempo di ritardo di propagazione è di circa **5.2 [ns]**
- presenta bassi valori di rumore
- dissipa una potenza inferiore rispetto alla HC, presenta una capacità di corrente di carico di **8[mA] per $V_{cc} = 5 [V]$ e **4 [mA] per $V_{cc} = 3.3 [V]$****

Si mostrano nella tabella 3 i valori del tempo di ritardo di propagazione di alcuni tipici dispositivi della famiglia logica AHC confrontati con quelli della famiglia logica HC.

Tabella 3

Dispositivo	SN74HC	SN74HCT	SN74AHC	SN74AHCT
244 Buffer	13ns	15ns	5.8ns	5.4ns
245 Transceiver	15ns	14ns	5.8ns	4.5ns
373 Latch	15ns	20ns	5ns	5ns
374 Flip-flop	17ns	20ns	5.4ns	5ns

La potenza dissipata da un dispositivo CMOS dipende da tre fattori:

- potenza dissipata a riposo P_q (quiescent power)
- potenza dissipata in transitorio P_t (transient power)
- potenza dissipata capacitiva P_c (capacitive power)

La potenza dissipata a riposo P_{CC} dipende dalla tensione di alimentazione V_{CC} e dalla corrente I_{CC} che scorre a riposo nel dispositivo. In formule si ha :

$$P_{CC} = V_{CC} * I_{CC}$$

Poichè I_{CC} è molto bassa, P_{CC} è spesso trascurabile.

La potenza dissipata in transitorio P_t dipende invece dalla corrente che fluisce nei transistor interni quando essi commutano da un livello logico all'altro.

Durante questo tempo i due transistor dello stadio finale sono parzialmente in conduzione e ciò produce un piccolo **spike** di corrente che viene ripetuto, in un secondo, un numero di volte pari alla frequenza f_i di input.

L'intensità di corrente dipende dalla tensione di alimentazione V_{CC} e la potenza dissipata, quindi, dal quadrato della corrente.

La durata di ciascuno di questi spike dipende anche dalla rapidità di commutazione dei transistor e quindi dalla capacità parassita C_{pd} (power dissipation capacitance). In formule si ha:

$$P_t = C_{pd} * V_{CC}^2 * f_i$$

La potenza dissipata capacitiva P_c dipende dalla carica e dalla scarica di capacità esterne C_L e dipende dalla frequenza di commutazione f_o secondo la formula:

$$P_c = C_L * V_{CC}^2 * f_o$$