

SAMPLE AND HOLD

Il **modulo campionatore** (modulo *Sample & Hold - S/H*) è il dispositivo che realizza il campionamento di un segnale. Il circuito di questo dispositivo è riportato in figura 10.

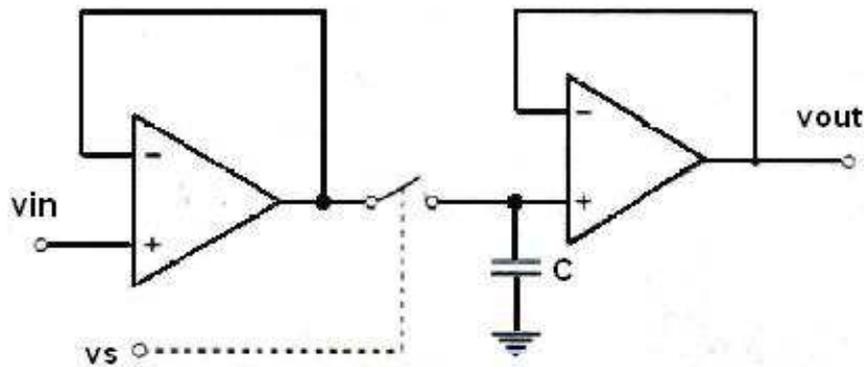


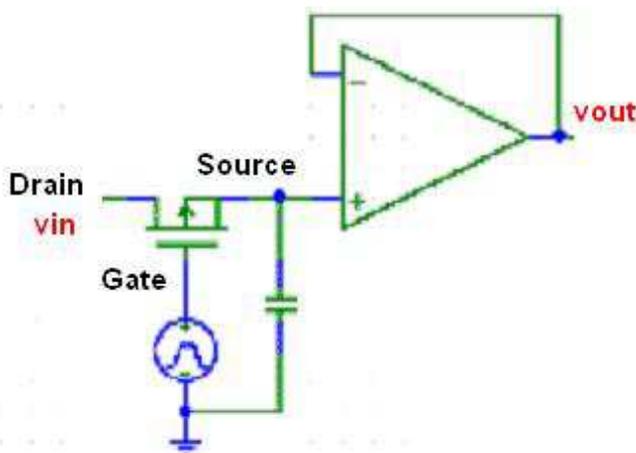
Fig. 10 Struttura circuitale del modulo S/H

In questa figura si è indicato con:

- V_{in} : il segnale da campionare
- V_{out} : l'uscita del modulo S/H. Questo è il segnale campionato
- V_s : il segnale impulsivo di controllo che comanda l'apertura e la chiusura dell'interruttore S.

L'interruttore può essere realizzato in modi diversi. Normalmente si adotta una soluzione CMOS o FET (spesso quella a FET essendo nulla la tensione di offset di questi transistor). In genere il FET è **a canale n** in modo che l'interruttore venga chiuso quando v_s è ALTO e aperto quando v_s è BASSO.

Nello schema sotto, invece, si utilizza un MOSFET a canale P .



Al source del transistor MOS è collegato un buffer, che mantiene l'impedenza di ingresso globale elevata.

La procedura di utilizzo consiste nell'iniettare nel gate del transistor un segnale impulsivo, permettendo così al source del MOSFET di raggiungere (in modo pressoché istantaneo, date le grandezze del partitore RC) la tensione del generatore in ingresso collegato al

Drain del MOS . Nell'istante successivo all'immissione dell'impulso, l'interruttore si chiude, perciò il condensatore non si scarica, "memorizzando" così il segnale di ingresso.

Ripetendo tale procedura più volte, si ottiene in uscita una rappresentazione "a scalino" della tensione di ingresso. La frequenza con cui l'interruttore viene aperto o chiuso è la frequenza di campionamento del sistema.

I due operazionali sono configurati come **inseguitori di tensione** e per ciascuno di essi, quindi, la tensione di ingresso è uguale a quella di uscita.

Il funzionamento del circuito è il seguente.

1. Quando S è chiuso il condensatore C (chiamato **condensatore di hold**) si porta alla tensione di ingresso v_{in} . Questa fase viene chiamata fase di sample (campionamento) perché il condensatore cattura un valore dell'ingresso v_{in} . La **costante di tempo** associata al condensatore in questa fase è determinata dalla **serie della resistenza di uscita R_{out1} del buffer A_1 e della resistenza r_{on} dell'interruttore chiuso.**

La resistenza d'ingresso del buffer A_2 è molto elevata e quindi equiparabile ad un circuito aperto.

Pertanto
$$t_s = (R_{out1} + r_{on})C.$$

Poiché R_{out1} e r_{on} sono di valore molto basso, il tempo necessario al condensatore per agganciare l'ingresso v_{in} è altrettanto contenuto.

2. Quando S è aperto il condensatore cattura e mantiene il valore assunto da v_{in} nell'istante di apertura di S. Questa fase viene chiamata fase di **hold** (mantenimento) perché la tensione sul condensatore rimane costante al valore catturato di v_{in} .

Ciò è possibile in quanto, durante questa fase, la costante di tempo associata al condensatore assume un valore molto elevato e il condensatore in pratica non può scaricarsi.

La costante di tempo, intatti, è determinata dalla **serie di R_{out1} con r_{off} cioè la resistenza dell'interruttore aperto, in parallelo con la resistenza di ingresso R_{in2} del buffer A_2 .**

Pertanto
$$t_H = [(R_{out1} + r_{off}) // R_{in2}]C.$$

Poiché sia R_{in2} sia $(R_{out1} + r_{off})$ sono di valore estremamente elevato la tensione su C decade in un tempo praticamente infinito, cioè resta praticamente costante.

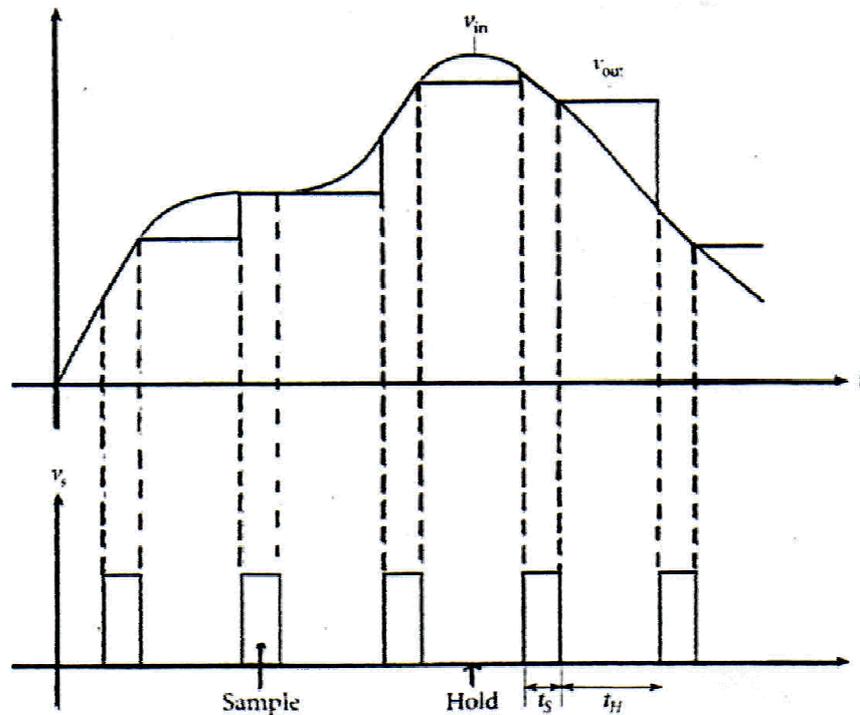


Fig. 11 Diagramma temporale delle forme d'onda del modulo S/H

La figura 11 descrive gli andamenti, temporalmente correlati, delle varie forme d'onda relative al modulo S/H. Come si nota, nella fase di sample l'uscita v_{out} segue l'ingresso v_{in} cioè coincide con esso, mentre nella fase di hold l'uscita si mantiene costante al valore assunto da v_{in} nell'istante di apertura di S. Al termine della fase di hold ricomincia quella di sample, cioè del campionamento di un nuovo valore di v_{in} . In termini generali, e ricordando quanto specificato fino ad ora in merito al campionamento, si tenga presente che:

- La fase di sample deve essere molto più veloce di quella di hold. Ciò si ottiene mantenendo chiuso S per un intervallo di tempo più breve di quello durante il quale S viene mantenuto aperto, cioè imponendo la condizione $t_s \ll t_H$. Questo funzionamento si realizza regolando il duty cycle del segnale v_s , di pilotaggio dell'interruttore;
- Il valore di t_H deve essere sufficiente a consentire la successiva conversione in forma digitale del campione (cioè del valore di v_{in} mantenuto nella fase di hold) da parte del convertitore A/D.
- Il periodo $T_C = t_s + t_H$ del segnale v_s deve rispettare la condizione di campionamento per cui :

$$f_C = 1 / T_C > 2 f_{MAX}$$

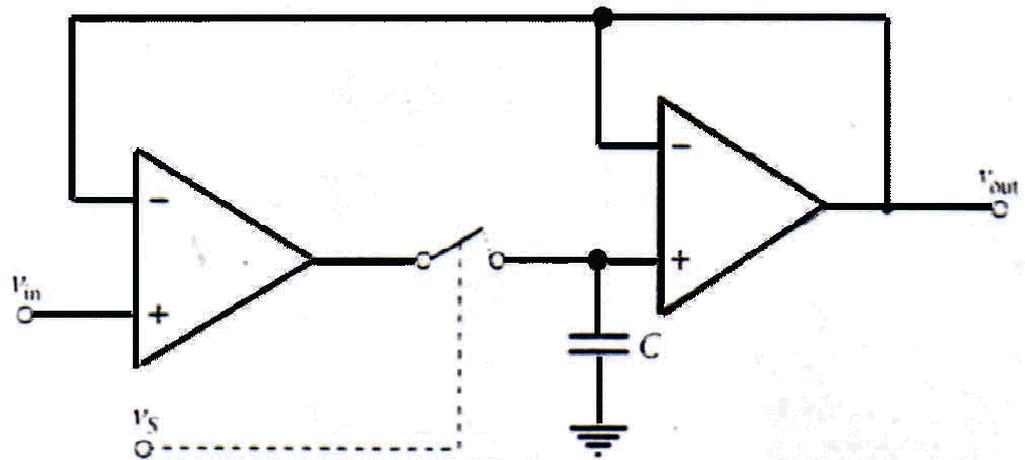


Fig. 12 Struttura circuitale a retroazione unica del modulo S/H

La Struttura circuitale del modulo S/H può essere modificata, come illustrato nella figura 12, in modo che entrambi gli operazionali risultino inseriti nel cammino di retroazione. Questa soluzione migliora le prestazioni complessive dell'intero modulo, in quanto produce la diminuzione dell'incidenza degli offset degli operazionali e diminuisce il ritardo nella cattura di un campione del segnale. Tale soluzione, in particolare è adottata nelle realizzazioni integrate dei moduli S/H tra i quali può essere utile ricordare: LF198/LF298/LF398, LF198A, LF398A, SHC298/SHC298A. Nella realizzazione di S/H integrati i produttori adottano anche soluzioni circuitali diverse da quelle sopra esaminate (tipicamente quella ad integratore cioè con il condensatore inserito nell'anello di retroazione), nelle quali il condensatore di hold è già integrato nel chip. Tra questi integrati ricordiamo LH4860, AD386, AD585 - SHC803BM, SHC804BM. Questi dispositivi sono particolarmente adatti per applicazioni ad elevata velocità.