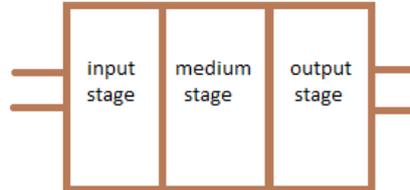
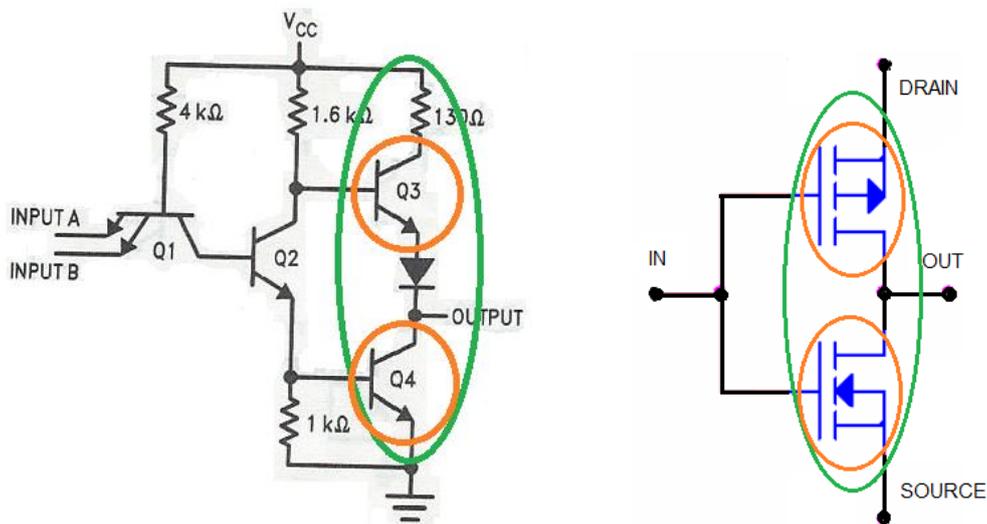


# INTERFACCIAMENTO DIGITALE

Nel campo dell'elettronica digitale, con le porte logiche e i circuiti digitali in generale possiamo usare il seguente schema:

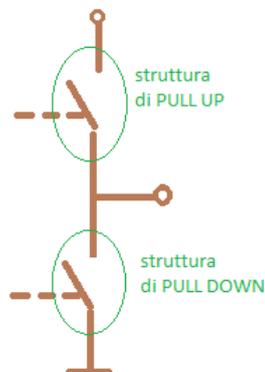


in cui: l'input stage è destinato a rilevare correttamente i segnali in ingresso, l'output stage deve pilotare lo stadio successivo e il medium stage è incaricato dell'elaborazione del segnale; esempio con porta logica NOT



*in verde l'output stage, in arancione le strutture di pull up e pull down*

Schema funzionale di un output stage, con le due strutture denominate di **pull-up** e di **pull-down**.



Ci sono 4 stati possibili per la struttura dell'output stage:

| Stato degli "interruttori" | Stato logico presente in uscita              |
|----------------------------|--|
| pull-up ON pull-down OFF   | High   |
| pull-up OFF pull-down ON   | Low  |
| pull-up OFF pull-down OFF  | 3-state (Hi-Z ovvero alta impedenza)         |
| pull-up ON pull-down ON    | n.a. (not allowed: ci pensa il medium stage) |

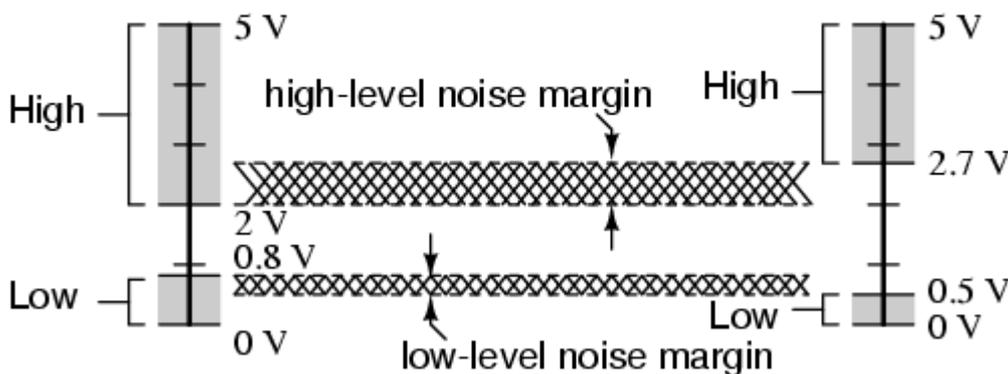
Nota: esiste anche un output stage detto "open collector" nel quale è assente la struttura di pull-up; sarà "ricostruita" esternamente alla porta; l'argomento viene trattato più avanti.

I data-sheet riportano le caratteristiche statiche e dinamiche dell'output stage e dell'input stage, che sono IDENTICHE per una sottofamiglia logica, indipendentemente dalla funzione logica (AND, NAND, NOT ecc.) implementata dal chip.

Tra le caratteristiche statiche vengono forniti alcuni valori limiti di tensione e corrente

Acceptable TTL gate input signal levels

Acceptable TTL gate output signal levels



Sulla figura si possono individuare a sinistra i valori  $V_{IHmin}$  e  $V_{ILmax}$  dell'input stage e a destra  $V_{OHmin}$ ,  $V_{OLmax}$  dell'output stage. Nell'interfacciare dispositivi digitali bisogna rispettare tali limiti altrimenti non si ottiene il desiderato adattamento del segnale. Quesito: con i valori in figura si possono interfacciare 2 porte logiche TTL semplicemente collegandole con un filo? [Risposta: sì infatti:  $V_{OHmin} > V_{IHmin}$  e  $V_{OLmax} < V_{ILmax}$  ]

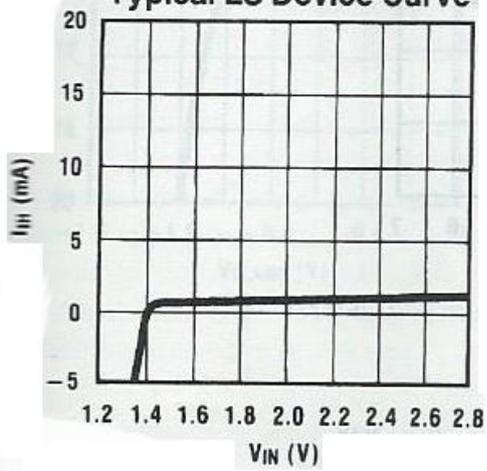
Un discorso analogo vale anche per le correnti; per esse i valori limite prendono il nome di:  $I_{ILmax}$ ,  $I_{IHmax}$ ,  $I_{OLmax}$ ,  $I_{OHmax}$ ; sono tutti valori "max": non bisogna "chiedere troppa corrente" a uno stage altrimenti i valori in tensione sballano; la cosa si può capire se si conosce la caratteristica<sup>1</sup> V-I di uno stage

Esistono diverse "famiglie logiche", che si distinguono per alcune caratteristiche, in termini di potenza dissipata, di velocità ecc. Ogni famiglia logica ha proprie caratteristiche statiche - e dinamiche - che sono comuni a tutti i dispositivi appartenenti alla famiglia. Famiglie TTL: standard, L, S, LS, ALS, H, F, AS; CMOS: 4000B, AC, HC; per fare un esempio si possono trovare in commercio le serie TTL: 74XX, 74LXX, 74LSXX, 74SXX ecc.

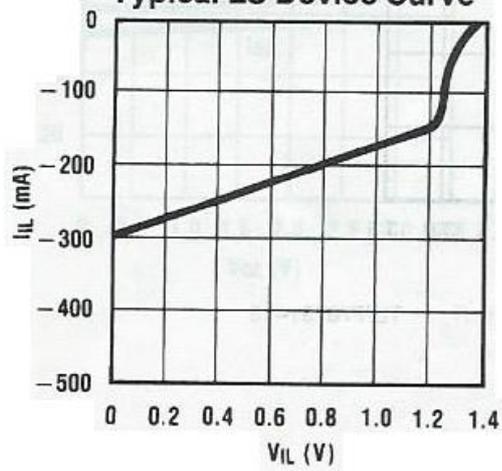
Per completare il quadro delle caratteristiche statiche esibiamo le "caratteristiche V-I" degli stage di ingresso e uscita di una famiglia logica (74LS). Per convenzione, le correnti uscenti ( $I_{SOURCE}$ ) dallo stage sono rappresentate con valori negativi, quelle entranti con valori positivi ( $I_{SINK}$ ).

<sup>1</sup> La caratteristica V-I è una caratteristica statica. Invece le caratteristiche dinamiche riguardano i tempi (tempo di attraversamento di una porta, tempo di transizione di un segnale, massima frequenza di lavoro ecc.)

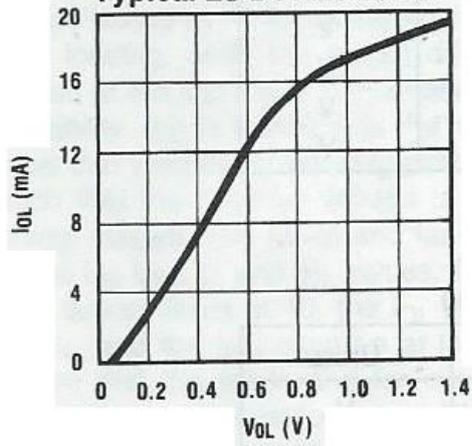
**$I_{IN}$  vs  $V_{IN}$  (High State)**  
**Typical LS Device Curve**



**$I_{IL}$  vs  $V_{IL}$  (Low State)**  
**Typical LS Device Curve**



**$V_{OL}$  vs  $I_{OL}$**   
**Typical LS Device Curve**



**$V_{OH}$  vs  $I_{OH}$**   
**Typical LS Device Curve**

